

S-8250Aシリーズは、高精度電圧検出回路と遅延回路を内蔵したリチウムイオン / リチウムポリマー二次電池保護用ICです。1セルリチウムイオン / リチウムポリマー二次電池パックの過充電、過放電、過電流の保護、外部信号による放電制御に最適なICです。充放電制御用FETのオン抵抗に合わせて放電過電流検出電圧の電源電圧依存性を調整することにより、高精度な放電過電流検出を実現します。

■ 特長

- ・高精度放電過電流検出回路

放電過電流検出電圧	0.050 V ~ 0.150 V (1 mVステップ)	精度±10 mV (Ta = +25°C)
(電源電圧依存性を充放電制御用FETのオン抵抗に合わせて設定可能)		
- ・高精度電圧検出回路

過充電検出電圧	4.100 V ~ 4.600 V (5 mVステップ)	精度±20 mV (Ta = +25°C)
		精度±25 mV (Ta = -10°C ~ +60°C)
過充電解除電圧	3.700 V ~ 4.600 V ^{*1}	精度±30 mV
過放電検出電圧	2.000 V ~ 2.800 V (10 mVステップ)	精度±50 mV
過放電解除電圧	2.000 V ~ 3.000 V ^{*2}	精度±100 mV
負荷短絡検出電圧	0.250 V ~ 0.500 V (50 mVステップ)	精度±50 mV
充電過電流検出電圧	-0.200 V ~ -0.025 V (25 mVステップ)	精度±15 mV
- ・各種検出遅延時間は内蔵回路のみで実現 (外付け容量は不要)
- ・放電制御機能

CTL端子の制御論理を選択可能	: アクティブ "H"、アクティブ "L"
CTL端子の内部抵抗接続を選択可能	: プルアップ、プルダウン
CTL端子の内部抵抗値を選択可能	: 1.0 MΩ、2.0 MΩ、3.0 MΩ、4.0 MΩ、5.0 MΩ
放電禁止状態ラッチ機能を選択可能	: あり、なし
- ・0 V電池への充電機能を選択可能 : 可能、禁止
- ・パワーダウン機能を選択可能 : あり、なし
- ・放電過電流状態の解除条件を選択可能 : 負荷開放、充電器接続
- ・高耐圧 : VM端子およびCO端子 : 絶対最大定格28 V
- ・広動作温度範囲 : Ta = -40°C ~ +85°C
- ・低消費電流

動作時	: 2.0 μA typ., 4.0 μA max. (Ta = +25°C)
パワーダウン時	: 50 nA max. (Ta = +25°C)
- ・鉛フリー (Sn 100%)、ハロゲンフリー

*1. 過充電解除電圧 = 過充電検出電圧 - 過充電ヒステリシス電圧
(過充電ヒステリシス電圧は、0 V ~ 0.4 Vの範囲内にて50 mVステップで選択可能)

*2. 過放電解除電圧 = 過放電検出電圧 + 過放電ヒステリシス電圧
(過放電ヒステリシス電圧は、0 V ~ 0.7 Vの範囲内にて100 mVステップで選択可能)

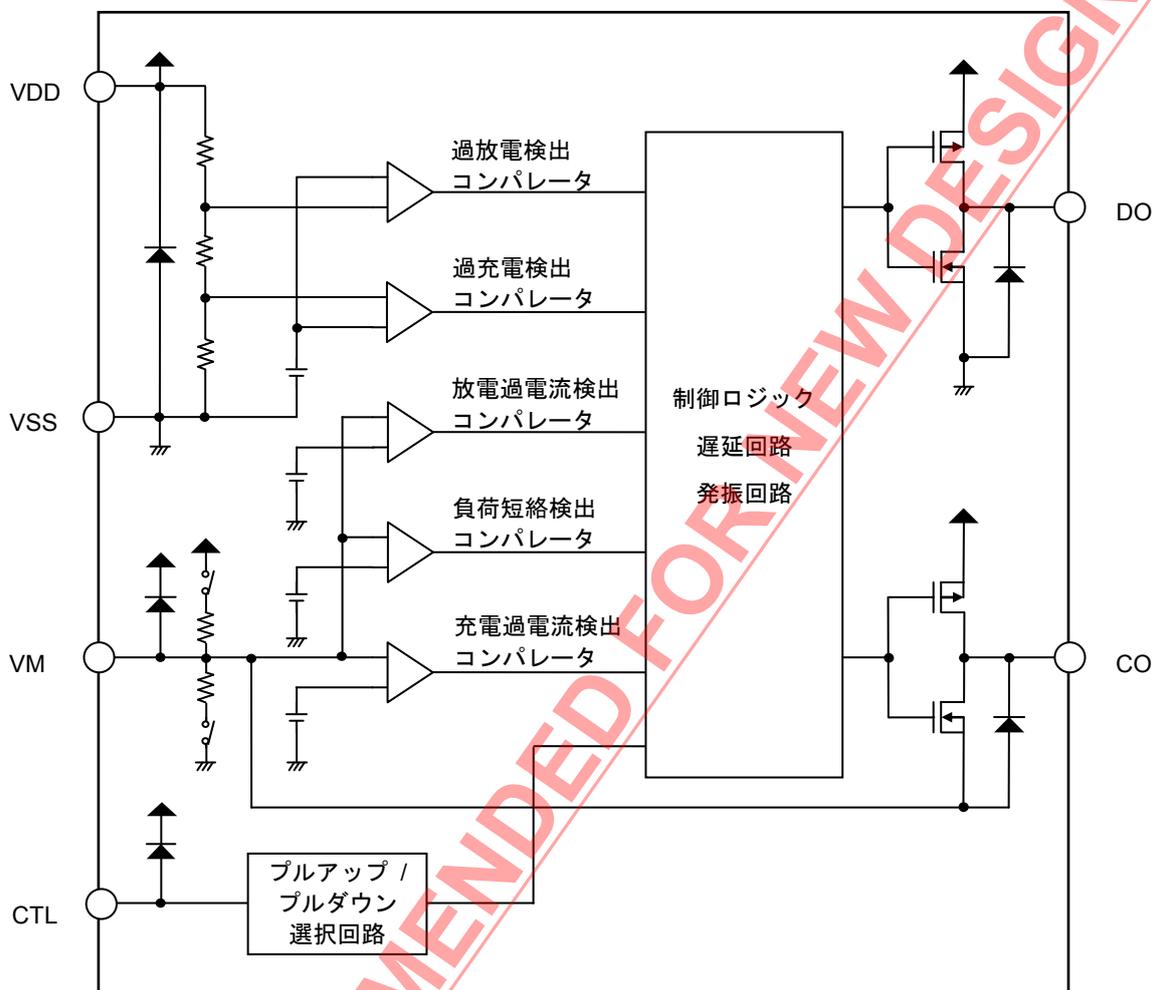
■ 用途

- ・リチウムイオン二次電池パック
- ・リチウムポリマー二次電池パック

■ パッケージ

- ・SNT-6A

■ ブロック図

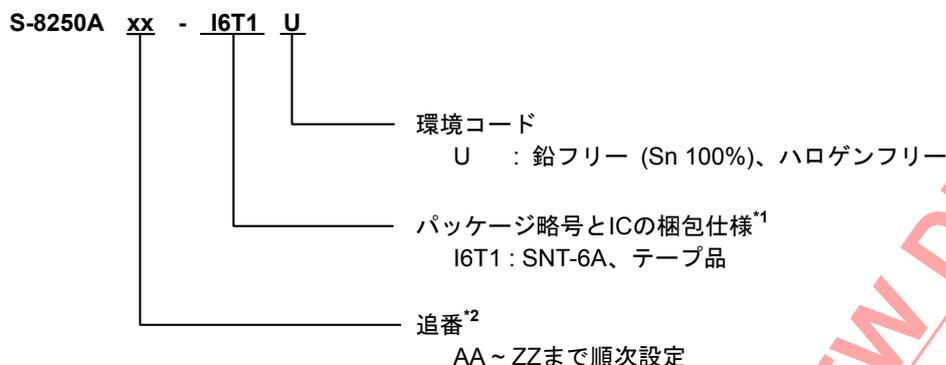


備考 図中のダイオードは、すべて寄生ダイオードです。

図1

■ 品目コードの構成

1. 製品名



*1. テープ図面を参照してください。

*2. "3. 製品名リスト" を参照してください。

2. パッケージ

表1 パッケージ図面コード

パッケージ名	外形寸法図面	テープ図面	リール図面	ランド図面
SNT-6A	PG006-A-P-SD	PG006-A-C-SD	PG006-A-R-SD	PG006-A-L-SD

3. 製品名リスト

3.1 SNT-6A

表2 (1 / 2)

製品名	過充電 検出電圧 [V _{CU}]	過充電 解除電圧 [V _{CL}]	過放電 検出電圧 [V _{DL}]	過放電 解除電圧 [V _{DU}]	遅延時間の 組み合わせ ^{*1}	機能の 組み合わせ ^{*2}
S-8250AAB-I6T1U	4.280 V	4.180 V	2.300 V	2.300 V	(1)	(1)
S-8250AAE-I6T1U	4.410 V	4.210 V	2.300 V	2.300 V	(2)	(2)
S-8250AAG-I6T1U	4.425 V	4.225 V	2.500 V	2.500 V	(1)	(3)

表2 (2 / 2)

製品名	放電過電流検出電圧 [V _{DIOV}]			負荷短絡 検出電圧 [V _{SHORT}]	充電過電流 検出電圧 [V _{CIOV}]
	V _{DD} = 3.0 V	V _{DD} = 3.4 V	V _{DD} = 4.0 V		
S-8250AAB-I6T1U	0.122 V	0.113 V	0.104 V	0.500 V	-0.100 V
S-8250AAE-I6T1U	0.037 V	0.036 V	0.034 V	0.500 V	-0.075 V
S-8250AAG-I6T1U	0.081 V	0.076 V	0.071 V	0.500 V	-0.100 V

*1. 遅延時間の組み合わせの詳細については、表3を参照してください。

*2. 機能の組み合わせの詳細については、表5を参照してください。

備考 上記検出電圧値以外の製品をご希望の場合は、弊社営業部までお問い合わせください。

表3

遅延時間の 組み合わせ	過充電検出 遅延時間 [t _{CU}]	過放電検出 遅延時間 [t _{DL}]	放電過電流検出 遅延時間 [t _{DIOV}]	負荷短絡検出 遅延時間 [t _{SHORT}]	充電過電流検出 遅延時間 [t _{CIOV}]	放電禁止 遅延時間 [t _{CTL}]
(1)	1.0 s	128 ms	32 ms	280 μs	8 ms	256 ms
(2)	1.0 s	32 ms	16 ms	280 μs	16 ms	256 ms

備考 下記範囲内で遅延時間の変更も可能です。弊社営業部までお問い合わせください。

表4

遅延時間	記号	選択範囲			備考
過充電検出遅延時間	t _{CU}	256 ms	512 ms	1.0 s ^{*1}	左記から選択
過放電検出遅延時間	t _{DL}	32 ms	64 ms	128 ms ^{*1}	左記から選択
放電過電流検出遅延時間	t _{DIOV}	8 ms	16 ms ^{*1}	32 ms	左記から選択
負荷短絡検出遅延時間	t _{SHORT}	280 μs ^{*1}	530 μs		左記から選択
充電過電流検出遅延時間	t _{CIOV}	8 ms	16 ms ^{*1}	32 ms	左記から選択
放電禁止遅延時間	t _{CTL}	64 ms	128 ms	256 ms ^{*1}	左記から選択

*1. 標準品の遅延時間です。

表5

機能の 組み合わせ	CTL端子			放電禁止状態 ラッチ機能 ^{*4}	0V電池への 充電機能 ^{*5}	パワーダウン 機能 ^{*6}	放電過電流状態 の解除条件 ^{*7}
	制御論理 ^{*1}	内部抵抗接続 ^{*2}	内部抵抗値 ^{*3} [R _{CTL}]				
(1)	アクティブ "H"	プルダウン	5.0 MΩ	なし	可能	あり	充電器接続
(2)	アクティブ "H"	プルダウン	5.0 MΩ	なし	禁止	あり	負荷開放
(3)	アクティブ "H"	プルダウン	5.0 MΩ	なし	禁止	あり	充電器接続

注意 過充電検出電圧精度が悪化しますので、CTL端子制御論理アクティブ "H" とCTL端子内部抵抗接続 "プルアップ" の組み合わせは設定できません。

- *1. CTL端子の制御論理をアクティブ "H"、アクティブ "L" から選択可能
- *2. CTL端子の内部抵抗接続を "プルアップ"、"プルダウン" から選択可能
- *3. CTL端子の内部抵抗値を1.0 MΩ、2.0 MΩ、3.0 MΩ、4.0 MΩ、5.0 MΩから選択可能
- *4. 放電禁止状態ラッチ機能を "あり"、"なし" から選択可能
- *5. 0V電池への充電機能を "可能"、"禁止" から選択可能
- *6. パワーダウン機能を "あり"、"なし" から選択可能
- *7. 放電過電流状態の解除条件を "負荷開放"、"充電器接続" から選択可能

備考 上記機能の組み合わせ以外の製品をご希望の場合は、弊社営業部までお問い合わせください。

■ ピン配置図

1. SNT-6A

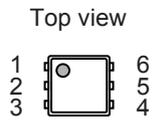


図2

表6

端子番号	端子記号	端子内容
1	CTL	放電制御端子
2	CO	充電制御用FETゲート接続端子 (CMOS出力)
3	DO	放電制御用FETゲート接続端子 (CMOS出力)
4	VSS	負電源入力端子
5	VDD	正電源入力端子
6	VM	VM端子 - VSS端子間電圧検出端子 (過電流 / 充電器検出端子)

NOT RECOMMENDED FOR NEW DESIGN

■ 絶対最大定格

表7

(特記なき場合 : Ta = +25°C)

項目	記号	適用端子	絶対最大定格	単位
VDD端子 - VSS端子間入力電圧	V _{DS}	VDD	V _{SS} - 0.3 ~ V _{SS} + 12	V
VM入力端子電圧	V _{VM}	VM	V _{DD} - 28 ~ V _{DD} + 0.3	V
DO出力端子電圧	V _{DO}	DO	V _{SS} - 0.3 ~ V _{DD} + 0.3	V
CO出力端子電圧	V _{CO}	CO	V _{VM} - 0.3 ~ V _{DD} + 0.3	V
CTL入力端子電圧	V _{CTL}	CTL	V _{SS} - 0.3 ~ V _{DD} + 0.3	V
許容損失	P _D	-	400 ^{*1}	mW
動作周囲温度	T _{opr}	-	-40 ~ +85	°C
保存温度	T _{stg}	-	-55 ~ +125	°C

*1. 基板実装時

[実装基板]

- (1) 基板サイズ : 114.3 mm × 76.2 mm × t1.6 mm
- (2) 名称 : JEDEC STANDARD51-7

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

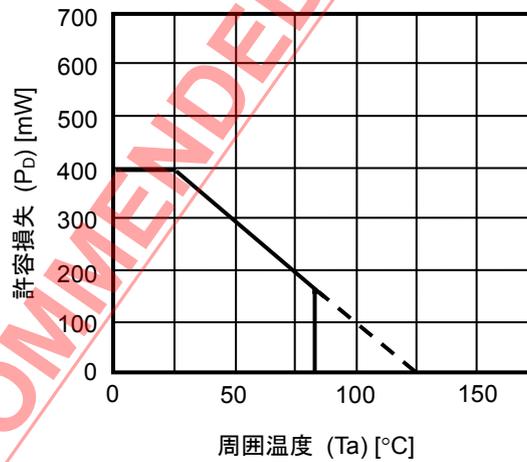


図3 パッケージ許容損失 (基板実装時)

■ 電気的特性

1. Ta = +25°C

表8

(特記なき場合: Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
検出電圧							
過充電検出電圧	V _{CU}	–	V _{CU} – 0.020	V _{CU}	V _{CU} + 0.020	V	1
		Ta = –10°C ~ +60°C*1	V _{CU} – 0.025	V _{CU}	V _{CU} + 0.025	V	1
過充電解除電圧	V _{CL}	V _{CL} ≠ V _{CU}	V _{CL} – 0.030	V _{CL}	V _{CL} + 0.030	V	1
		V _{CL} = V _{CU}	V _{CL} – 0.025	V _{CL}	V _{CL} + 0.020	V	1
過放電検出電圧	V _{DL}	–	V _{DL} – 0.050	V _{DL}	V _{DL} + 0.050	V	2
過放電解除電圧	V _{DU}	V _{DL} ≠ V _{DU}	V _{DU} – 0.100	V _{DU}	V _{DU} + 0.100	V	2
		V _{DL} = V _{DU}	V _{DU} – 0.050	V _{DU}	V _{DU} + 0.050	V	2
放電過電流検出電圧	V _{DIOV}	V _{DD} = 3.0 V	V _{DIOV} – 0.010	V _{DIOV}	V _{DIOV} + 0.010	V	2
		V _{DD} = 3.4 V	V _{DIOV} – 0.010	V _{DIOV}	V _{DIOV} + 0.010	V	2
		V _{DD} = 4.0 V	V _{DIOV} – 0.010	V _{DIOV}	V _{DIOV} + 0.010	V	2
負荷短絡検出電圧	V _{SHORT}	–	V _{SHORT} – 0.050	V _{SHORT}	V _{SHORT} + 0.050	V	2
充電過電流検出電圧	V _{CIOV}	–	V _{CIOV} – 0.015	V _{CIOV}	V _{CIOV} + 0.015	V	2
0 V電池への充電機能							
0 V電池充電開始充電器電圧	V _{0CHA}	0 V電池への充電機能 "可能"	0.00	0.70	1.00	V	2
0 V電池充電禁止電池電圧	V _{0INH}	0 V電池への充電機能 "禁止"	0.90	1.25	1.60	V	2
内部抵抗							
VM端子 – VDD端子間抵抗	R _{VMD}	–	500	1000	2000	kΩ	3
VM端子 – VSS端子間抵抗	R _{VMS}	–	10	20	40	kΩ	3
CTL端子内部抵抗	R _{CTL}	–	R _{CTL} × 0.5	R _{CTL}	R _{CTL} × 2.0	MΩ	3
入力電圧							
VDD端子 – VSS端子間動作電圧	V _{DSOP1}	–	1.5	–	6.5	V	–
VDD端子 – VM端子間動作電圧	V _{DSOP2}	–	1.5	–	28	V	–
CTL端子電圧 "H"	V _{CTLH}	–	–	–	V _{DD} × 0.9	V	2
CTL端子電圧 "L"	V _{CTLL}	–	V _{DD} × 0.1	–	–	V	2
入力電流							
動作時消費電流	I _{OP}	–	–	2.0	4.0	μA	3
パワーダウン時消費電流	I _{PDN}	–	–	–	50	nA	3
過放電時消費電流	I _{OPED}	–	–	–	1.0	μA	3
放電禁止時消費電流	I _{OPEC}	–	–	2.0	4.0	μA	3
出力抵抗							
CO端子抵抗 "H"	R _{COH}	–	5	10	20	kΩ	4
CO端子抵抗 "L"	R _{COL}	–	5	10	20	kΩ	4
DO端子抵抗 "H"	R _{DOH}	–	5	10	20	kΩ	4
DO端子抵抗 "L"	R _{DOL}	–	5	10	20	kΩ	4
遅延時間							
過充電検出遅延時間	t _{CU}	–	t _{CU} × 0.8	t _{CU}	t _{CU} × 1.2	–	5
過放電検出遅延時間	t _{DL}	–	t _{DL} × 0.8	t _{DL}	t _{DL} × 1.2	–	5
放電過電流検出遅延時間	t _{DIOV}	–	t _{DIOV} × 0.8	t _{DIOV}	t _{DIOV} × 1.2	–	5
負荷短絡検出遅延時間	t _{SHORT}	–	t _{SHORT} × 0.7	t _{SHORT}	t _{SHORT} × 1.3	–	5
充電過電流検出遅延時間	t _{CIOV}	–	t _{CIOV} × 0.8	t _{CIOV}	t _{CIOV} × 1.2	–	5
放電禁止遅延時間	t _{CTL}	–	t _{CTL} × 0.8	t _{CTL}	t _{CTL} × 1.2	–	5

*1. 高温および低温での選別はしておりませんので、この温度範囲での規格は設計保証とします。

2. $T_a = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}^{*1}$

表9

(特記なき場合 : $T_a = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}^{*1}$)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
検出電圧							
過充電検出電圧	V_{CU}	–	$V_{\text{CU}} - 0.045$	V_{CU}	$V_{\text{CU}} + 0.030$	V	1
過充電解除電圧	V_{CL}	$V_{\text{CL}} \neq V_{\text{CU}}$	$V_{\text{CL}} - 0.070$	V_{CL}	$V_{\text{CL}} + 0.040$	V	1
		$V_{\text{CL}} = V_{\text{CU}}$	$V_{\text{CL}} - 0.050$	V_{CL}	$V_{\text{CL}} + 0.030$	V	1
過放電検出電圧	V_{DL}	–	$V_{\text{DL}} - 0.090$	V_{DL}	$V_{\text{DL}} + 0.060$	V	2
過放電解除電圧	V_{DU}	$V_{\text{DL}} \neq V_{\text{DU}}$	$V_{\text{DU}} - 0.140$	V_{DU}	$V_{\text{DU}} + 0.110$	V	2
		$V_{\text{DL}} = V_{\text{DU}}$	$V_{\text{DU}} - 0.090$	V_{DU}	$V_{\text{DU}} + 0.060$	V	2
放電過電流検出電圧 ^{*2}	V_{DIOV}	$V_{\text{DD}} = 3.0\text{ V}$	–	V_{DIOV}	–	V	2
		$V_{\text{DD}} = 3.4\text{ V}$	–	V_{DIOV}	–	V	2
		$V_{\text{DD}} = 4.0\text{ V}$	–	V_{DIOV}	–	V	2
負荷短絡検出電圧	V_{SHORT}	–	$V_{\text{SHORT}} - 0.050$	V_{SHORT}	$V_{\text{SHORT}} + 0.050$	V	2
充電過電流検出電圧	V_{CIOV}	–	$V_{\text{CIOV}} - 0.015$	V_{CIOV}	$V_{\text{CIOV}} + 0.015$	V	2
0 V電池への充電機能							
0 V電池充電開始充電器電圧	$V_{0\text{CHA}}$	0 V電池への充電機能 "可能"	0.00	0.70	1.50	V	2
0 V電池充電禁止電池電圧	$V_{0\text{INH}}$	0 V電池への充電機能 "禁止"	0.70	1.25	1.80	V	2
内部抵抗							
VM端子 – VDD端子間抵抗	R_{VMD}	–	250	1000	3000	$\text{k}\Omega$	3
VM端子 – VSS端子間抵抗	R_{VMS}	–	7.2	20	44	$\text{k}\Omega$	3
CTL端子内部抵抗	R_{CTL}	–	$R_{\text{CTL}} \times 0.25$	R_{CTL}	$R_{\text{CTL}} \times 3.0$	$\text{M}\Omega$	3
入力電圧							
VDD端子 – VSS端子間動作電圧	V_{DSOP1}	–	1.5	–	6.5	V	–
VDD端子 – VM端子間動作電圧	V_{DSOP2}	–	1.5	–	28	V	–
CTL端子電圧 "H"	V_{CTLH}	–	–	–	$V_{\text{DD}} \times 0.95$	V	2
CTL端子電圧 "L"	V_{CTLL}	–	$V_{\text{DD}} \times 0.05$	–	–	V	2
入力電流							
動作時消費電流	I_{OPE}	–	–	2.0	4.5	μA	3
パワーダウン時消費電流	I_{PDN}	–	–	–	100	nA	3
過放電時消費電流	I_{OPED}	–	–	–	2.0	μA	3
放電禁止時消費電流	I_{OPEC}	–	–	2.0	4.5	μA	3
出力抵抗							
CO端子抵抗 "H"	R_{COH}	–	2.5	10	30	$\text{k}\Omega$	4
CO端子抵抗 "L"	R_{COL}	–	2.5	10	30	$\text{k}\Omega$	4
DO端子抵抗 "H"	R_{DOH}	–	2.5	10	30	$\text{k}\Omega$	4
DO端子抵抗 "L"	R_{DOL}	–	2.5	10	30	$\text{k}\Omega$	4
遅延時間							
過充電検出遅延時間	t_{CU}	–	$t_{\text{CU}} \times 0.6$	t_{CU}	$t_{\text{CU}} \times 1.6$	–	5
過放電検出遅延時間	t_{DL}	–	$t_{\text{DL}} \times 0.6$	t_{DL}	$t_{\text{DL}} \times 1.6$	–	5
放電過電流検出遅延時間	t_{DIOV}	–	$t_{\text{DIOV}} \times 0.6$	t_{DIOV}	$t_{\text{DIOV}} \times 1.6$	–	5
負荷短絡検出遅延時間	t_{SHORT}	–	$t_{\text{SHORT}} \times 0.5$	t_{SHORT}	$t_{\text{SHORT}} \times 1.7$	–	5
充電過電流検出遅延時間	t_{CIOV}	–	$t_{\text{CIOV}} \times 0.6$	t_{CIOV}	$t_{\text{CIOV}} \times 1.6$	–	5
放電禁止遅延時間	t_{CTL}	–	$t_{\text{CTL}} \times 0.6$	t_{CTL}	$t_{\text{CTL}} \times 1.6$	–	5

*1. 高温および低温での選別はしておりませんので、この温度範囲での規格は設計保証とします。

*2. V_{DIOV} の温度特性は V_{DIOV} の設定により決まり、充放電制御用FETのオン抵抗の温度特性と合うようになっています。詳細は「■ 諸特性データ (Typicalデータ)」、"2.5 $V_{\text{DIOV}} - T_a$ "を参照してください。

■ 測定回路

CTL端子制御論理アクティブ "H" はSW1とSW3をオフ、SW2とSW4をオンに設定してください。CTL端子制御論理アクティブ "L" はSW1とSW3をオン、SW2とSW4をオフに設定してください。

注意 特に記述していない場合のCO端子の出力電圧 (V_{CO})、DO端子の出力電圧 (V_{DO}) の "H"、"L" の判定は、Nch FETのしきい値電圧 (1.0 V) とします。このとき、CO端子は V_{VM} 基準、DO端子は V_{SS} 基準で判定してください。

1. 過充電検出電圧、過充電解除電圧 (測定回路1)

$V1 = 3.4$ Vに設定した状態から $V1$ を徐々に上げ、 $V_{CO} = "H" \rightarrow "L"$ となる $V1$ の電圧を過充電検出電圧 (V_{CU}) とします。その後、 $V1$ を徐々に下げ、 $V_{CO} = "L" \rightarrow "H"$ となる $V1$ の電圧を過充電解除電圧 (V_{CL}) とします。 V_{CU} と V_{CL} との差を過充電ヒステリシス電圧 (V_{HC}) とします。

2. 過放電検出電圧、過放電解除電圧 (測定回路2)

$V1 = 3.4$ V、 $V2 = V5 = 0$ Vに設定した状態から $V1$ を徐々に下げ、 $V_{DO} = "H" \rightarrow "L"$ となる $V1$ の電圧を過放電検出電圧 (V_{DL}) とします。その後、 $V2 = 0.02$ Vに設定した状態から $V1$ を徐々に上げ、 $V_{DO} = "L" \rightarrow "H"$ となる $V1$ の電圧を過放電解除電圧 (V_{DU}) とします。 V_{DU} と V_{DL} との差を過放電ヒステリシス電圧 (V_{HD}) とします。

3. 放電過電流検出電圧 (測定回路2)

$V1 = 3.4$ V、 $V2 = V5 = 0$ Vに設定した状態で $V2$ を上昇させてから、 $V_{DO} = "H" \rightarrow "L"$ となるまでの遅延時間が、放電過電流検出遅延時間 (t_{DIOV}) である $V2$ の電圧を放電過電流検出電圧 (V_{DIOV}) とします。

4. 負荷短絡検出電圧 (測定回路2)

$V1 = 3.4$ V、 $V2 = V5 = 0$ Vに設定した状態で $V2$ を上昇させてから、 $V_{DO} = "H" \rightarrow "L"$ となるまでの遅延時間が、負荷短絡検出遅延時間 (t_{SHORT}) である $V2$ の電圧を負荷短絡検出電圧 (V_{SHORT}) とします。

5. 充電過電流検出電圧 (測定回路2)

$V1 = 3.4$ V、 $V2 = V5 = 0$ Vに設定した状態で $V2$ を下降させてから、 $V_{CO} = "H" \rightarrow "L"$ となるまでの遅延時間が、充電過電流検出遅延時間 (t_{CIOV}) である $V2$ の電圧を充電過電流検出電圧 (V_{CIOV}) とします。

6. 動作時消費電流 (測定回路3)

$V1 = 3.4$ V、 $V2 = V5 = 0$ Vに設定した状態において、VDD端子に流れる電流 (I_{DD}) を動作時消費電流 (I_{OPE}) とします。

7. パワーダウン時消費電流、過放電時消費電流 (測定回路3)

7.1 パワーダウン機能 "あり"

$V1 = V2 = 1.5$ V、 $V5 = 0$ Vに設定した状態において、 I_{DD} をパワーダウン時消費電流 (I_{PDN}) とします。

7.2 パワーダウン機能 "なし"

$V1 = V2 = 1.5$ V、 $V5 = 0$ Vに設定した状態において、 I_{DD} を過放電時消費電流 (I_{OPED}) とします。

8. 放電禁止時消費電流
(測定回路3)

8.1 CTL端子制御論理アクティブ "L"、CTL端子内部抵抗接続 "プルアップ"

V1 = V2 = V5 = 3.4 Vに設定した状態において、 I_{DD} の絶対値と I_{CTL} の絶対値の差を放電禁止時消費電流 (I_{OPEC}) とします。

8.2 その他の機能の組み合わせ

V1 = V2 = V5 = 3.4 Vに設定した状態において、 I_{DD} を放電禁止時消費電流 (I_{OPEC}) とします。

9. VM端子 – VDD端子間抵抗
(測定回路3)

V1 = 1.8 V、V2 = V5 = 0 V に設定した状態において、VM端子 – VDD端子間抵抗を R_{VMD} とします。

10. VM端子 – VSS端子間抵抗 (放電過電流状態の解除条件 "負荷開放")
(測定回路3)

V1 = 3.4 V、V2 = 1.0 V、V5 = 0 Vに設定した状態において、VM端子 – VSS端子間抵抗を R_{VMS} とします。

11. CTL端子内部抵抗
(測定回路3)

11.1 CTL端子制御論理アクティブ "H"、CTL端子内部抵抗接続 "プルダウン"

V1 = V5 = 3.4 V、V2 = 0 Vに設定した状態において、CTL端子 – VSS端子間抵抗を R_{CTL} とします。

11.2 CTL端子制御論理アクティブ "L"、CTL端子内部抵抗接続 "プルアップ"

V1 = V5 = 3.4 V、V2 = 0 Vに設定した状態において、CTL端子 – VDD端子間抵抗を R_{CTL} とします。

11.3 CTL端子制御論理アクティブ "L"、CTL端子内部抵抗接続 "プルダウン"

V1 = 3.4 V、V2 = V5 = 0 Vに設定した状態において、CTL端子 – VSS端子間抵抗を R_{CTL} とします。

12. CO端子抵抗 "H"
(測定回路4)

V1 = 3.4 V、V2 = 0 V、V3 = 3.0 Vに設定した状態において、VDD端子 – CO端子間抵抗をCO端子抵抗 "H" (R_{COH}) とします。

13. CO端子抵抗 "L"
(測定回路4)

V1 = 4.6 V、V2 = 0 V、V3 = 0.4 Vに設定した状態において、VM端子 – CO端子間抵抗をCO端子抵抗 "L" (R_{COL}) とします。

14. DO端子抵抗 "H"
(測定回路4)

V1 = 3.4 V、V2 = 0 V、V4 = 3.0 Vに設定した状態において、VDD端子 – DO端子間抵抗をDO端子抵抗 "H" (R_{DOH}) とします。

15. DO端子抵抗 "L"
(測定回路4)

V1 = 1.8 V、V2 = 0 V、V4 = 0.4 Vに設定した状態において、VSS端子 – DO端子間抵抗をDO端子抵抗 "L" (R_{DOL}) とします。

16. CTL端子電圧 "H"、CTL端子電圧 "L"
(測定回路2)

16.1 CTL端子制御論理アクティブ "H"

V1 = 3.4 V、V2 = V5 = 0 Vに設定した状態からV5を徐々に上げ、V_{DO} = "H" → "L" となるV5の電圧をCTL端子電圧 "H" (V_{CTLH}) とします。その後、V5を徐々に下げ、V_{DO} = "L" → "H" となるV5の電圧をCTL端子電圧 "L" (V_{CTLL}) とします。

16.2 CTL端子制御論理アクティブ "L"

V1 = 3.4 V、V2 = V5 = 0 Vに設定した状態からV5を徐々に上げ、V_{DO} = "H" → "L" となるV5の電圧とV1の電圧の差 (V1 - V5) をCTL端子電圧 "L" (V_{CTLL}) とします。その後、V5を徐々に下げ、V_{DO} = "L" → "H" となるV1 - V5をCTL端子電圧 "H" (V_{CTLH}) とします。

17. 過充電検出遅延時間
(測定回路5)

V1 = 3.4 V、V2 = V5 = 0 Vに設定した状態からV1を上昇させ、V1がV_{CU}を上回ってからV_{CO} = "L" となるまでの時間を過充電検出遅延時間 (t_{CU}) とします。

18. 過放電検出遅延時間
(測定回路5)

V1 = 3.4 V、V2 = V5 = 0 Vに設定した状態からV1を下降させ、V1がV_{DL}を下回ってからV_{DO} = "L" となるまでの時間を過放電検出遅延時間 (t_{DL}) とします。

19. 放電過電流検出遅延時間
(測定回路5)

V1 = 3.4 V、V2 = V5 = 0 Vに設定した状態からV2を上昇させ、V2がV_{DIOV}を上回ってからV_{DO} = "L" となるまでの時間をt_{DIOV}とします。

20. 負荷短絡検出遅延時間
(測定回路5)

V1 = 3.4 V、V2 = V5 = 0 Vに設定した状態からV2を上昇させ、V2がV_{SHORT}を上回ってからV_{DO} = "L" となるまでの時間をt_{SHORT}とします。

21. 充電過電流検出遅延時間
(測定回路5)

V1 = 3.4 V、V2 = V5 = 0 Vに設定した状態からV2を下降させ、V2がV_{CIOV}を下回ってからV_{CO} = "L" となるまでの時間をt_{CIOV}とします。

22. 放電禁止遅延時間
(測定回路5)

22.1 CTL端子制御論理アクティブ "H"

V1 = 3.4 V、V2 = V5 = 0 Vに設定した状態からV5を上昇させ、V5がV_{CTLH}を上回ってからV_{DO} = "L" となるまでの時間を放電禁止遅延時間 (t_{CTL}) とします。

22.2 CTL端子制御論理アクティブ "L"

V1 = 3.4 V、V2 = V5 = 0 Vに設定した状態からV5を上昇させ、V1 - V5がV_{CTLL}を下回ってからV_{DO} = "L" となるまでの時間を放電禁止遅延時間 (t_{CTL}) とします。

23. 0 V電池充電開始充電器電圧 (0 V電池への充電機能 "可能")
(測定回路2)

V1 = V2 = V5 = 0 Vに設定した状態において、V2を徐々に下げ、V_{CO} = "H" (V_{CO} = V_{DD}) となるV2の電圧の絶対値を0 V電池充電開始充電器電圧 (V_{OCHA}) とします。

24. 0 V電池充電禁止電池電圧 (0 V電池への充電機能 "禁止")
(測定回路2)

V1 = V5 = 0 V、V2 = -2.0 Vに設定した状態からV1を徐々に上げ、V_{CO} = "H" (V_{CO} = V_{DD}) となるV1の電圧を0 V電池充電禁止電池電圧 (V_{OINH}) とします。

NOT RECOMMENDED FOR NEW DESIGN

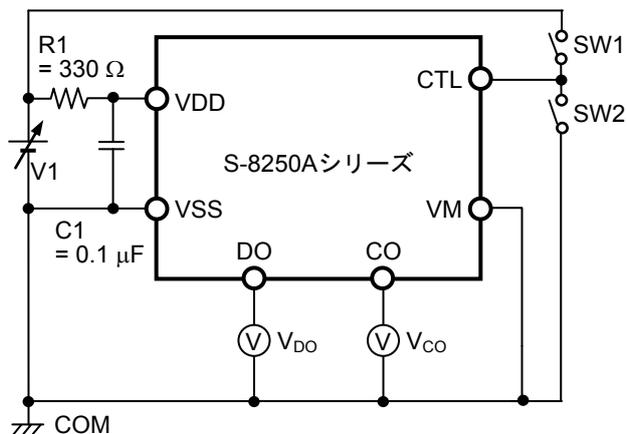


図4 測定回路1

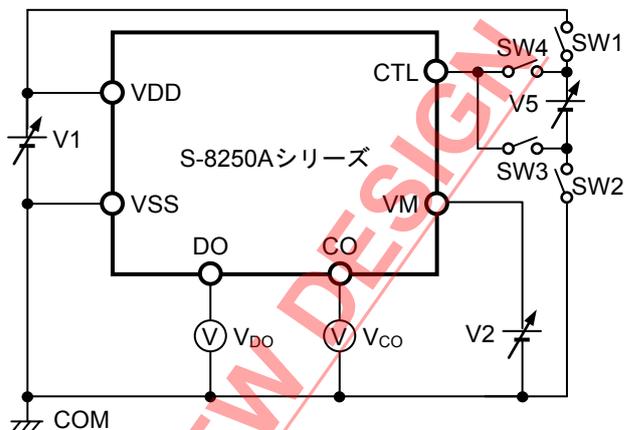


図5 測定回路2

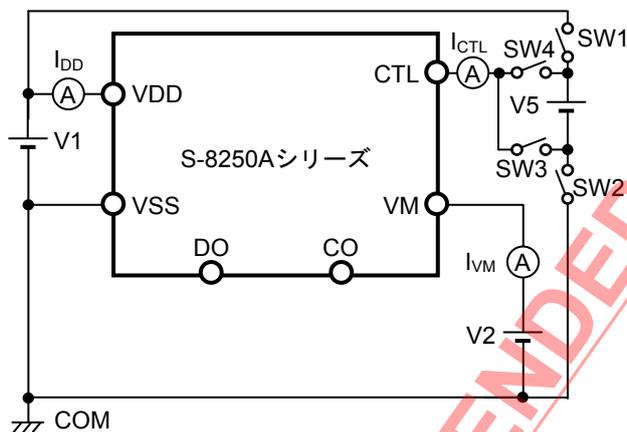


図6 測定回路3

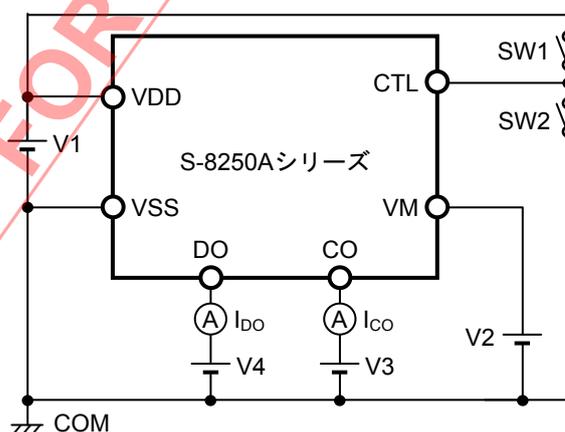


図7 測定回路4

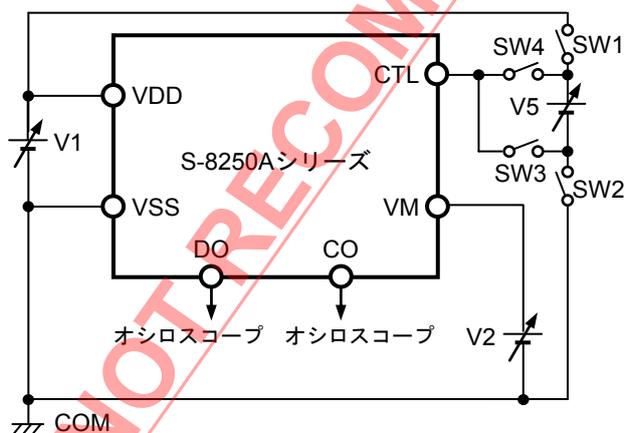


図8 測定回路5

■ 動作説明

備考 "■ バッテリー保護ICの接続例" を参照してください。

1. 通常状態

S-8250Aシリーズは、VDD端子 - VSS端子間に接続された電池電圧やVM端子 - VSS端子間電圧、CTL端子 - VSS端子間電圧を監視し、充電と放電を制御します。

1.1 CTL端子制御論理アクティブ "H"

電池電圧が過放電検出電圧 (V_{DL}) 以上かつ過充電検出電圧 (V_{CU}) 以下の範囲内であり、VM端子電圧が充電過電流検出電圧 (V_{CIOV}) 以上かつ放電過電流検出電圧 (V_{DIOV}) 以下の範囲内であり、CTL端子電圧がCTL端子電圧 "L" (V_{CTL}) 以下の場合、充電制御用FETと放電制御用FETの両方をオンします。この状態を通常状態と言い、充放電は自由に行えます。

通常状態において、VM端子 - VDD端子間抵抗 (R_{VMD})、およびVM端子 - VSS端子間抵抗 (R_{VMS}) は接続されていません。

1.2 CTL端子制御論理アクティブ "L"

電池電圧が過放電検出電圧 (V_{DL}) 以上かつ過充電検出電圧 (V_{CU}) 以下の範囲内であり、VM端子電圧が充電過電流検出電圧 (V_{CIOV}) 以上かつ放電過電流検出電圧 (V_{DIOV}) 以下の範囲内であり、CTL端子電圧がCTL端子電圧 "H" (V_{CTLH}) 以上の場合、充電制御用FETと放電制御用FETの両方をオンします。この状態を通常状態と言い、充放電は自由に行えます。

通常状態において、VM端子 - VDD端子間抵抗 (R_{VMD})、およびVM端子 - VSS端子間抵抗 (R_{VMS}) は接続されていません。

注意 最初に電池を接続する際、通常状態でない場合があります。この場合、VM端子とVSS端子をショートするか、あるいは充電器を接続することによりVM端子電圧を V_{CIOV} 以上かつ V_{DIOV} 以下にすると通常状態になります。

NOT RECOMMENDED FOR NEW DESIGN

2. 過充電状態

2.1 $V_{CL} \neq V_{CU}$ (過充電解除電圧と過充電検出電圧が異なる製品)

通常状態の電池電圧が充電中に V_{CU} を越え、その状態を過充電検出遅延時間 (t_{CU}) 以上保持した場合、充電制御用FETをオフし充電を停止させます。この状態を過充電状態と言います。

過充電状態の解除には、以下の2通りの場合があります。

- (1) VM端子電圧が V_{DIOV} 未満であれば、電池電圧が過充電解除電圧 (V_{CL}) 以下まで下がった場合に過充電状態を解除します。
- (2) VM端子電圧が V_{DIOV} 以上であれば、電池電圧が V_{CU} 以下まで下がった場合に過充電状態を解除します。

過充電検出後に負荷を取り付けて放電を開始した場合は、放電電流が充電制御用FETの内部寄生ダイオードを通して流れるため、VM端子電圧はVSS端子電圧よりも内部寄生ダイオードの V_f 電圧だけ上昇します。このときのVM端子電圧が V_{DIOV} 以上であれば、電池電圧が V_{CU} 以下で過充電状態を解除します。

注意 V_{CU} を越えて充電された電池で、重い負荷をつなげても電池電圧が V_{CU} 以下に下がらない場合、電池電圧が V_{CU} を下回るまで、放電過電流検出および負荷短絡検出は機能しません。ただし、実際の電池では内部インピーダンスが数十mΩありますので、過電流を発生させるような重い負荷が繋がれた場合には、電池電圧はただちに低下するため、放電過電流検出および負荷短絡検出は機能します。

2.2 $V_{CL} = V_{CU}$ (過充電解除電圧と過充電検出電圧が同じ製品)

通常状態の電池電圧が充電中に V_{CU} を越え、その状態を過充電検出遅延時間 (t_{CU}) 以上保持した場合、充電制御用FETをオフし充電を停止させます。この状態を過充電状態と言います。

VM端子電圧が0 V typ.以上であり、電池電圧が V_{CU} 以下まで下がった場合に過充電状態を解除します。

注意 1. V_{CU} を越えて充電された電池で、重い負荷をつなげても電池電圧が V_{CU} 以下に下がらない場合、電池電圧が V_{CU} を下回るまで、放電過電流検出および負荷短絡検出は機能しません。ただし、実際の電池では内部インピーダンスが数十mΩありますので、過電流を発生させるような重い負荷が繋がれた場合には、電池電圧はただちに低下するため、放電過電流検出および負荷短絡検出は機能します。

2. 過充電検出後に充電器を接続した場合、電池電圧が V_{CL} を下回っても、過充電状態は解除しません。充電器を開放することにより、VM端子電圧が0 V typ.を上回った場合、過充電状態を解除します。

3. 過放電状態

通常状態の電池電圧が放電中に V_{DL} を下回り、その状態を過放電検出遅延時間 (t_{DL}) 以上保持した場合、放電制御用FETをオフし放電を停止させます。この状態を過放電状態といいます。

過放電状態では、S-8250Aシリーズ内部でVDD端子 – VM端子間を R_{VMD} によってショートしています。VM端子は R_{VMD} によってプルアップされます。

過放電状態において、 R_{VMS} は接続されていません。

3.1 パワーダウン機能 "あり"

過放電状態でVDD端子 – VM端子間電圧差が 0.8 V typ. 以下になると、パワーダウン機能が働き、消費電流をパワーダウン時消費電流 (I_{PDN}) まで減らします。パワーダウン機能の解除は、充電器を接続し、VM端子電圧が 0.7 V typ. 以下になることで行われます。

- ・ 充電器を接続せず、VM端子電圧 $\geq 0.7\text{ V typ.}$ の場合は、電池電圧が V_{DU} 以上でも過放電状態を維持します。
- ・ 充電器を接続し、 $0.7\text{ V typ.} > \text{VM端子電圧} > 0\text{ V typ.}$ の場合は、電池電圧が V_{DU} 以上で過放電状態を解除します。
- ・ 充電器を接続し、 $0\text{ V typ.} \geq \text{VM端子電圧}$ の場合は、電池電圧が V_{DL} 以上で過放電状態を解除します。

3.2 パワーダウン機能 "なし"

過放電状態でVDD端子 – VM端子間電圧差が 0.8 V typ. 以下になっても、パワーダウン機能は働きません。

- ・ 充電器を接続せず、VM端子電圧 $\geq 0.7\text{ V typ.}$ の場合は、電池電圧が V_{DU} 以上で過放電状態を解除します。
- ・ 充電器を接続し、 $0.7\text{ V typ.} > \text{VM端子電圧} > 0\text{ V typ.}$ の場合は、電池電圧が V_{DU} 以上で過放電状態を解除します。
- ・ 充電器を接続し、 $0\text{ V typ.} \geq \text{VM端子電圧}$ の場合は、電池電圧が V_{DL} 以上で過放電状態を解除します。

4. 放電過電流状態 (放電過電流、負荷短絡)

通常状態の電池において、放電電流が所定値以上になることによって、VM端子電圧が V_{DIOV} 以上となる状態が放電過電流検出遅延時間 (t_{DIOV}) 以上続いた場合、放電制御用FETをオフし放電を停止させます。この状態を放電過電流状態といいます。

4.1 放電過電流状態の解除条件 "負荷開放"

放電過電流状態では、S-8250Aシリーズ内部でVM端子 – VSS端子間を R_{VMS} によってショートしています。ただし、負荷が接続されている間は、VM端子電圧は負荷によってVDD端子電圧となっています。負荷を切り離すとVM端子電圧はVSS端子電圧に戻ります。VM端子電圧が V_{DIOV} 以下に戻れば、放電過電流状態を解除します。放電過電流状態において、 R_{VMD} は接続されていません。

4.2 放電過電流状態の解除条件 "充電器接続"

放電過電流状態では、S-8250Aシリーズ内部でVM端子 – VDD端子間を R_{VMD} によってショートしています。

充電器を接続し、VM端子電圧が V_{DIOV} 以下に戻れば、放電過電流状態を解除します。

放電過電流状態において、 R_{VMS} は接続されていません。

5. 充電過電流状態

通常状態の電池において、充電電流が所定値以上になることによって、VM端子電圧が V_{CIOV} 以下となる状態が充電過電流検出遅延時間 (t_{CIOV}) 以上続いた場合、充電制御用FETをオフし充電を停止させます。この状態を充電過電流状態といいます。

充電器を開放してVM端子電圧が 0 V typ. 以上に戻れば、充電過電流状態を解除します。

過放電状態と放電禁止状態においては、充電過電流検出は機能しません。

6. 放電禁止状態

6.1 CTL端子制御論理アクティブ "H"

通常状態の電池において、CTL端子電圧がCTL端子電圧 "H" (V_{CTLH}) 以上となる状態が放電禁止遅延時間 (t_{CTL}) 以上続いた場合、放電制御用FETをオフし放電を停止させます。この状態を放電禁止状態と言います。

6.1.1 放電禁止状態ラッチ機能 "あり"

CTL端子電圧をCTL端子電圧 "L" ($V_{CTL L}$) 以下とし、充電器を接続しVM端子電圧を V_{DIOV} 以下とすることで、放電禁止状態を解除します。

6.1.2 放電禁止状態ラッチ機能 "なし"

CTL端子電圧を $V_{CTL L}$ 以下とすることで、放電禁止状態を解除します。

6.2 CTL端子制御論理アクティブ "L"

通常状態の電池において、CTL端子電圧がCTL端子電圧 "L" ($V_{CTL L}$) 以下となる状態が放電禁止遅延時間 (t_{CTL}) 以上続いた場合、放電制御用FETをオフし放電を停止させます。この状態を放電禁止状態と言います。

6.2.1 放電禁止状態ラッチ機能 "あり"

CTL端子電圧をCTL端子電圧 "H" (V_{CTLH}) 以上とし、充電器を接続しVM端子電圧を V_{DIOV} 以下とすることで、放電禁止状態を解除します。

6.2.2 放電禁止状態ラッチ機能 "なし"

CTL端子電圧を V_{CTLH} 以上とすることで、放電禁止状態を解除します。

放電禁止状態において、充電器が接続され電池電圧が V_{CU} を越えた場合に放電禁止状態を解除します。

CTL端子はS-8250Aシリーズ内部でCTL端子内部抵抗 (R_{CTL}) によってVDD端子またはVSS端子にショートしています。 R_{CTL} は過放電状態でVDD端子 - VM端子間電圧が0.8 V typ.以下になると切断され、CTL端子の入出力電流を遮断します。

過充電状態、充電過電流状態においては、CTL端子による放電制御は機能しません。

放電禁止状態では、S-8250Aシリーズ内部でVM端子 - VDD端子間を R_{VMD} によってショートしています。

7. 0 V電池への充電機能 "可能"

接続された電池電圧が、自己放電により0 Vになった状態から充電を可能とする機能です。0 V電池充電開始充電器電圧 (V_{0CHA}) 以上の電圧の充電器をEB+端子とEB-端子間に接続すると、充電制御用FETのゲートをVDD端子電圧に固定します。充電器電圧によって充電制御用FETのゲートソース間電圧がしきい値電圧以上になると、充電制御用FETがオンし充電が開始されます。このとき放電制御用FETはオフしており、充電電流は放電制御用FETの内部寄生ダイオードを流れます。電池電圧が V_{DU} 以上になると通常状態になります。

注意 1. 完全放電された電池を再度充電することを推奨しないリチウムイオン電池もあります。使用するリチウムイオン電池の特性に依存しますので、0 V電池への充電機能 "可能"、"禁止" を決定する際は、詳細を電池メーカーに確認してください。

2. 0 V電池への充電機能は、充電過電流検出機能に対して優先されます。したがって、0 V電池への充電機能 "可能" の製品は、電池電圧が V_{DL} よりも低い間は強制的に充電可能となってしまう、充電過電流を検出することができません。

8. 0V電池への充電機能 "禁止"

内部ショートした電池 (0V電池) が接続された場合に、充電を禁止する機能です。電池電圧が0V電池充電禁止電池電圧 (V_{0INH}) 以下のときは、充電制御用FETのゲートをEB-端子電圧に固定し、充電を禁止します。電池電圧が V_{0INH} 以上の場合は、充電を行うことができます。

注意 完全放電された電池を再度充電することを推奨しないリチウムイオン電池もあります。使用するリチウムイオン電池の特性に依存しますので、0V電池への充電機能 "可能"、"禁止" を決定する際は、詳細を電池メーカーに確認してください。

9. 遅延回路

各種検出遅延時間は、約4kHzのクロックをカウンターで分周して算出しています。

備考 t_{DIOV} 、 t_{SHORT} の開始は、 V_{DIOV} を検出した時です。したがって、 V_{DIOV} を検出してから、 t_{SHORT} を越えて V_{SHORT} を検出した場合、検出した時点から t_{SHORT} 以内に放電制御用FETをオフします。

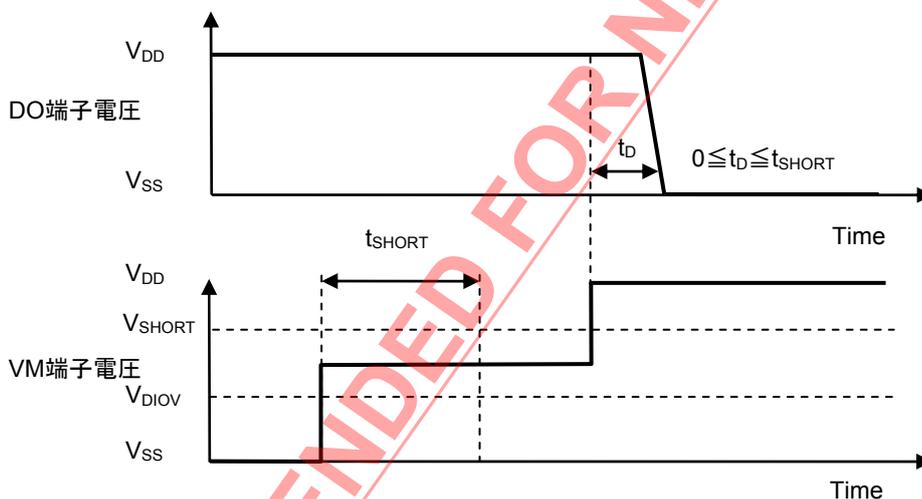
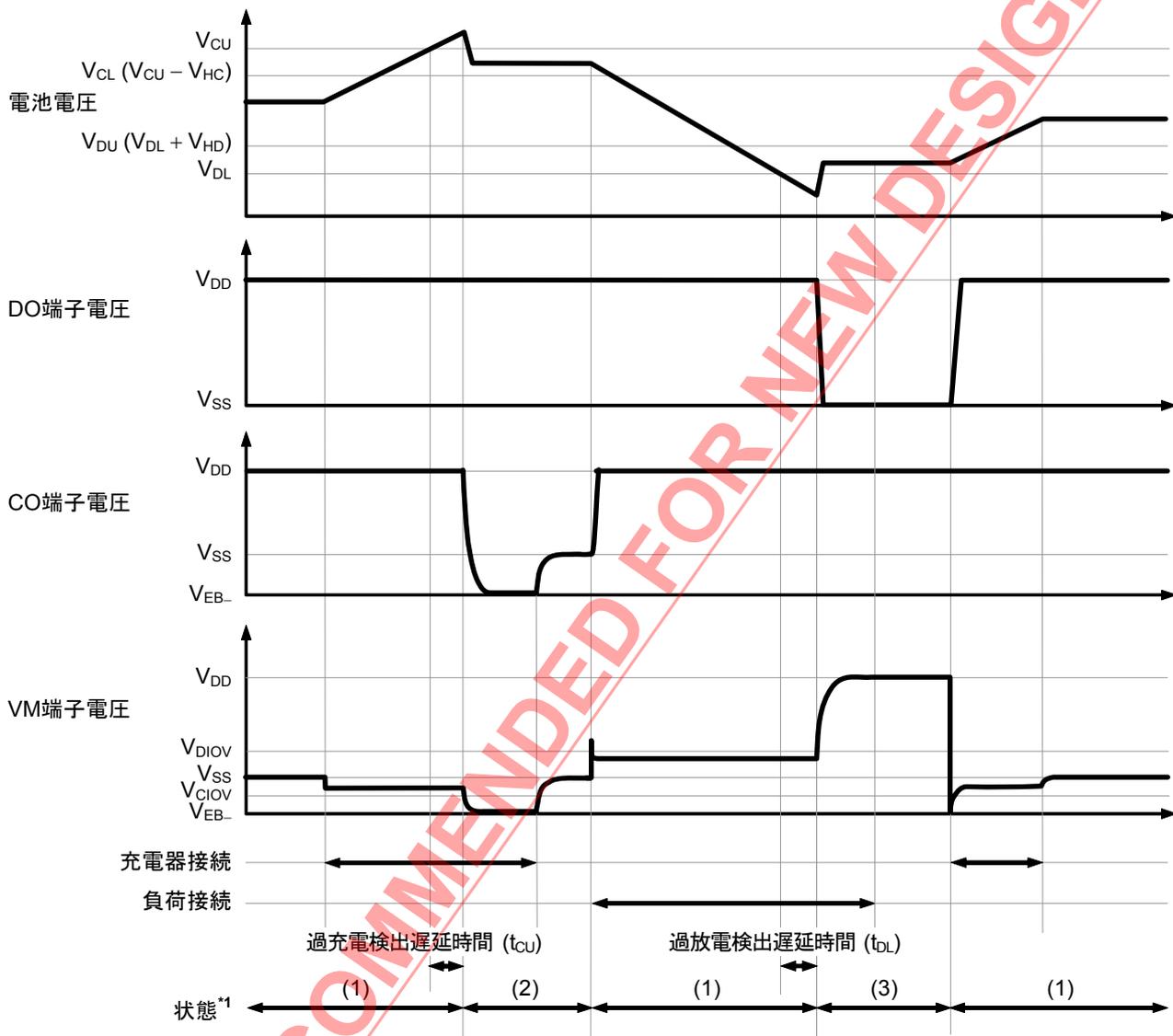


図9

■ タイミングチャート

1. 過充電検出、過放電検出



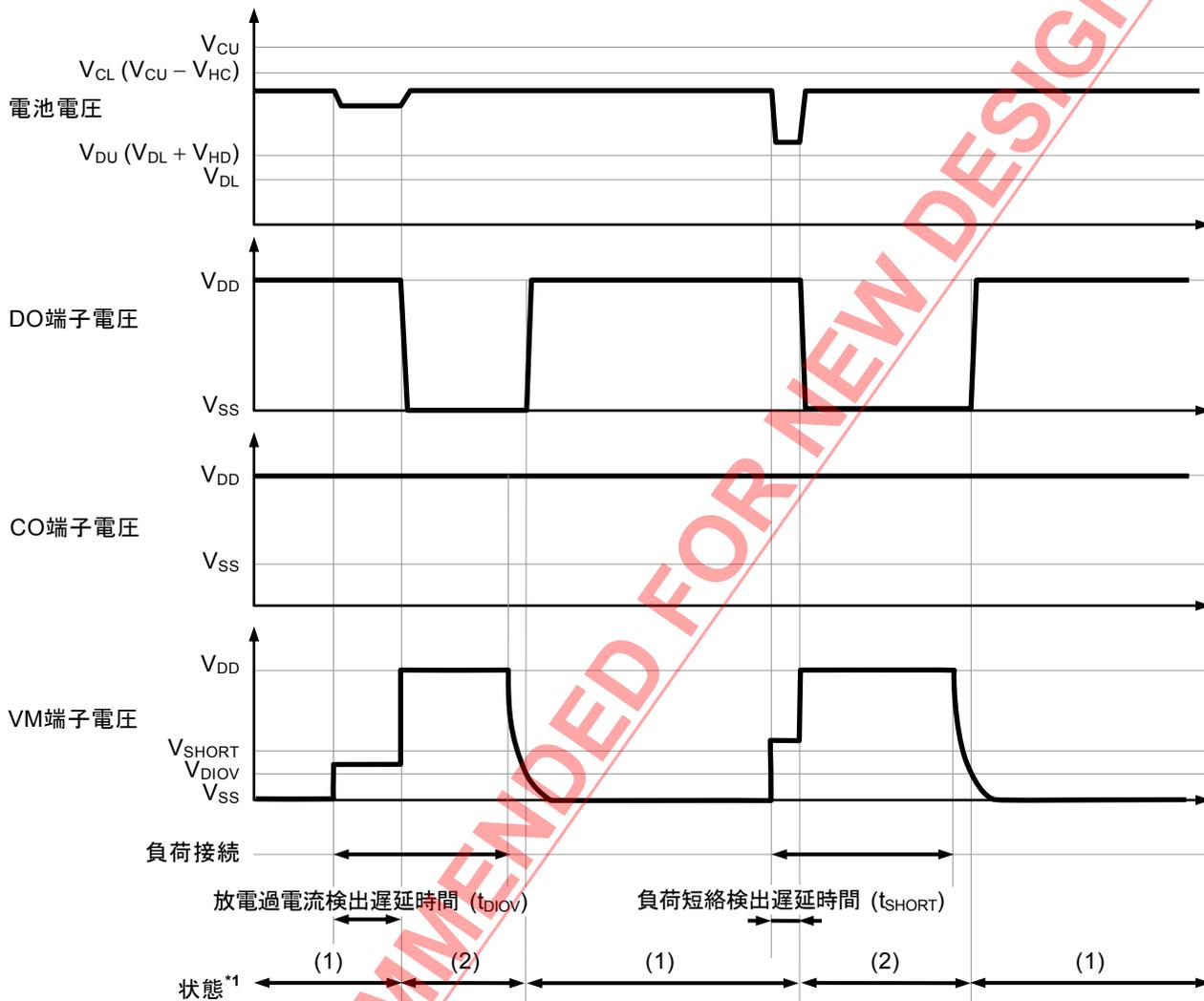
- *1. (1): 通常状態
- (2): 過充電状態
- (3): 過放電状態

備考 定電流での充電を想定しています。

図10

2. 放電過電流検出

2.1 放電過電流状態の解除条件 "負荷開放"

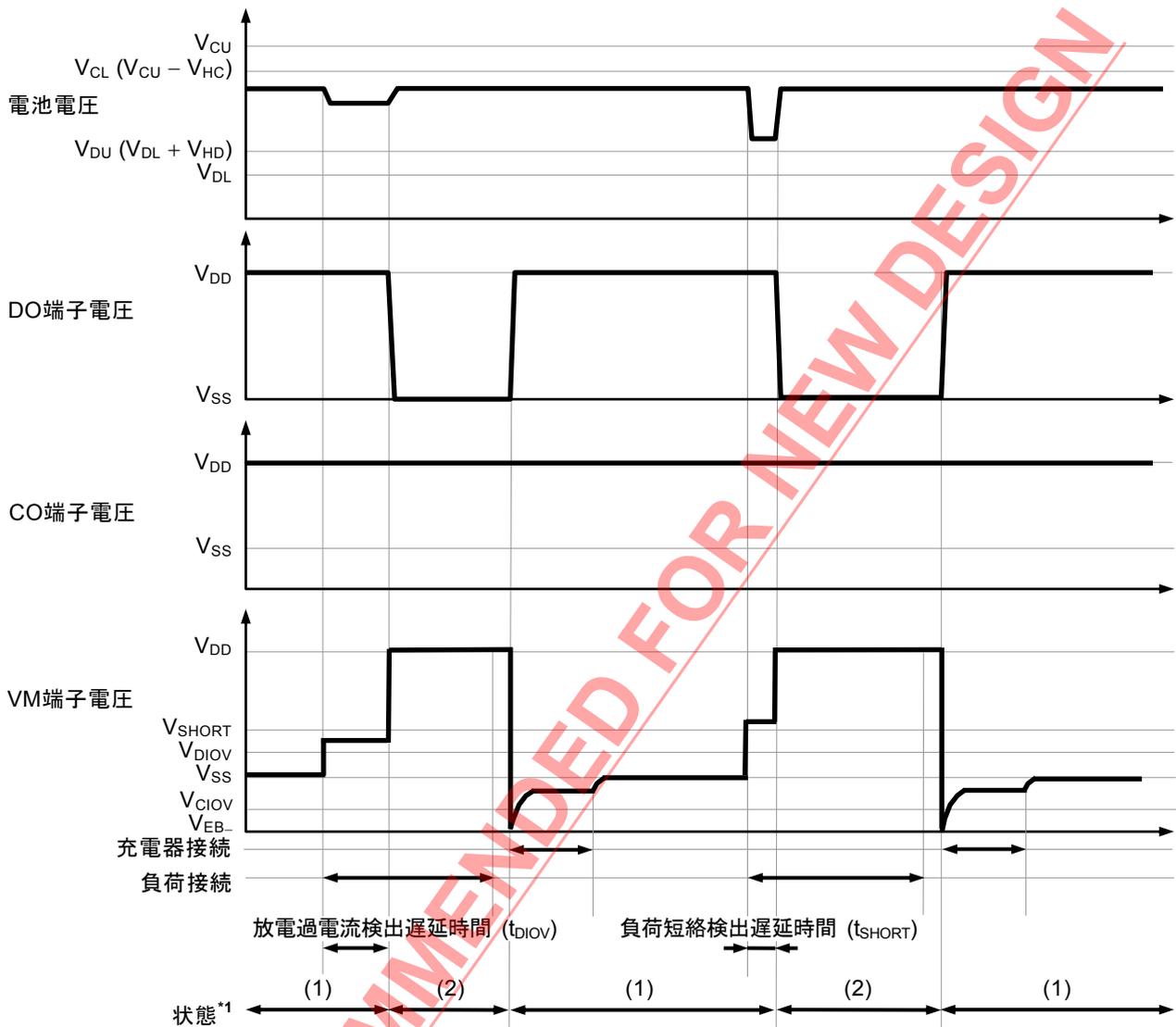


- *1. (1): 通常状態
(2): 放電過電流状態

備考 定電流での充電を想定しています。

図11

2.2 放電過電流状態の解除条件 "充電器接続"

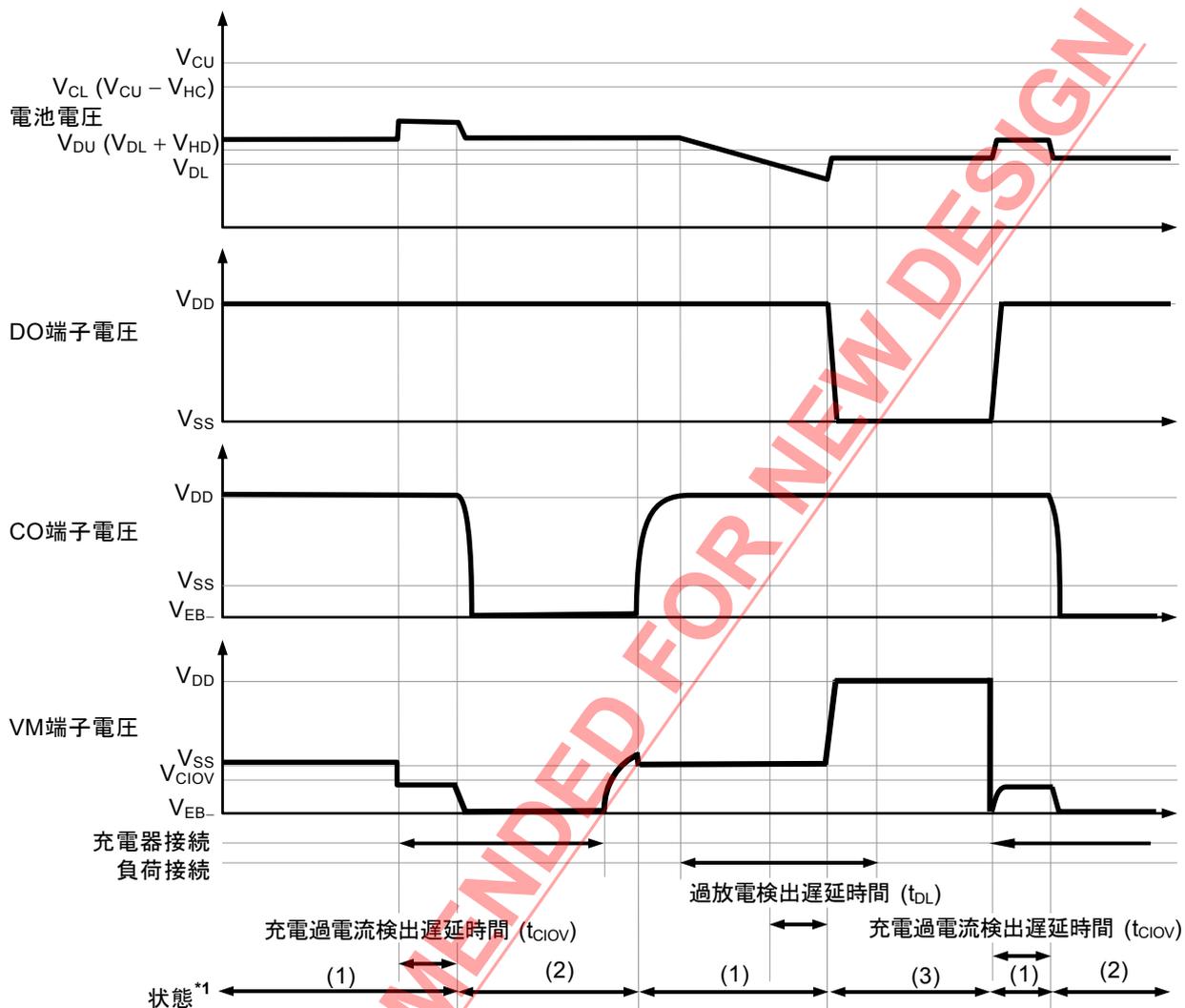


*1. (1): 通常状態
(2): 放電過電流状態

備考 定電流での充電を想定しています。

図12

3. 充電過電流検出



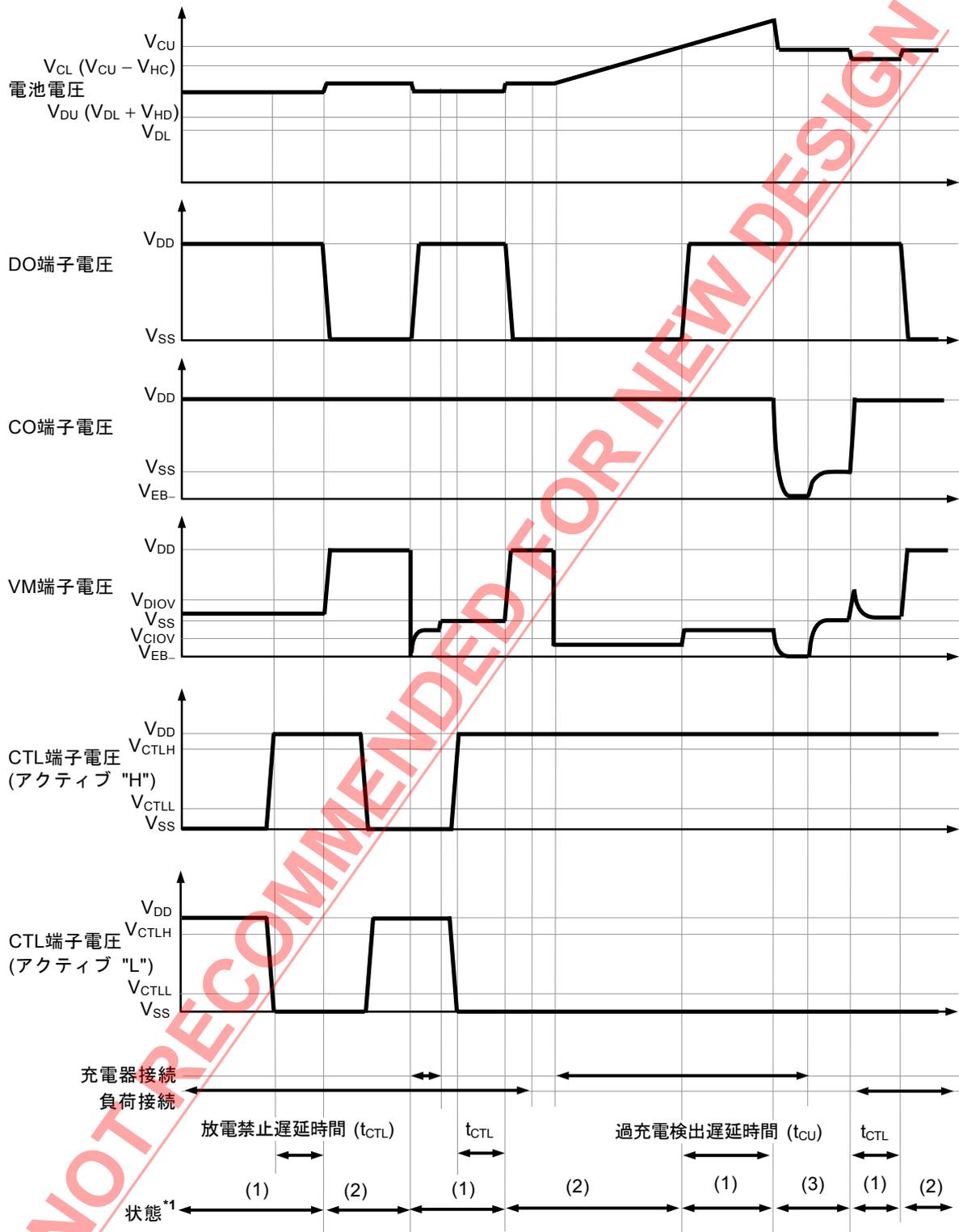
- *1. (1): 通常状態
(2): 充電過電流状態
(3): 過放電状態

備考 定電流での充電を想定しています。

図13

4. 放電禁止動作

4.1 放電禁止状態ラッチ機能 "あり"

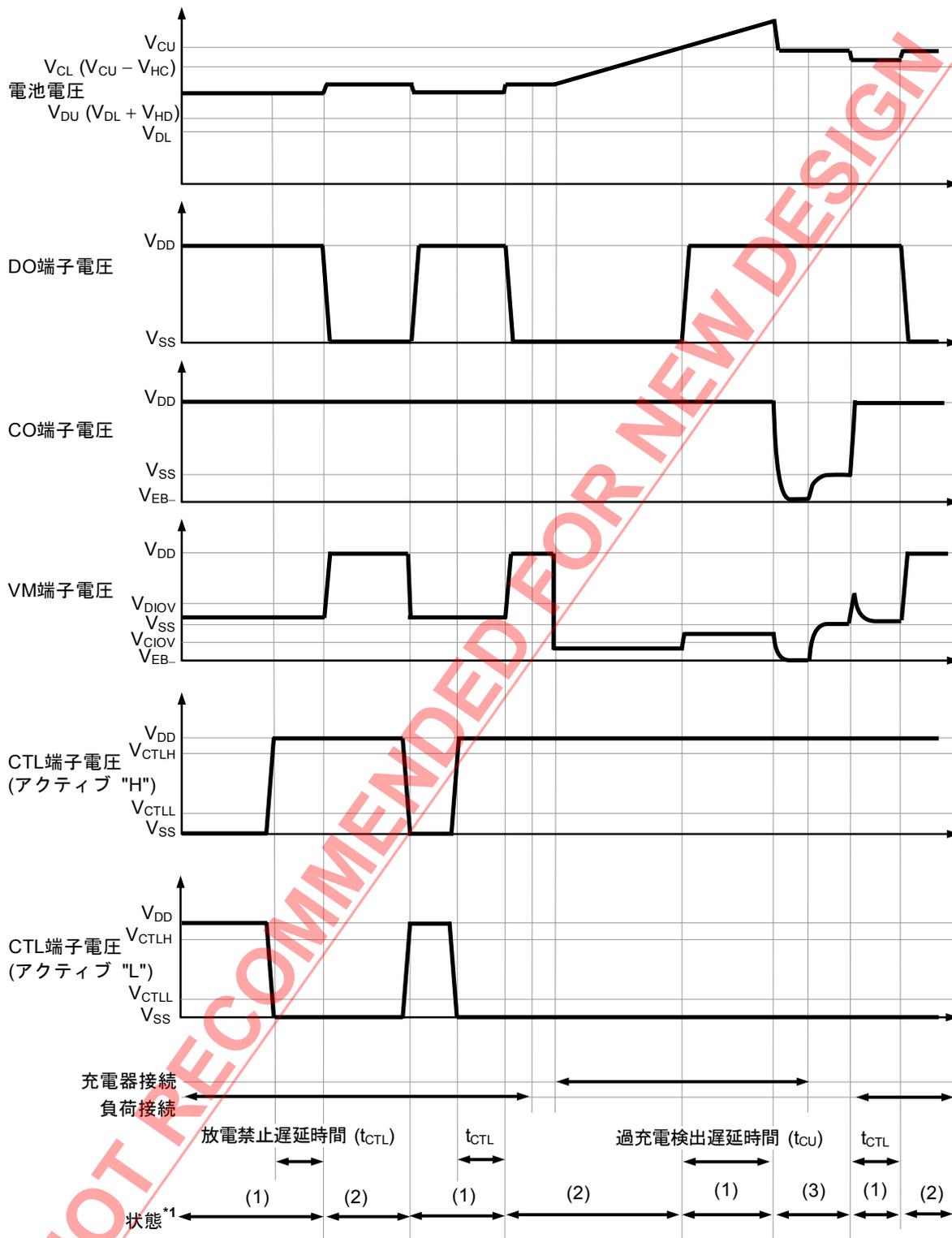


- *1. (1): 通常状態
(2): 放電禁止状態
(3): 過充電状態

備考 定電流での充電を想定しています。

図14
エイブリック株式会社

4.2 放電禁止状態ラッチ機能 "なし"



- *1. (1): 通常状態
- (2): 放電禁止状態
- (3): 過充電状態

備考 定電流での充電を想定しています。

図15

■ バッテリー保護ICの接続例

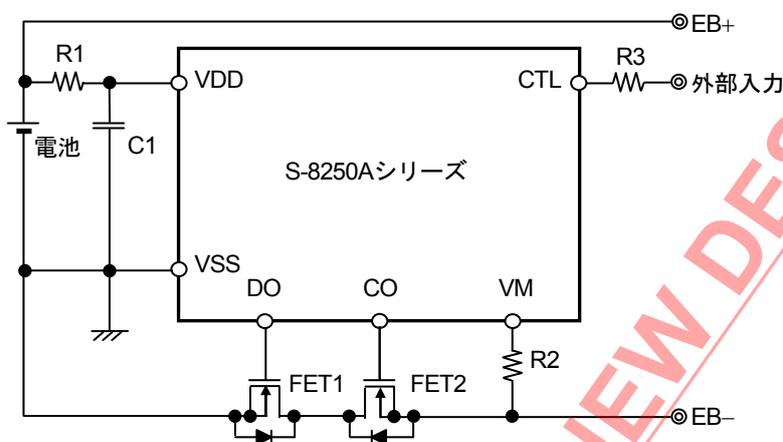


図16

表10 外付け部品定数

記号	部品	目的	Min.	Typ.	Max.	備考
FET1	Nch MOS FET	放電制御	-	-	-	しきい値電圧 \leq 過放電検出電圧 ^{*1} 、 ゲートソース間耐圧 \geq 充電器電圧 ^{*2}
FET2	Nch MOS FET	充電制御	-	-	-	しきい値電圧 \leq 過放電検出電圧 ^{*1} 、 ゲートソース間耐圧 \geq 充電器電圧 ^{*2}
R1	抵抗	ESD対策、 電源変動対策	150 Ω	330 Ω	510 Ω	消費電流による過充電検出精度の悪化を防ぐ ため、なるべく小さくしてください。 ^{*3}
C1	容量	電源変動対策	0.068 μF	0.1 μF	1.0 μF	必ずVDD端子 - VSS端子間に0.068 μF 以上の 容量を付けてください。 ^{*4}
R2	抵抗	充電器逆接続対策	1 k Ω	2 k Ω	4 k Ω	充電器逆接続時に流れる電流を抑えるため、な るべく大きくしてください。 ^{*5}
R3	抵抗	ESD対策	1 k Ω	-	10 k Ω	ESD対策のため、R3に1 k Ω 以上の抵抗を付けて ください。 ^{*6}

- *1. しきい値電圧が低いFETを用いた場合、充電電流をカットできなくなる場合があります。しきい値電圧が過放電検出電圧以上のFETを用いた場合、過放電検出する前に放電を止めてしまう場合があります。
- *2. ゲートソース間耐圧が充電器電圧以下の場合、FETを破壊してしまうおそれがあります。
- *3. 過充電検出電圧の精度は、 $R1 = 330 \Omega$ で保証しています。R1に330 Ω 以外の抵抗を付けると、過充電検出電圧の精度が悪化します。R1に大きな抵抗を付けた場合、充電器逆接続で充電器からS-8250Aシリーズへ電流が流れ込むため、VDD端子 - VSS端子間電圧が絶対最大定格を越える場合があります。R1にはESD保護のため、150 Ω 以上の抵抗を付けてください。
- *4. R1に150 Ω 未満の抵抗、またはC1に0.068 μF 未満の容量を付けた場合、大きな電源変動時に誤動作を起こす場合があります。
- *5. R2に4 k Ω より大きい抵抗を付けた場合、充電電流をカットできなくなる場合があります。
- *6. R3の抵抗を大きくしすぎると、 $V_{CTL} \geq V_{CTLH}$ 、 $V_{CTL} \leq V_{CTLL}$ を満たさない場合があります。

注意 1. 上記定数は予告なく変更することがあります。

2. 上記接続例以外の回路においては、動作確認されていません。また、上記接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

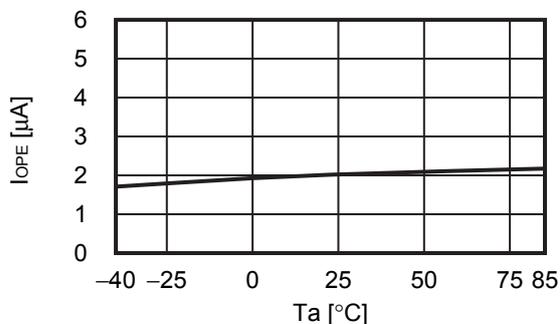
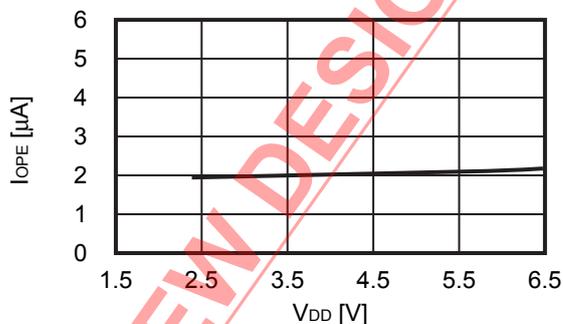
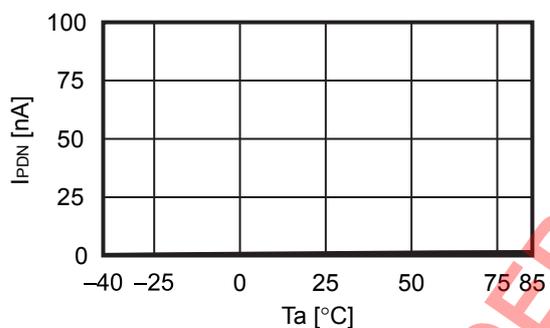
■ 注意事項

- ・ IC内での損失がパッケージの許容損失を越えないように、入出力電圧、負荷電流の使用条件に注意してください。
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様また、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

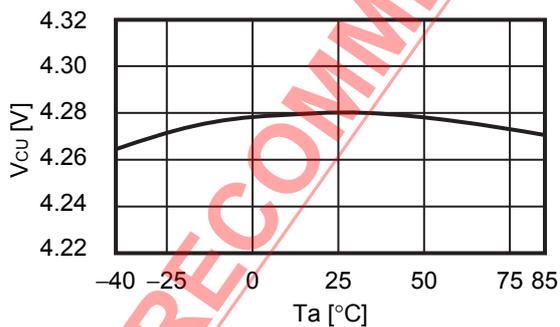
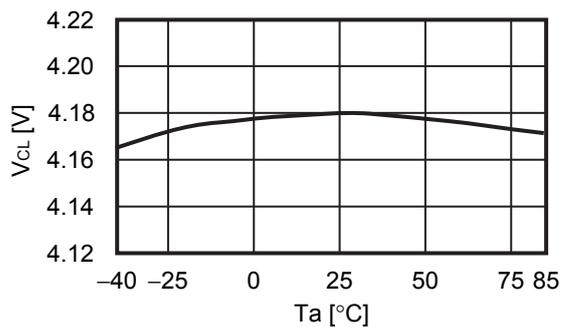
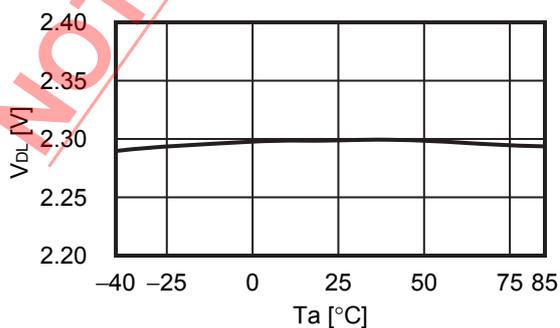
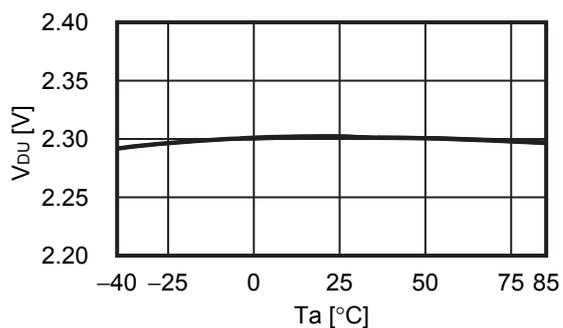
NOT RECOMMENDED FOR NEW DESIGN

■ 諸特性データ (Typicalデータ)

1. 消費電流

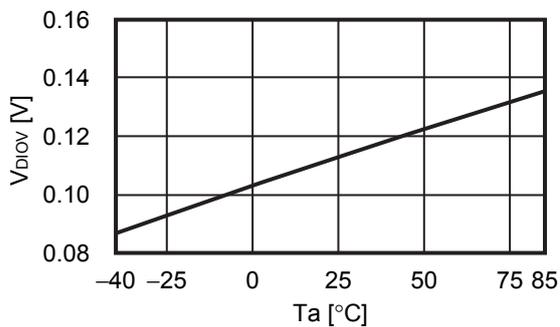
1.1 $I_{OPE} - T_a$ 1.2 $I_{OPE} - V_{DD}$ 1.3 $I_{PDN} - T_a$ 

2. 検出電圧

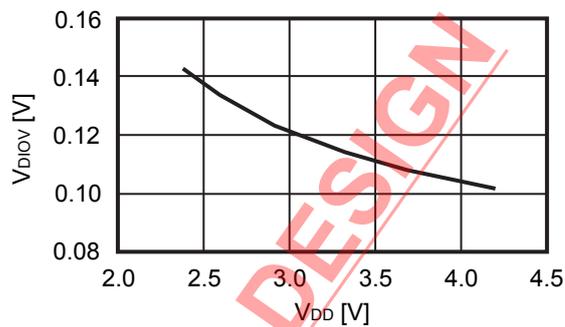
2.1 $V_{CU} - T_a$ 2.2 $V_{CL} - T_a$ 2.3 $V_{DL} - T_a$ 2.4 $V_{DU} - T_a$ 

2.5 $V_{DIOV} - T_a$

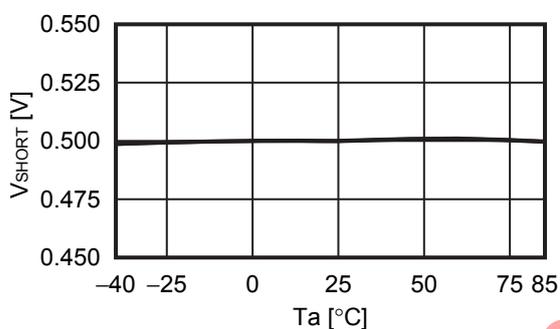
$V_{DD} = 3.4\text{ V}$



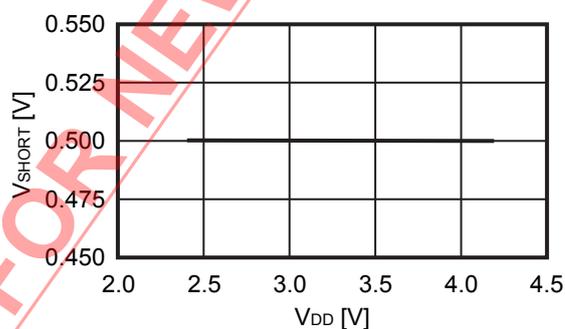
2.6 $V_{DIOV} - V_{DD}$



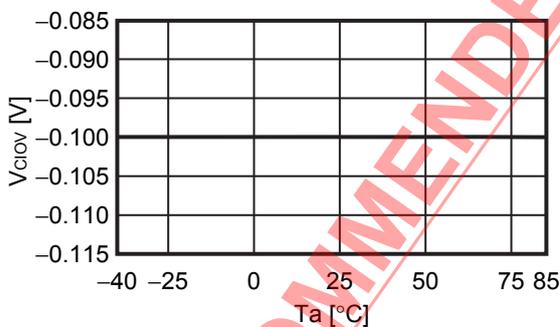
2.7 $V_{SHORT} - T_a$



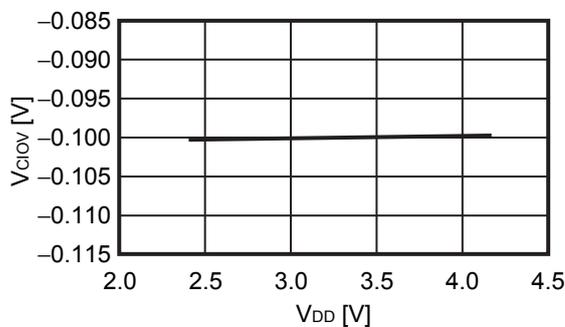
2.8 $V_{SHORT} - V_{DD}$



2.9 $V_{CIOV} - T_a$

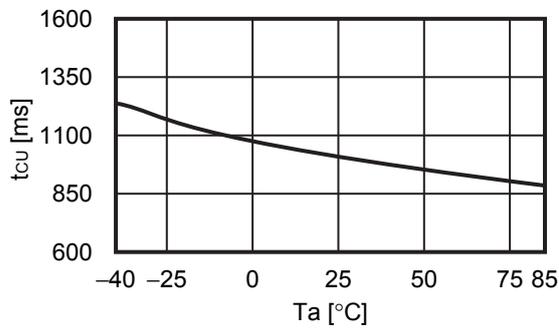
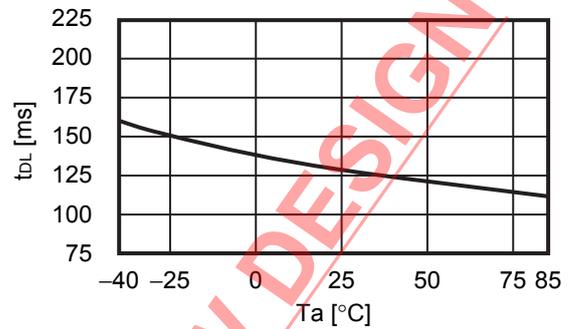
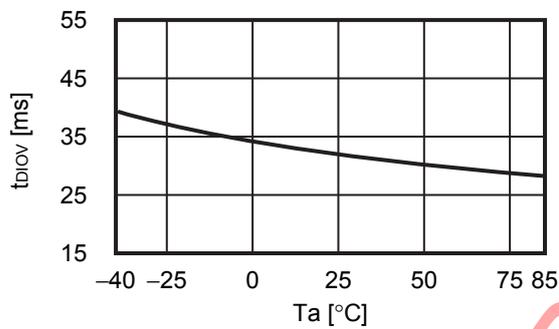
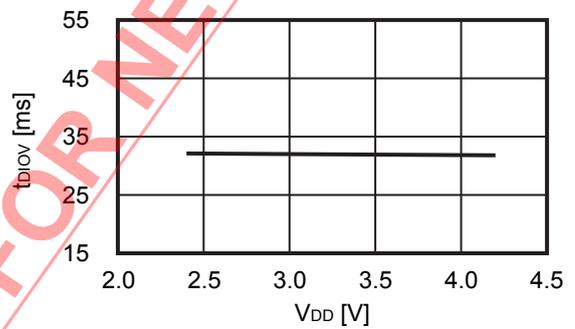
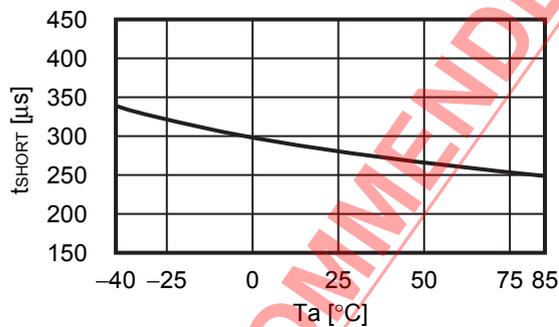
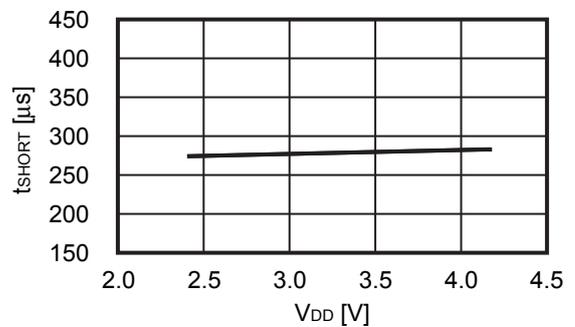
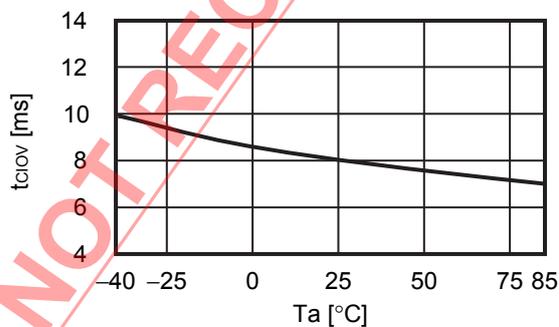
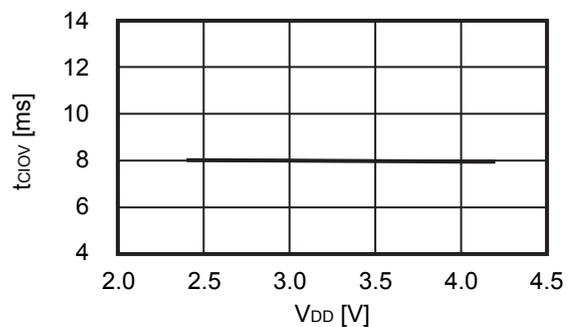


2.10 $V_{CIOV} - V_{DD}$

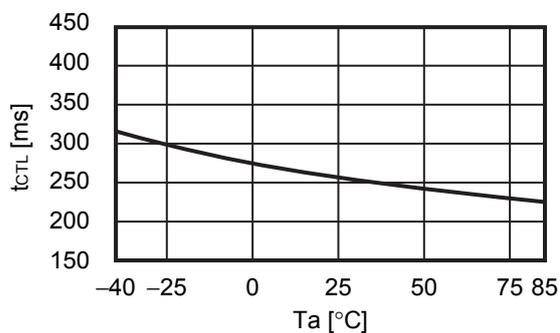


NOT RECOMMENDED FOR NEW DESIGN

3. 遅延時間

3.1 $t_{cu} - T_a$ 3.2 $t_{DL} - T_a$ 3.3 $t_{DIOV} - T_a$ 3.4 $t_{DIOV} - V_{DD}$ 3.5 $t_{SHORT} - T_a$ 3.6 $t_{SHORT} - V_{DD}$ 3.7 $t_{CIOV} - T_a$ 3.8 $t_{CIOV} - V_{DD}$ 

3.9 $t_{CTL} - T_a$

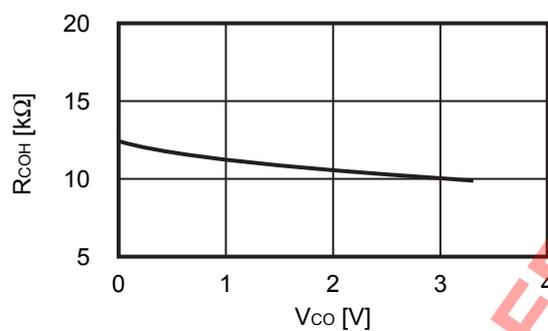


3.10 $t_{CTL} - V_{DD}$

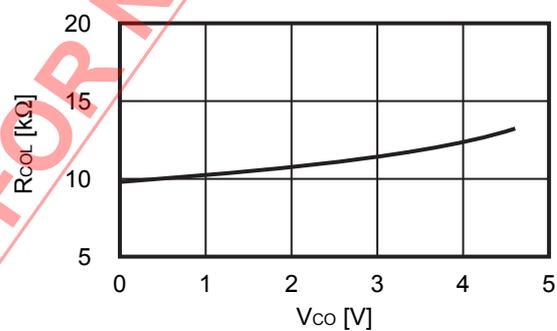


4. 出力抵抗

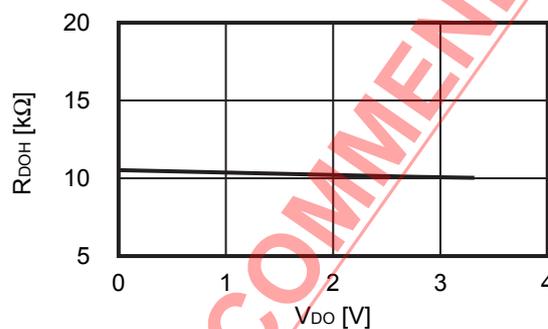
4.1 $R_{COH} - V_{CO}$



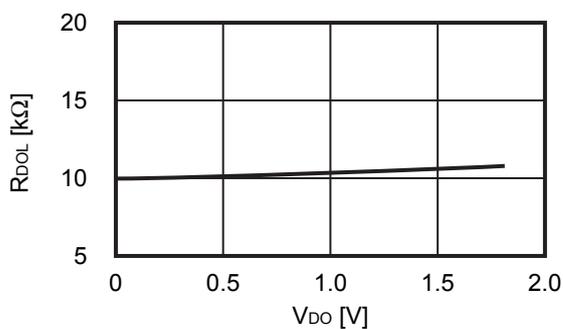
4.2 $R_{COL} - V_{CO}$



4.3 $R_{DOH} - V_{DO}$



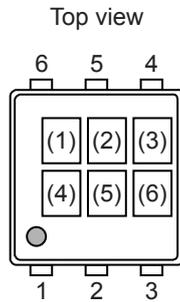
4.4 $R_{DOL} - V_{DO}$



NOT RECOMMENDED FOR NEW DESIGN

■ マーキング仕様

1. SNT-6A

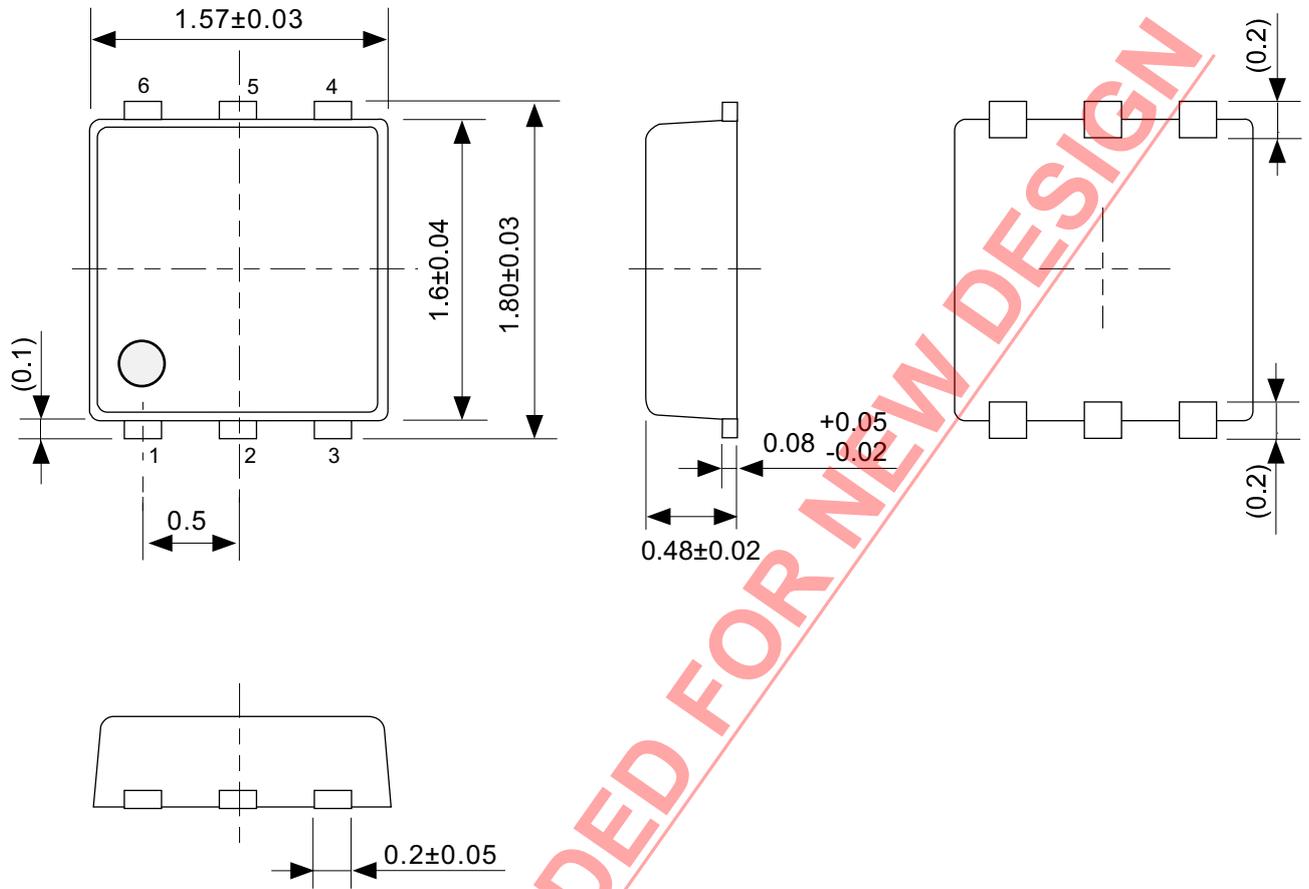


- (1) ~ (3) : 製品略号 (製品名と製品略号の対照表を参照)
 (4) ~ (6) : ロットナンバー

製品名と製品略号の対照表

製品名	製品略号		
	(1)	(2)	(3)
S-8250AAB-I6T1U	4	N	B
S-8250AAE-I6T1U	4	N	E
S-8250AAG-I6T1U	4	N	G

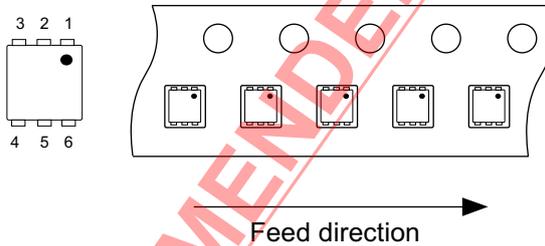
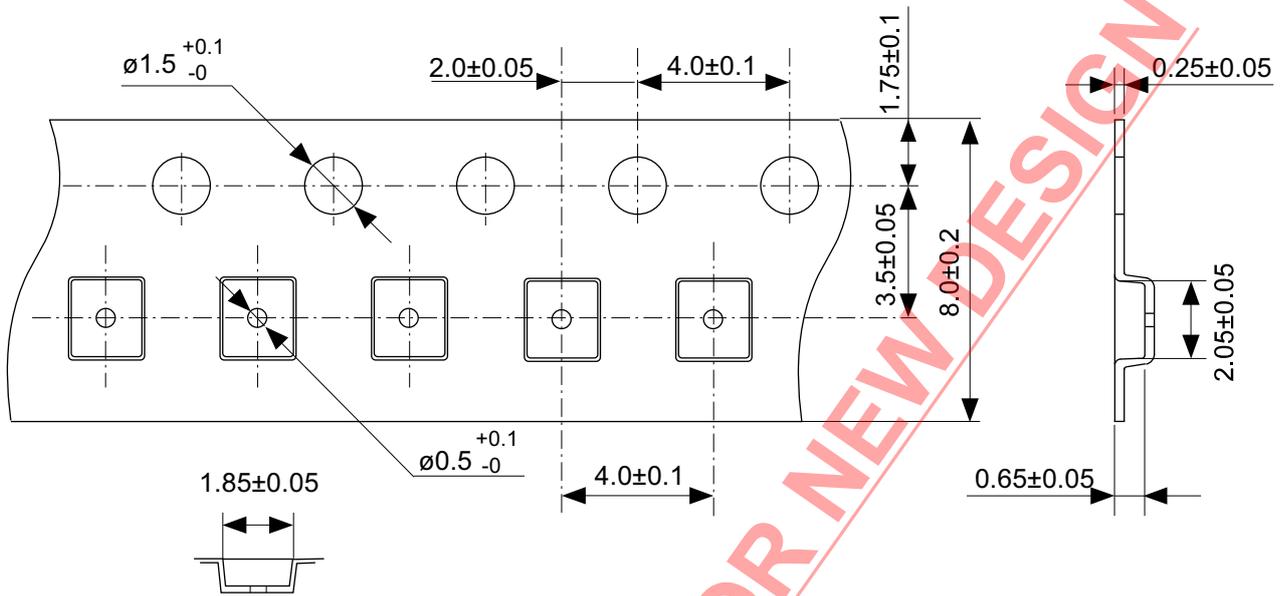
NOT RECOMMENDED FOR NEW DESIGN



NOT RECOMMENDED FOR NEW DESIGN

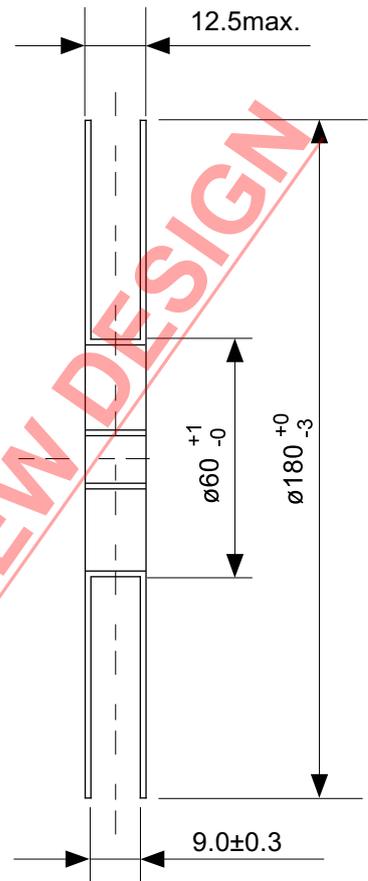
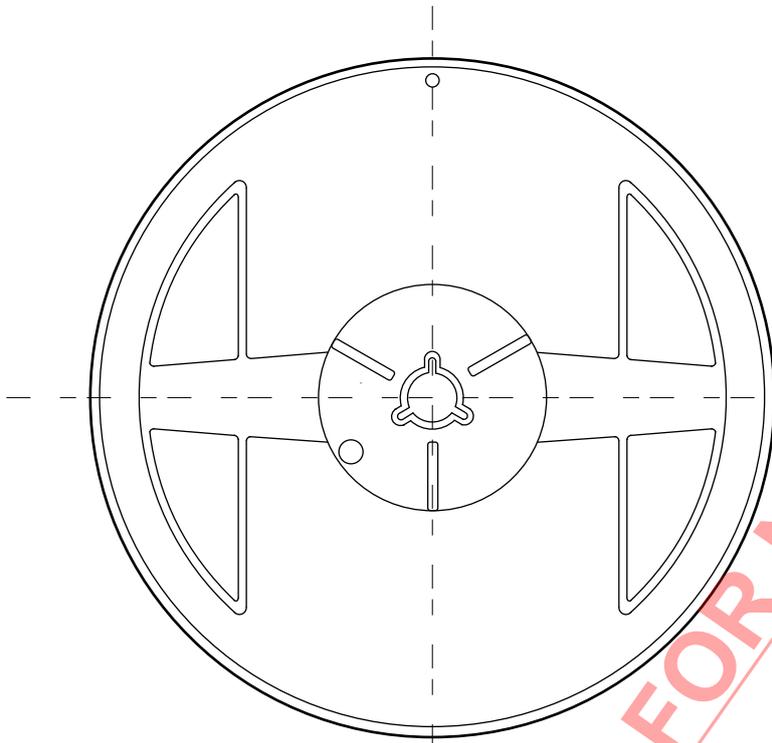
No. PG006-A-P-SD-2.1

TITLE	SNT-6A-A-PKG Dimensions
No.	PG006-A-P-SD-2.1
ANGLE	
UNIT	mm
ABLIC Inc.	

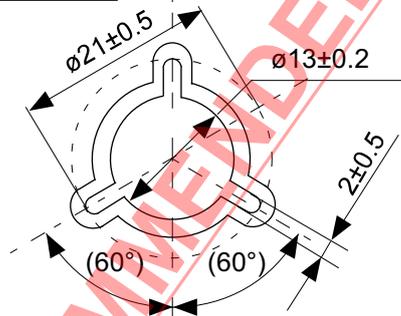


No. PG006-A-C-SD-2.0

TITLE	SNT-6A-A-Carrier Tape
No.	PG006-A-C-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	



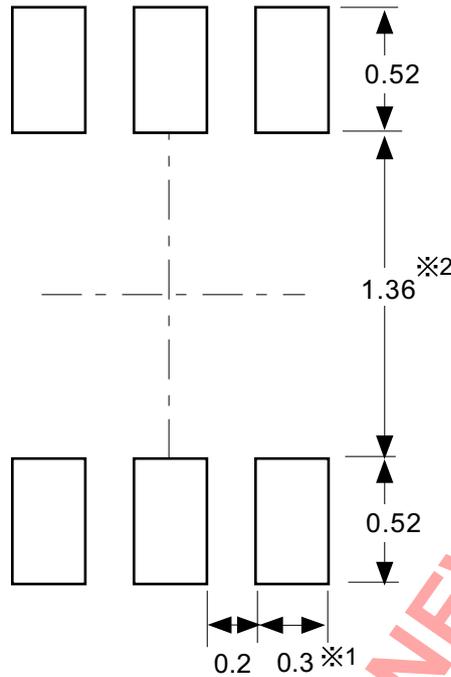
Enlarged drawing in the central part



No. PG006-A-R-SD-1.0

NOT RECOMMENDED FOR NEW DESIGN

TITLE	SNT-6A-A-Reel		
No.	PG006-A-R-SD-1.0		
ANGLE		QTY.	5,000
UNIT	mm		
ABLIC Inc.			



※1. ランドパターンの幅に注意してください (0.25 mm min. / 0.30 mm typ.).
 ※2. パッケージ中央にランドパターンを広げないでください (1.30 mm ~ 1.40 mm)。

- 注意
1. パッケージのモールド樹脂下にシルク印刷やハンダ印刷などしないでください。
 2. パッケージ下の配線上のソルダーレジストなどの厚みをランドパターン表面から0.03 mm以下にしてください。
 3. マスク開口サイズと開口位置はランドパターンと合わせてください。
 4. 詳細は“SNTパッケージ活用の手引き”を参照してください。

※1. Pay attention to the land pattern width (0.25 mm min. / 0.30 mm typ.).
 ※2. Do not widen the land pattern to the center of the package (1.30 mm ~ 1.40 mm).

- Caution**
1. Do not do silkscreen printing and solder printing under the mold resin of the package.
 2. The thickness of the solder resist on the wire pattern under the package should be 0.03 mm or less from the land pattern surface.
 3. Match the mask aperture size and aperture position with the land pattern.
 4. Refer to "SNT Package User's Guide" for details.

※1. 请注意焊盘模式的宽度 (0.25 mm min. / 0.30 mm typ.).
 ※2. 请勿向封装中间扩展焊盘模式 (1.30 mm ~ 1.40 mm)。

- 注意
1. 请勿在树脂型封装的下面印刷丝网、焊锡。
 2. 在封装下、布线上的阻焊膜厚度 (从焊盘模式表面起) 请控制在 0.03 mm 以下。
 3. 钢网的开口尺寸和开口位置请与焊盘模式对齐。
 4. 详细内容请参阅 "SNT 封装的应用指南"。

No. PG006-A-L-SD-4.1

TITLE	SNT-6A-A -Land Recommendation
No.	PG006-A-L-SD-4.1
ANGLE	
UNIT	mm
ABLIC Inc.	

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com