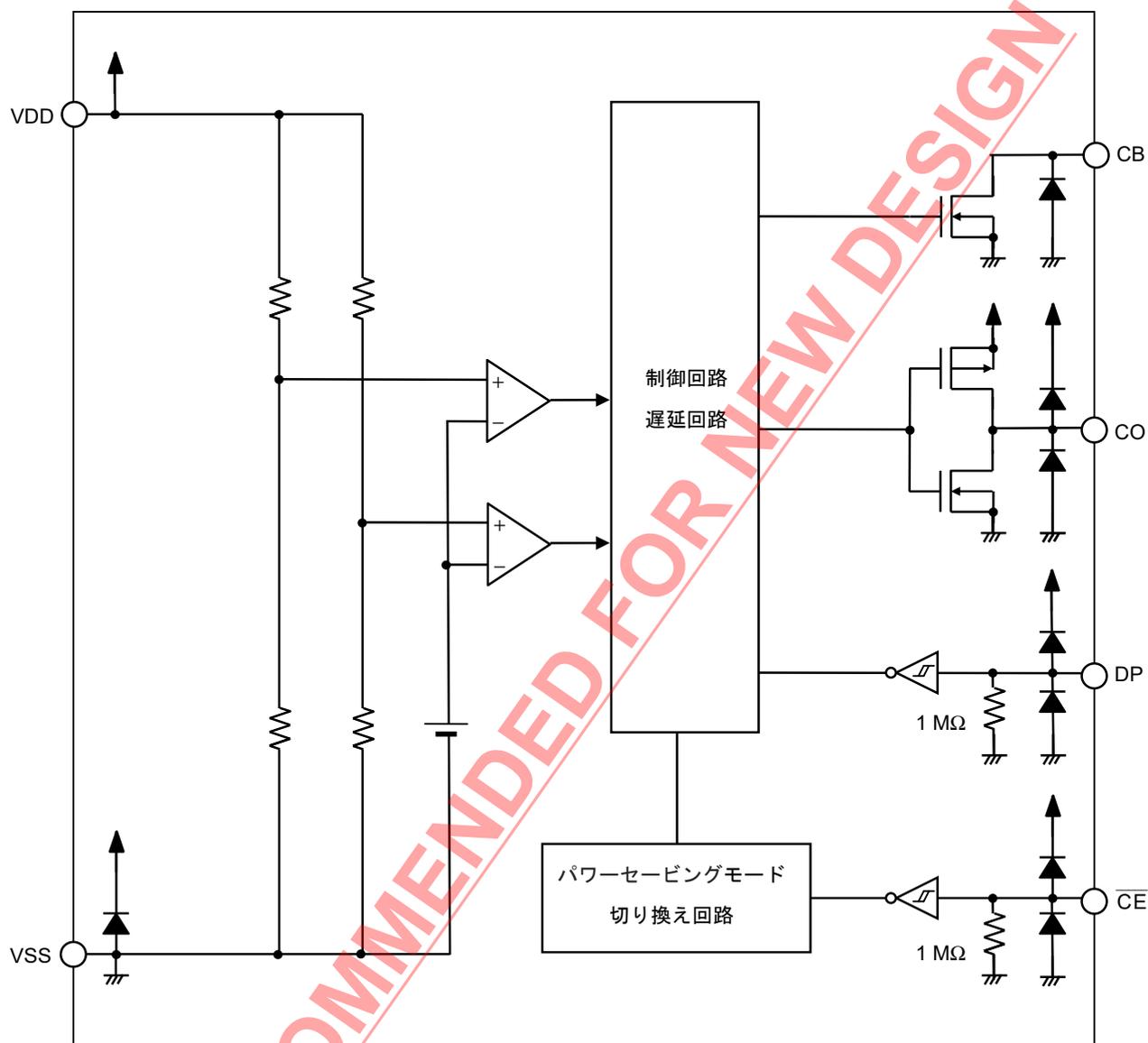


■ ブロック図

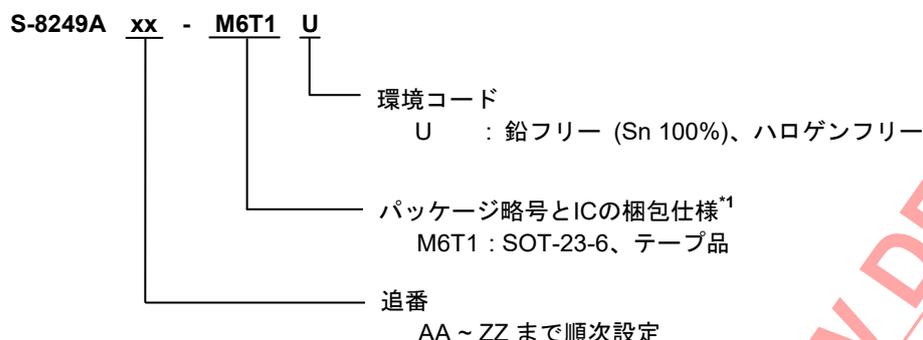


*1. 図中のダイオードはすべて寄生ダイオードです。

図1

■ 品目コードの構成

1. 製品名



*1. テープ図面を参照してください。

2. パッケージ

表1 パッケージ図面コード

パッケージ名	外形寸法図	テープ図面	リール図面
SOT-23-6	MP006-A-P-SD	MP006-A-C-SD	MP006-A-R-SD

3. 製品名リスト

表2 (2 / 1)

製品名	セルバランス 検出電圧 [V _{Bu}]	セルバランス 解除電圧 [V _{BL}]	過充電 検出電圧 [V _{Cu}]	過充電 解除電圧 [V _{CL}]	CO端子 出力形態	CO端子 出力論理	遅延時間の 組み合わせ
S-8249AAA-M6T1U	2.600 V	2.600 V	2.750 V	2.750 V	CMOS出力	アクティブ "H"	(1)
S-8249AAB-M6T1U	3.000 V	3.000 V	3.150 V	3.150 V	CMOS出力	アクティブ "H"	(1)
S-8249AAC-M6T1U	3.000 V	3.000 V	3.200 V	3.200 V	CMOS出力	アクティブ "H"	(1)
S-8249AAD-M6T1U	3.100 V	3.100 V	3.250 V	3.250 V	CMOS出力	アクティブ "H"	(1)
S-8249AAE-M6T1U	3.100 V	3.100 V	3.300 V	3.300 V	CMOS出力	アクティブ "H"	(1)
S-8249AAF-M6T1U	2.600 V	2.600 V	2.800 V	2.800 V	CMOS出力	アクティブ "H"	(1)
S-8249AAG-M6T1U	2.400 V	2.400 V	2.900 V	2.900 V	CMOS出力	アクティブ "H"	(1)
S-8249AAH-M6T1U	2.400 V	2.400 V	3.000 V	3.000 V	CMOS出力	アクティブ "H"	(1)
S-8249AAI-M6T1U	2.100 V	2.100 V	3.000 V	3.000 V	CMOS出力	アクティブ "H"	(1)
S-8249AAK-M6T1U	2.400 V	2.400 V	3.200 V	3.200 V	CMOS出力	アクティブ "H"	(1)
S-8249AAL-M6T1U	2.100 V	2.000 V	3.200 V	3.200 V	CMOS出力	アクティブ "H"	(1)
S-8249AAM-M6T1U	2.620 V	2.520 V	2.800 V	2.700 V	CMOS出力	アクティブ "H"	(1)
S-8249AAN-M6T1U	3.300 V	3.300 V	4.080 V	3.930 V	CMOS出力	アクティブ "H"	(1)
S-8249AAO-M6T1U	2.000 V	2.000 V	3.000 V	3.000 V	CMOS出力	アクティブ "H"	(1)
S-8249AAP-M6T1U	3.700 V	3.700 V	4.500 V	4.500 V	CMOS出力	アクティブ "H"	(1)
S-8249AAQ-M6T1U	3.800 V	3.800 V	4.080 V	3.930 V	CMOS出力	アクティブ "H"	(1)
S-8249AAR-M6T1U	2.800 V	2.800 V	3.150 V	3.150 V	CMOS出力	アクティブ "H"	(1)
S-8249AAS-M6T1U	2.800 V	2.800 V	3.200 V	3.200 V	CMOS出力	アクティブ "H"	(1)
S-8249AAT-M6T1U	2.800 V	2.800 V	3.100 V	3.100 V	CMOS出力	アクティブ "H"	(1)
S-8249AAU-M6T1U	2.500 V	2.400 V	3.800 V	3.700 V	CMOS出力	アクティブ "H"	(1)
S-8249AAV-M6T1U	2.300 V	2.200 V	3.800 V	3.700 V	CMOS出力	アクティブ "H"	(1)
S-8249AAW-M6T1U	2.650 V	2.600 V	2.750 V	2.650 V	Nchオープンドレイン出力	アクティブ "L"	(1)
S-8249AAY-M6T1U	4.150 V	4.150 V	4.275 V	4.275 V	CMOS出力	アクティブ "H"	(2)

表2 (2 / 2)

製品名	セルバランス 検出電圧 [V _{BU}]	セルバランス 解除電圧 [V _{BL}]	過充電 検出電圧 [V _{CU}]	過充電 解除電圧 [V _{CL}]	CO端子 出力形態	CO端子 出力論理	遅延時間の 組み合わせ
S-8249ABA-M6T1U	3.650 V	3.550 V	3.800 V	3.500 V	CMOS出力	アクティブ "L"	(3)
S-8249ABB-M6T1U	4.350 V	4.350 V	4.425 V	4.325 V	CMOS出力	アクティブ "L"	(3)
S-8249ABC-M6T1U	4.200 V	4.200 V	4.300 V	4.200 V	CMOS出力	アクティブ "L"	(4)

備考 1. 上記以外の製品をご希望のときは、販売窓口までお問い合わせください。

2. $V_{CU} > V_{BU}$ となるように選択してください。

3. 遅延時間の組み合わせの詳細については、表3を参照してください。

表3

遅延時間の組み合わせ	セルバランス 検出遅延時間 [t _{BU}]	セルバランス 解除遅延時間 [t _{BL}]	過充電検出 遅延時間 [t _{CU}]	過充電解除 遅延時間 [t _{CL}]
(1)	128 ms	1.0 ms	128 ms	1.0 ms
(2)	128 ms	1.0 ms	1024 ms	1.0 ms
(3)	64 ms	2.0 ms	256 ms	2.0 ms
(4)	64 ms	2.0 ms	256 ms	1.0 ms

備考 下記範囲内で遅延時間の変更も可能です。販売窓口までお問い合わせください。

表4

遅延時間	記号	選択範囲					備考
セルバランス検出遅延時間*1	t _{BU}	64 ms	128 ms*2	256 ms	512 ms	1024 ms	左記から選択
セルバランス解除遅延時間	t _{BL}	0.5 ms		1.0 ms*2		2.0 ms	左記から選択
過充電検出遅延時間*1	t _{CU}	64 ms	128 ms*2	256 ms	512 ms	1024 ms	左記から選択
過充電解除遅延時間	t _{CL}	0.5 ms		1.0 ms*2		2.0 ms	左記から選択

*1. $t_{CU} \geq t_{BU}$ となるように選択してください。

*2. 標準品の遅延時間です。

■ ピン配置図

1. SOT-23-6

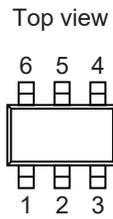


図2

表5

端子番号	端子記号	端子内容
1	CO	過充電信号出力端子
2	VSS	負電源入力端子
3	DP	テストモード切り換え端子 "H": テストモード (遅延時間短縮) "L": 通常動作モード
4	$\overline{\text{CE}}$	パワーセービングモード切り換え端子 "H": パワーセービングモード "L": 通常動作モード
5	VDD	正電源入力端子
6	CB	セルバランス信号出力端子 (Nchオーブンドレイン出力)

NOT RECOMMENDED FOR NEW DESIGN

■ 絶対最大定格

表6

(特記なき場合：Ta = +25°C)

項目	記号	適用端子	絶対最大定格	単位
VDD端子 - VSS端子間入力電圧	V _{DS}	VDD	V _{SS} - 0.3 ~ V _{SS} + 6.0	V
入力端子電圧	V _{IN}	\overline{CE} , DP	V _{SS} - 0.3 ~ V _{DD} + 0.3 ≤ V _{SS} + 6.0	V
出力端子電圧	V _{OUT}	CO, CB	V _{SS} - 0.3 ~ V _{DD} + 0.3 ≤ V _{SS} + 6.0	V
出力端子電流	I _{CB}	CB	100 (-40°C ~ +85°C)	mA
動作周囲温度	T _{opr}	-	-40 ~ +85	°C
保存温度	T _{stg}	-	-55 ~ +125	°C

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 熱抵抗値

表7

項目	記号	条件	Min.	Typ.	Max.	単位	
ジャンクション温度 - 周囲温度間 熱抵抗値*1	θ _{JA}	SOT-23-6	Board A	-	159	-	°C/W
			Board B	-	124	-	°C/W
			Board C	-	-	-	°C/W
			Board D	-	-	-	°C/W
			Board E	-	-	-	°C/W

*1. 測定環境：JEDEC STANDARD JESD51-2A準拠

備考 詳細については、「■ Power Dissipation」、「Test Board」を参照してください。

■ 電気的特性

測定回路図、測定方法の詳細は "■ 測定回路" を参照してください。

注意 表8で特に記述していない場合、V2 = V3 = 0 V、SWn (n = 1 ~ 4) = OFFに設定してください。

表8 (1 / 2)

(特記なき場合 : Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	
検出電圧							
セルバランス検出電圧	V _{BU}	SW1 = ON	2.0 V ≤ V _{BU} < 2.4 V	V _{BU} - 0.012	V _{BU}	V _{BU} + 0.012	V
			2.4 V ≤ V _{BU} ≤ 4.6 V	V _{BU} × 0.995	V _{BU}	V _{BU} × 1.005	V
セルバランス解除電圧	V _{BL}	SW1 = ON	2.0 V ≤ V _{BL} < 2.4 V	V _{BL} - 0.024	V _{BL}	V _{BL} + 0.024	V
			2.4 V ≤ V _{BL} ≤ 4.6 V	V _{BL} × 0.99	V _{BL}	V _{BL} × 1.01	V
過充電検出電圧	V _{CU}	2.0 V ≤ V _{CU} < 2.4 V	2.0 V ≤ V _{CU} < 2.4 V	V _{CU} - 0.012	V _{CU}	V _{CU} + 0.012	V
			2.4 V ≤ V _{CU} ≤ 4.6 V	V _{CU} × 0.995	V _{CU}	V _{CU} × 1.005	V
過充電解除電圧	V _{CL}	2.0 V ≤ V _{CL} < 2.4 V	2.0 V ≤ V _{CL} < 2.4 V	V _{CL} - 0.024	V _{CL}	V _{CL} + 0.024	V
			2.4 V ≤ V _{CL} ≤ 4.6 V	V _{CL} × 0.99	V _{CL}	V _{CL} × 1.01	V
温度係数							
検出電圧温度係数1*1	$\frac{\Delta V_{BU}}{\Delta Ta \cdot V_{BU}}$	Ta = -40°C ~ +85°C*3	-	100	350	ppm/°C	
検出電圧温度係数2*2	$\frac{\Delta V_{CU}}{\Delta Ta \cdot V_{CU}}$	Ta = -40°C ~ +85°C*3	-	100	350	ppm/°C	
入力電圧							
VDD端子 - VSS端子間動作電圧	V _{DS}	CO端子、CB端子出力電圧固定	1.5	-	5.0	V	
CE端子電圧 "H"	V _{CEH}	-	-	-	V _{DD} × 0.9	V	
CE端子電圧 "L"	V _{CEL}	-	V _{DD} × 0.1	-	-	V	
DP端子電圧 "H"	V _{DPH}	-	-	-	V _{DD} × 0.9	V	
DP端子電圧 "L"	V _{DPL}	-	V _{DD} × 0.1	-	-	V	
入力電流							
動作時消費電流	I _{OPV}	V1 = V _{BL} - 0.1 V時のI _{VDD}	-	1.2	2.0	μA	
パワーセービング時消費電流	I _{PSV}	V1 = V2 = V _{BL} - 0.1 V時のI _{VDD}	-	-	0.1	μA	

*1. 検出電圧の温度変化 [mV/°C] は下式にて算出されます。

$$\frac{\Delta V_{BU}}{\Delta Ta} \text{ [mV/°C]} = V_{BU} \text{ [V]} \times \frac{\Delta V_{BU}}{\Delta Ta \cdot V_{BU}} \text{ [ppm/°C]} \div 1000$$

*2. 検出電圧の温度変化 [mV/°C] は下式にて算出されます。

$$\frac{\Delta V_{CU}}{\Delta Ta} \text{ [mV/°C]} = V_{CU} \text{ [V]} \times \frac{\Delta V_{CU}}{\Delta Ta \cdot V_{CU}} \text{ [ppm/°C]} \div 1000$$

*3. 高温および低温での選別はしておりませんので、この温度範囲での規格は設計保証とします。

- 備考
- $\frac{\Delta V_{BU}}{\Delta Ta}$, $\frac{\Delta V_{CU}}{\Delta Ta}$: 検出電圧の温度変化
 - V_{BU}, V_{CU} : 設定検出電圧値
 - $\frac{\Delta V_{BU}}{\Delta Ta \cdot V_{BU}}$, $\frac{\Delta V_{CU}}{\Delta Ta \cdot V_{CU}}$: 検出電圧温度係数

表8 (2 / 2)

(特記なき場合 : Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位
遅延時間						
セルバランス検出遅延時間	t _{BU}	—	t _{BU} × 0.8	t _{BU}	t _{BU} × 1.2	ms
セルバランス解除遅延時間	t _{BL}	—	t _{BL} × 0.8	t _{BL}	t _{BL} × 1.2	ms
過充電検出遅延時間	t _{CU}	—	t _{CU} × 0.8	t _{CU}	t _{CU} × 1.2	ms
過充電解除遅延時間	t _{CL}	—	t _{CL} × 0.8	t _{CL}	t _{CL} × 1.2	ms
出力電流						
CB端子出力電流						
CB端子シンク電流	I _{CBS}	V1 = V _{BU} + 0.1 V, SW2 = ON, V4 = 0.5 V	30	—	—	mA
CB端子リーク電流	I _{CBL}	V1 = V _{BL} - 0.1 V, SW2 = ON, V4 = 6.0 V	—	—	0.1	μA
CO端子出力電流 (出力形態 : CMOS出力、出力論理 : アクティブ "H")						
CO端子シンク電流	I _{COL}	V1 = V _{CL} - 0.1 V, SW4 = ON, V5 = 0.5 V	5.0	—	—	mA
CO端子ソース電流	I _{COH}	V1 = V _{CU} + 0.1 V, SW4 = ON, V5 = V1 - 0.5 V	1.0	—	—	mA
CO端子出力電流 (出力形態 : CMOS出力、出力論理 : アクティブ "L")						
CO端子シンク電流	I _{COL}	V1 = V _{CU} + 0.1 V, SW4 = ON, V5 = 0.5 V	5.0	—	—	mA
CO端子ソース電流	I _{COH}	V1 = V _{CL} - 0.1 V, SW4 = ON, V5 = V1 - 0.5 V	1.0	—	—	mA
CO端子出力電流 (出力形態 : Nchオープンドレイン出力、出力論理 : アクティブ "H")						
CO端子シンク電流	I _{COL}	V1 = V _{CL} - 0.1 V, SW4 = ON, V5 = 0.5 V	5.0	—	—	mA
CO端子リーク電流	I _{COHL}	V1 = V _{CU} + 0.1 V, SW4 = ON, V5 = 6.0 V	—	—	0.1	μA
CO端子出力電流 (出力形態 : Nchオープンドレイン出力、出力論理 : アクティブ "L")						
CO端子シンク電流	I _{COL}	V1 = V _{CU} + 0.1 V, SW4 = ON, V5 = 0.5 V	5.0	—	—	mA
CO端子リーク電流	I _{COHL}	V1 = V _{CL} - 0.1 V, SW4 = ON, V5 = 6.0 V	—	—	0.1	μA

NOT RECOMMENDED FOR NEW DESIGN

■ 測定回路

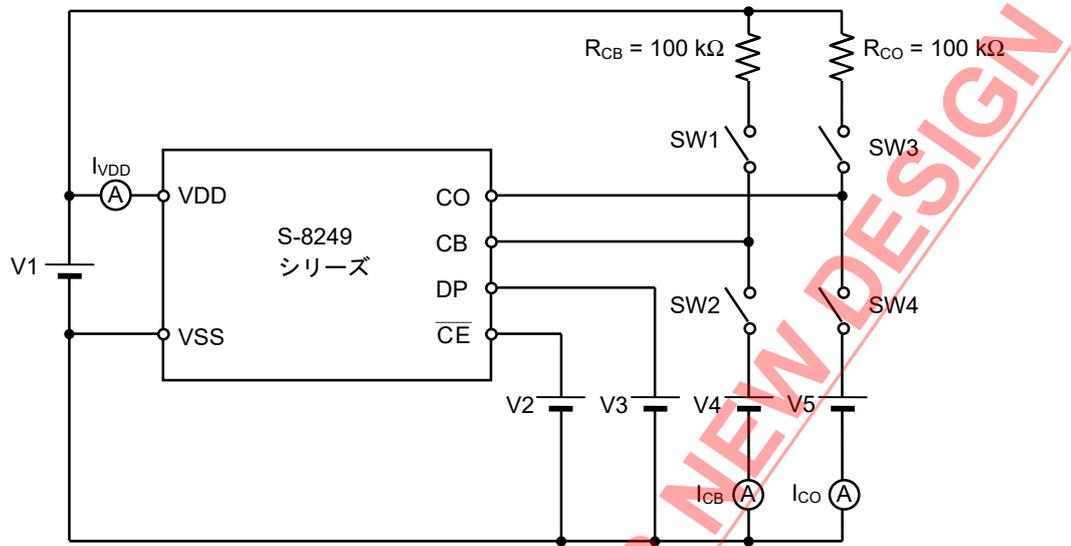


図3

注意 表8で特に記述していない場合、 $V2 = V3 = 0\text{ V}$ 、 $SW_n (n = 1 \sim 4) = \text{OFF}$ に設定してください。

1. CE端子電圧 "H"

$V1 = V_{BL} - 0.1\text{ V}$ とし、 $V2$ を 0 V から上げ、 I_{VDD} が I_{LOPE} から I_{PSV} となる電圧をCE端子電圧 "H" (V_{CEH}) とします。

2. CE端子電圧 "L"

$V1 = V2 = V_{BL} - 0.1\text{ V}$ とし、 $V2$ を $V_{BL} - 0.1\text{ V}$ から下げ、 I_{VDD} が I_{PSV} から I_{LOPE} となる電圧をCE端子電圧 "L" (V_{CEL}) とします。

3. DP端子電圧 "H"*1

$V1 = V_{BL} - 0.1\text{ V}$ とし、 $V3$ を 0 V から上げ、テストモードに切り換わる電圧をDP端子電圧 "H" (V_{DPH}) とします。

4. DP端子電圧 "L"*1

$V1 = V3 = V_{BL} - 0.1\text{ V}$ とし、 $V3$ を $V_{BL} - 0.1\text{ V}$ から下げ、通常動作モードに切り換わる電圧をDP端子電圧 "L" (V_{DPL}) とします。

5. セルバランス検出遅延時間

SW1をON、 $V1 = V_{BU} - 0.1\text{ V}$ に設定した状態から、 $V1 = V_{BU} + 0.1\text{ V}$ とし、CB端子出力が反転するまでの時間をセルバランス検出遅延時間 (t_{BU}) とします。

6. セルバランス解除遅延時間

SW1をON、 $V1 = V_{BL} + 0.1\text{ V}$ に設定した状態から、 $V1 = V_{BL} - 0.1\text{ V}$ とし、CB端子出力が反転するまでの時間をセルバランス解除遅延時間 (t_{BL}) とします。

7. 過充電検出遅延時間

SW1をON、 $V1 = V_{CU} - 0.1\text{ V}$ に設定した状態から、 $V1 = V_{CU} + 0.1\text{ V}$ とし、CO端子出力が反転するまでの時間を過充電検出遅延時間 (t_{CU}) とします。

8. 過充電解除遅延時間

SW1をON、 $V1 = V_{CL} + 0.1\text{ V}$ に設定した状態から、 $V1 = V_{CL} - 0.1\text{ V}$ とし、CO端子出力が反転するまでの時間を過充電解除遅延時間 (t_{CL}) とします。

*1. DP端子によるテストモード切り換えについては、「■ 動作説明」、"5. DP端子" を参照してください。

■ 標準回路

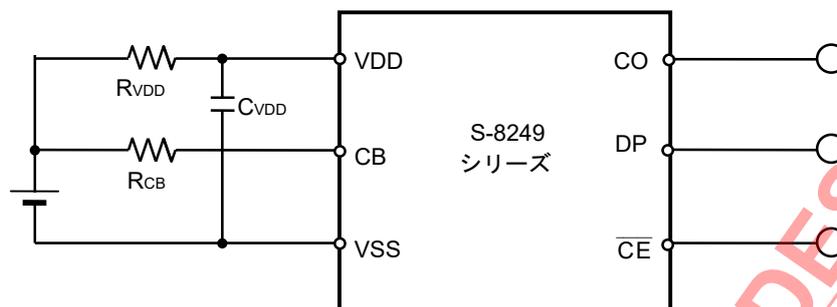


図4

表9 外付け部品定数

記号	部品	目的	Min.	Typ.	Max.	備考
R _{VDD}	抵抗	ESD 対策、 電源変動対策	150 Ω	330 Ω	1.0 kΩ	消費電流による過充電検出精度の悪化を防ぐため、なるべく小さくしてください。 ^{*1}
C _{VDD}	容量	電源変動対策	0.068 μF	0.1 μF	1.0 μF	VDD端子 - VSS端子間に0.068 μF以上の容量を付けてください。 ^{*1}
R _{CB}	抵抗	セルバランス 電流値設定	-	-	-	所望のセルバランス電流値は、「■ 動作説明」、 "2. セルバランス状態"を参照して設定してください。 ^{*2}

*1. R_{VDD}に150 Ω未満の抵抗、またはC_{VDD}に0.068 μF未満の容量を付けた場合、大きな電源変動時に誤動作を起こす場合があります。

*2. セルバランス電流値を設定する場合は、許容損失を越えないようなR_{CB}の値を設定してください。

注意 1. 定数は予告なく変更することがあります。

2. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

■ 動作説明

備考 "■ 標準回路" を参照してください。

1. 通常状態

S-8249シリーズは、VDD端子 - VSS端子間電圧 (V_{DS}) がセルバランス検出電圧 (V_{BU}) 未満である場合、CB端子出力はハイインピーダンスとなり、CO端子出力は出力形態と出力論理の選択により表10のようになります。この状態を通常状態といいます。

表10

CO端子の出力形態と出力論理	CB端子出力	CO端子出力
CMOS出力、アクティブ "H"	"H"	"L"
CMOS出力、アクティブ "L"	"H"	"H"
Nchオープンドレイン出力、アクティブ "H"	"H"	"L"
Nchオープンドレイン出力、アクティブ "L"	"H"	"H"

2. セルバランス状態

S-8249シリーズは、 V_{DS} が V_{BU} 以上となり、その状態をセルバランス検出遅延時間 (t_{BU}) 以上保持した場合、CB端子出力が "L" となります。この状態をセルバランス状態といいます。

V_{DS} がセルバランス解除電圧 (V_{BL}) 以下となり、その状態をセルバランス解除遅延時間 (t_{BL}) 以上保持した場合、セルバランス状態を解除します。

S-8249シリーズは、CB端子 - VSS端子間にオン抵抗 $5\ \Omega$ typ. (R_{CBON}) のNchトランジスタを内蔵しています。これにより、セルバランス状態時にセルバランス電流 (I_{CB}) を流し、セルバランス動作させることができます。

セルバランス状態時の I_{CB} は、CB端子に抵抗 (R_{CB}) を接続することにより以下の式から設定することが可能です。

$$I_{CB} = V_{BU} / (R_{CBON} + R_{CB})$$

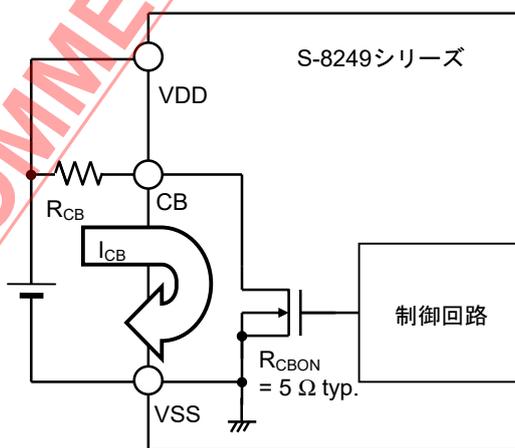


図5

3. 過充電状態

S-8249シリーズは、 V_{DS} が過充電検出電圧 (V_{CU}) 以上となり、その状態を過充電検出遅延時間 (t_{CU}) 以上保持した場合、CO端子出力が反転します。CO端子出力は出力形態と出力論理の選択により表11のようになります。この状態を過充電状態といいます。過充電状態時、CB端子出力は "L" となります。

表11

CO端子の出力形態と出力論理	CB端子出力	CO端子出力
CMOS出力、アクティブ "H"	"L"	"H"
CMOS出力、アクティブ "L"	"L"	"L"
Nchオープンドレイン出力、アクティブ "H"	"L"	"H"
Nchオープンドレイン出力、アクティブ "L"	"L"	"L"

V_{DS} が過充電解除電圧 (V_{CL}) 以下となり、その状態を過充電解除遅延時間 (t_{CL}) 以上保持した場合、過充電状態を解除します。

4. \overline{CE} 端子

S-8249シリーズは、 \overline{CE} 端子 (パワーセービングモード切り換え端子) を備えています。 \overline{CE} 端子に入力する電圧を V_{CEH} 以上にすることにより、S-8249シリーズはパワーセービングモードとなります。

表12

\overline{CE} 端子	状態
オープン ($V_{CE} = V_{SS}$)	通常動作モード
"H" ($V_{CE} \geq V_{CEH}$)	パワーセービングモード
"L" ($V_{CE} \leq V_{CEL}$)	通常動作モード

パワーセービングモードでは、消費電流をパワーセービング時消費電流 (I_{PSV}) まで減らします。また、パワーセービングモードでは、ほぼすべての動作が停止し、CB端子出力、CO端子出力は通常状態時と同じになります。

\overline{CE} 端子は内部抵抗により、 V_{SS} にプルダウンされます。パワーセービングモード時以外は \overline{CE} 端子をオープンまたは V_{SS} にショートしてください。

5. DP端子

S-8249シリーズは、DP端子（テストモード切り換え端子）を備えています。DP端子に入力する電圧を V_{DPH} 以上にすることにより、S-8249シリーズはテストモード（遅延時間短縮）になります。

表13

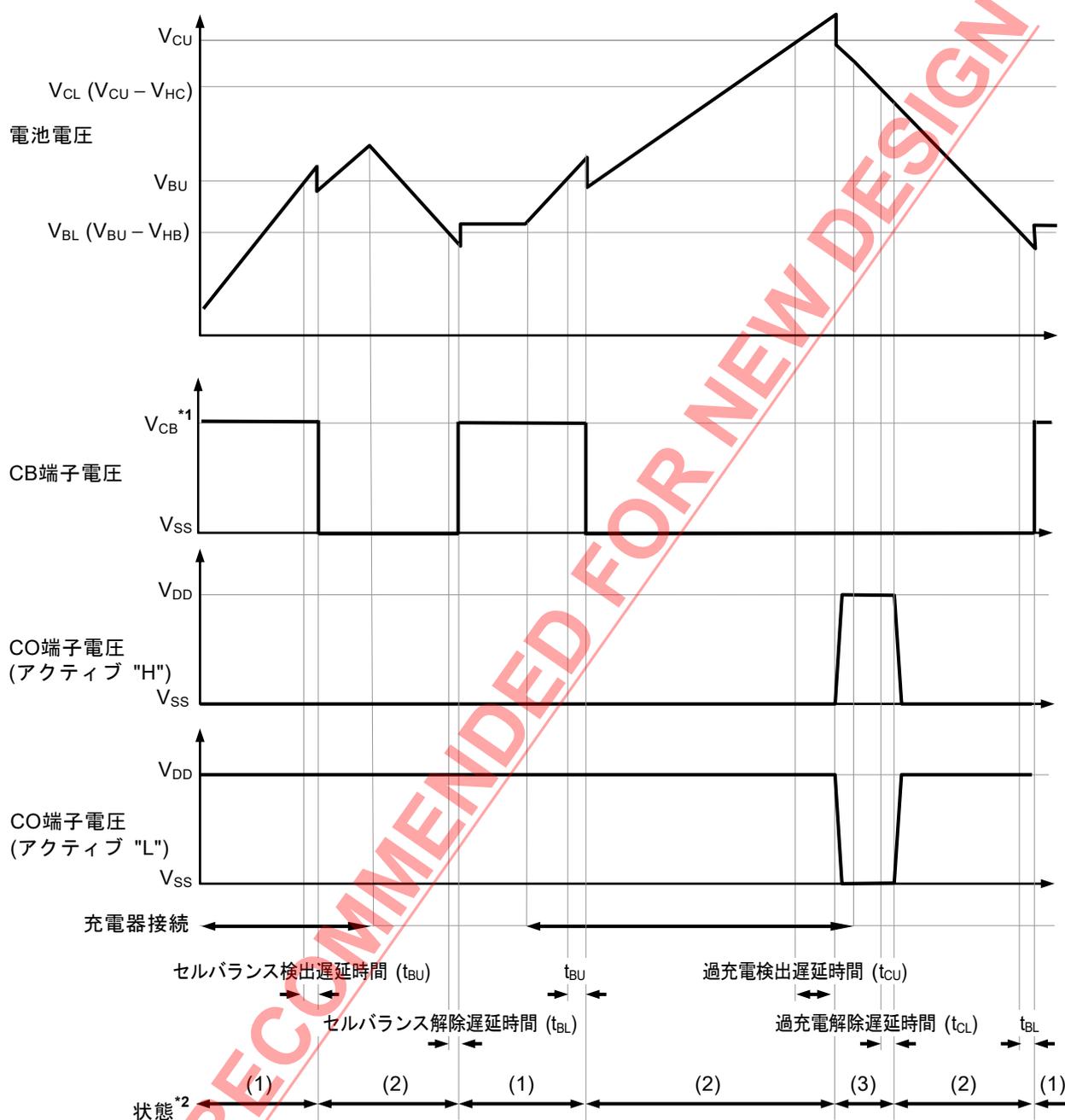
DP端子	状態
オープン ($V_{DP} = V_{SS}$)	通常動作モード
"H" ($V_{DP} \geq V_{DPH}$)	テストモード
"L" ($V_{DP} \leq V_{DPL}$)	通常動作モード

テストモードでは、セルバランス検出遅延時間 (t_{BU})、過充電検出遅延時間 (t_{CU}) が通常動作モードの遅延時間の1/64に短縮されます。

DP端子は内部抵抗により、 V_{SS} にプルダウンされます。テストモード時以外はDP端子をオープンまたは V_{SS} にショートしてください。

NOT RECOMMENDED FOR NEW DESIGN

■ タイミングチャート



*1. CB端子は外付け抵抗によりプルアップされます。

- *2. (1): 通常状態
(2): セルバランス状態
(3): 過充電状態

備考 定電流での充電を想定しています。

図6

■ 注意事項

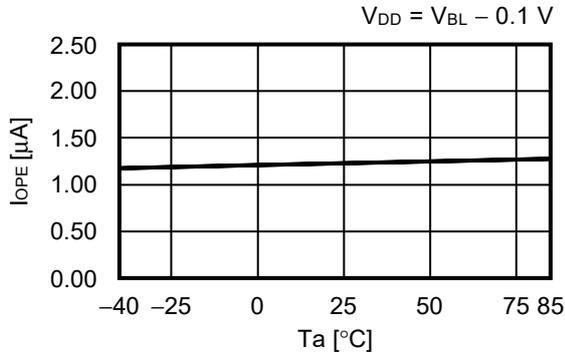
- ・ IC内での損失が許容損失を越えないように、入出力電圧、負荷電流の使用条件に注意してください。
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様また、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

NOT RECOMMENDED FOR NEW DESIGN

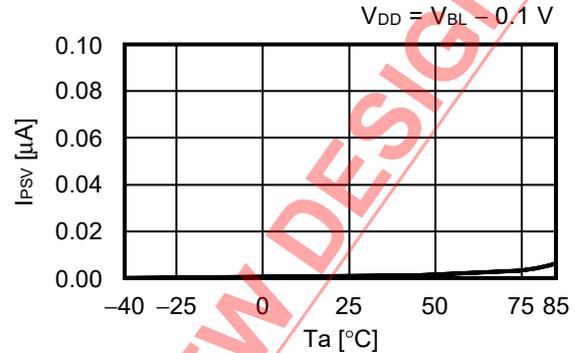
■ 諸特性データ (Typical データ)

1. 消費電流

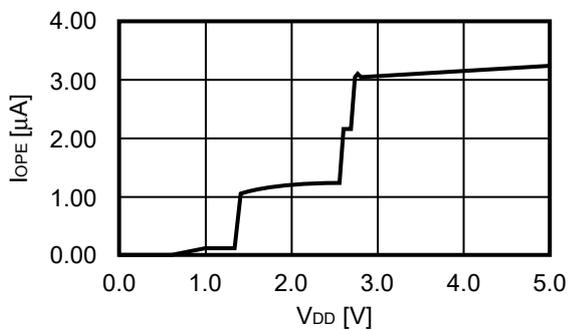
1.1 $I_{OPE} - T_a$



1.2 $I_{PSV} - T_a$

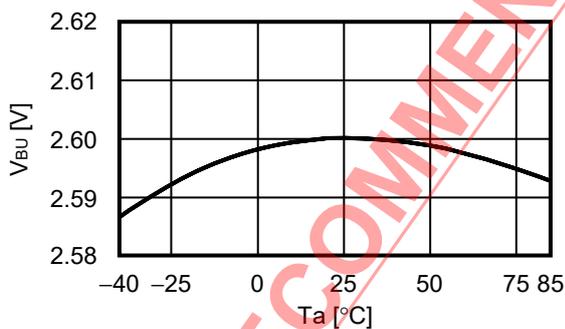


1.3 $I_{OPE} - V_{DD}$

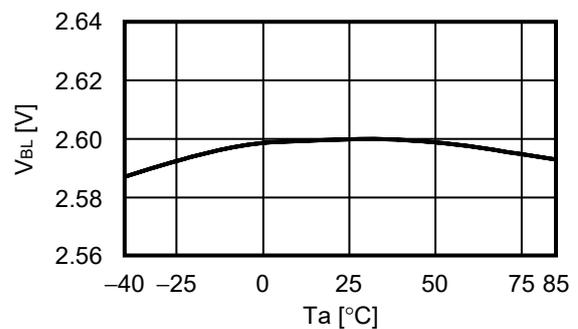


2. セルバランス検出 / 解除電圧、過充電検出 / 解除電圧、および各遅延時間

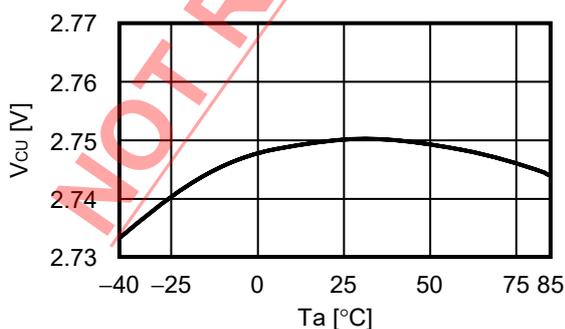
2.1 $V_{BU} - T_a$



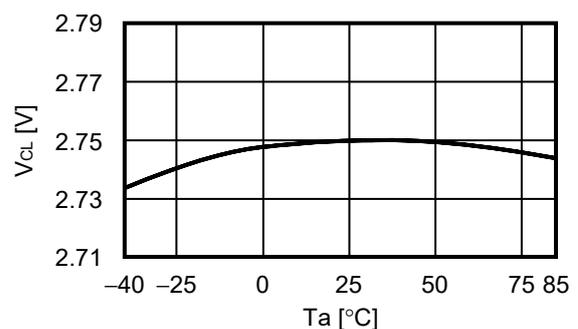
2.2 $V_{BL} - T_a$



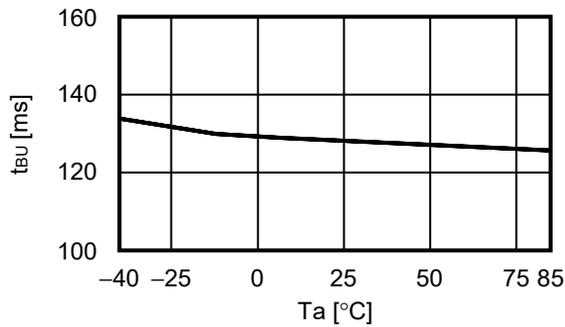
2.3 $V_{CU} - T_a$



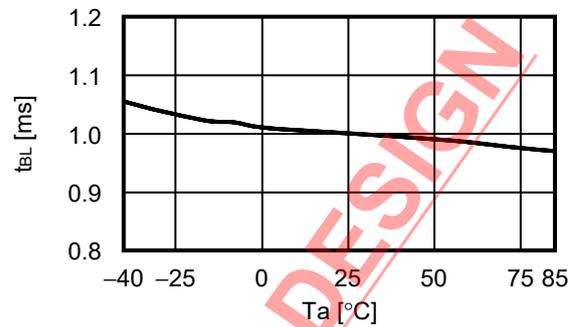
2.4 $V_{CL} - T_a$



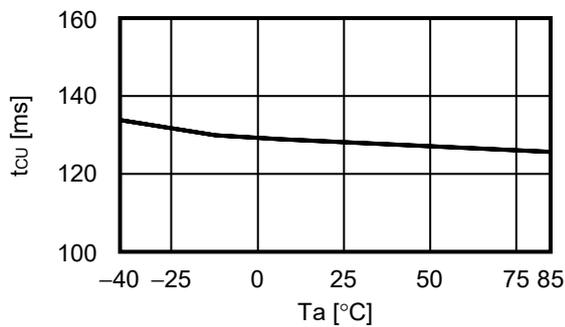
2.5 $t_{BU} - T_a$



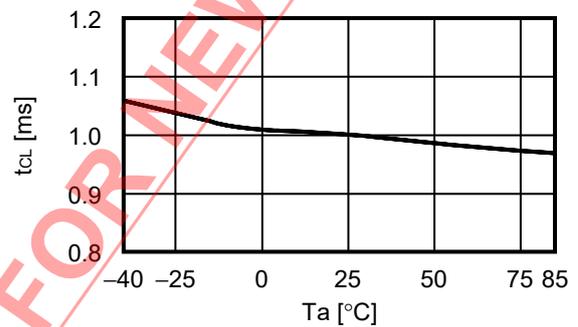
2.6 $t_{BL} - T_a$



2.7 $t_{CU} - T_a$

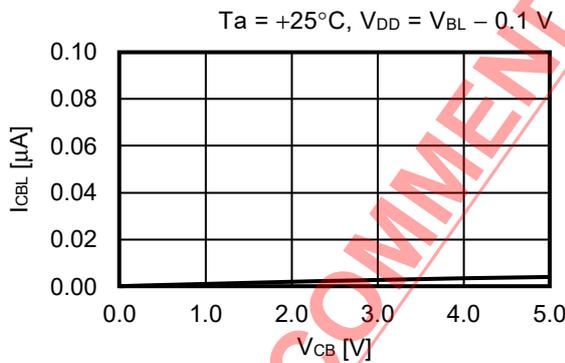


2.8 $t_{CL} - T_a$

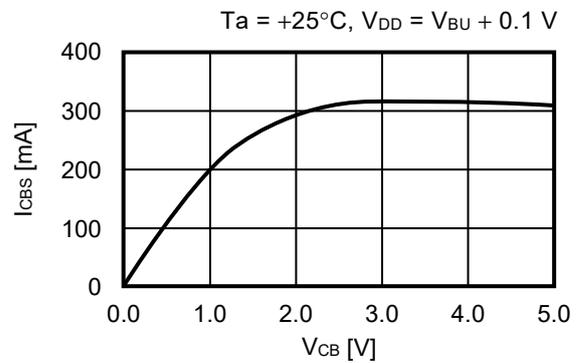


3. 出力電流

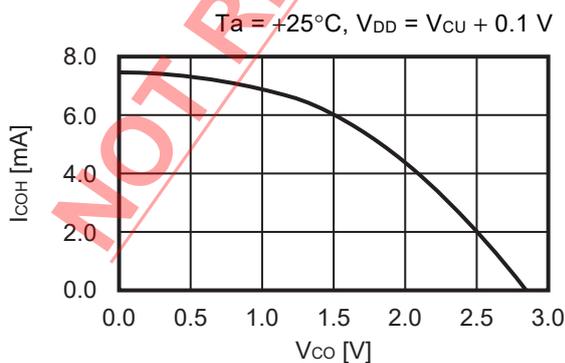
3.1 $I_{CBL} - V_{CB}$



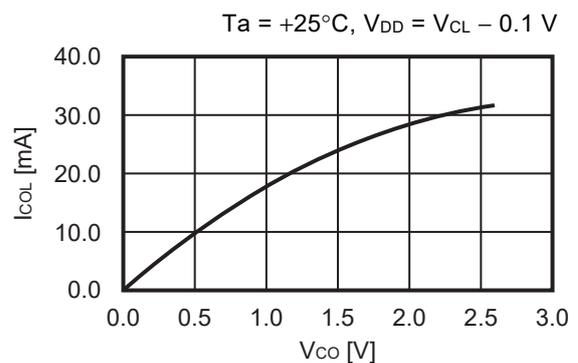
3.2 $I_{CBS} - V_{CB}$



3.3 $I_{COH} - V_{CO}$

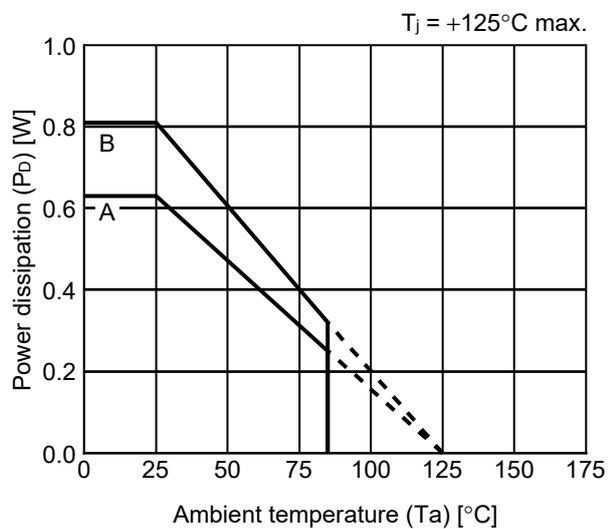


3.4 $I_{COL} - V_{CO}$



■ Power Dissipation

SOT-23-6



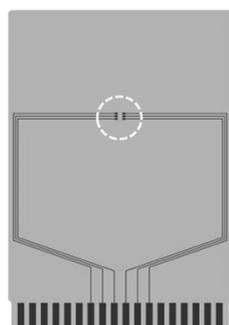
Board	Power Dissipation (P_D)
A	0.63 W
B	0.81 W
C	-
D	-
E	-

NOT RECOMMENDED FOR NEW DESIGN

SOT-23-3/3S/5/6 Test Board

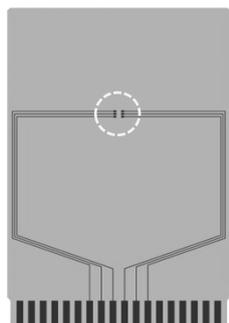
○ IC Mount Area

(1) Board A



Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		2
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via		-

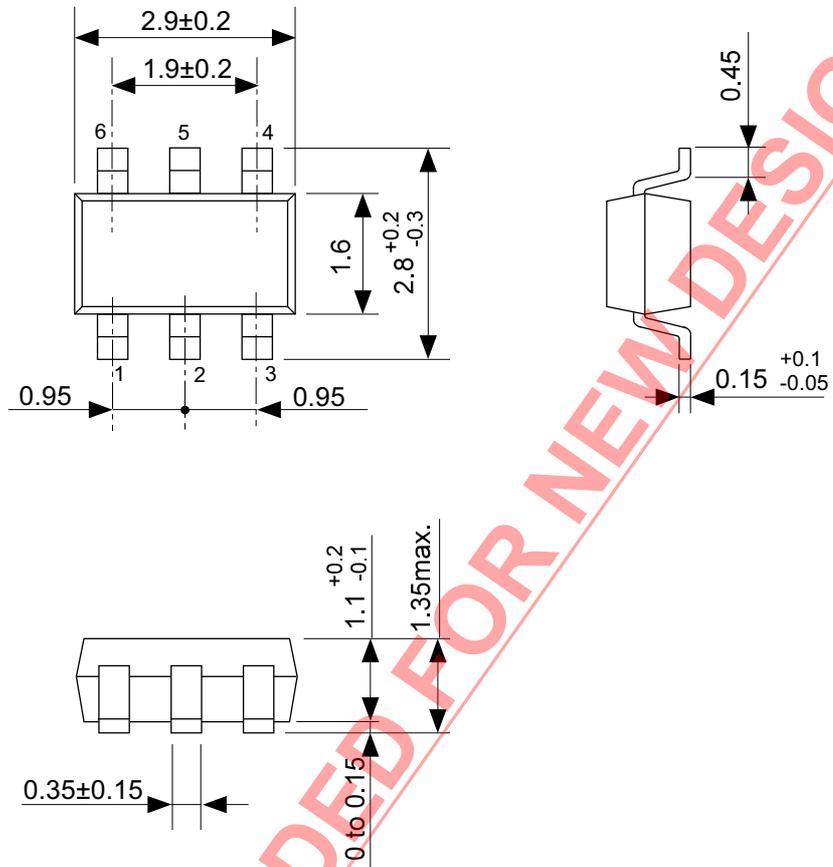
(2) Board B



Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-

NOT RECOMMENDED FOR NEW DESIGN

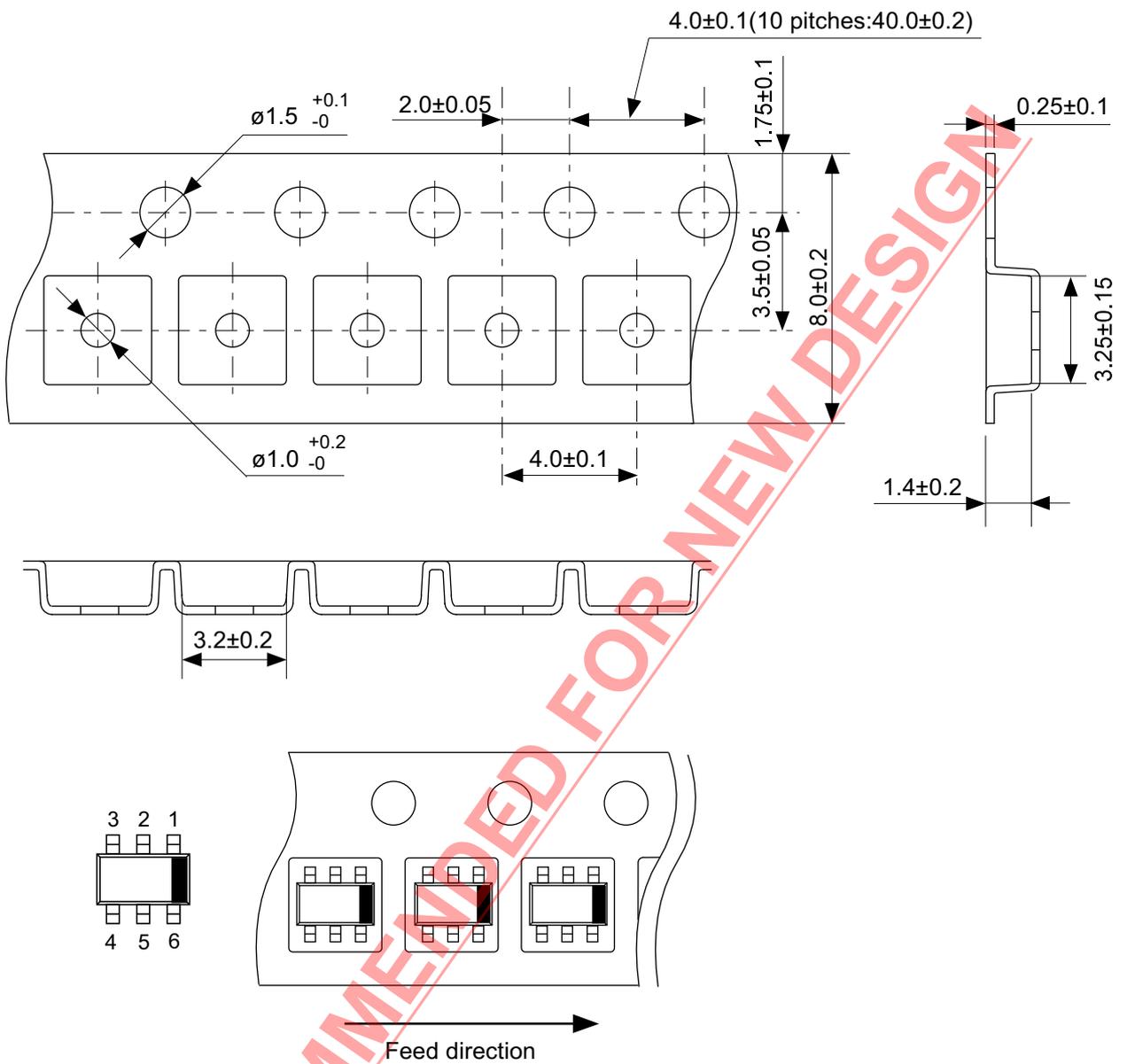
No. SOT23x-A-Board-SD-2.0



NOT RECOMMENDED FOR NEW DESIGN

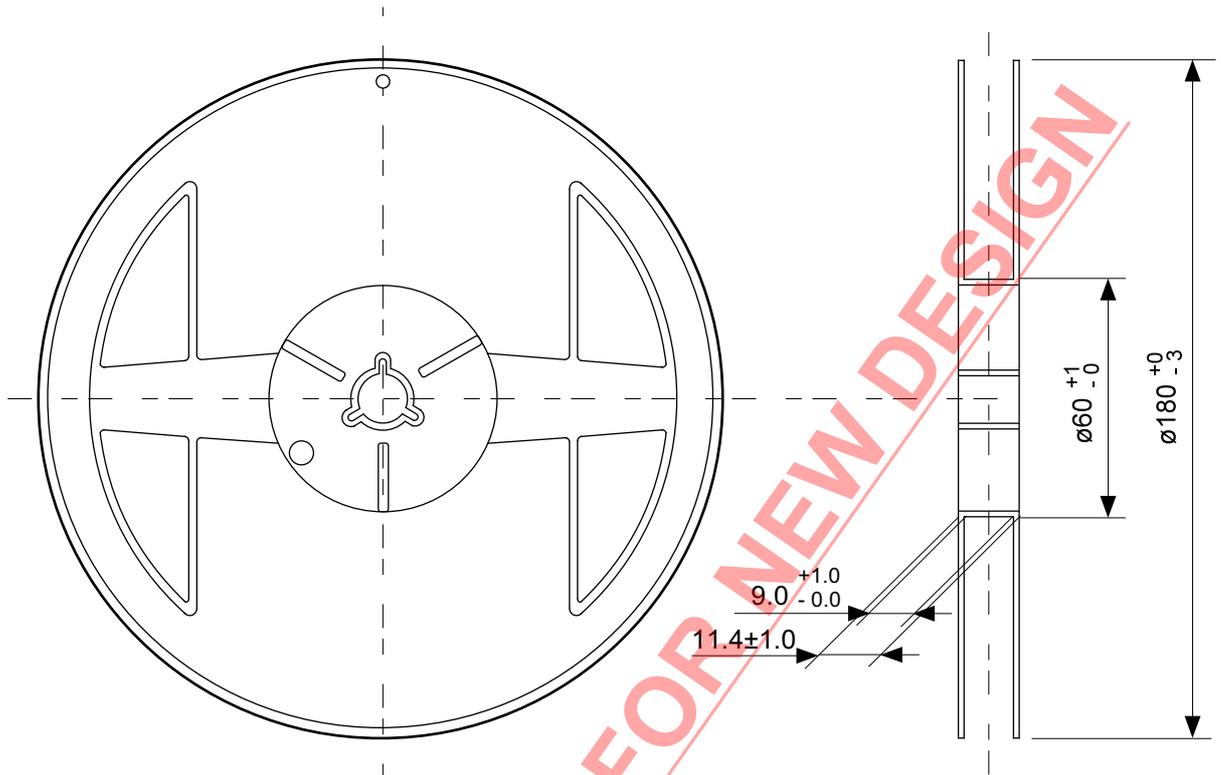
No. MP006-A-P-SD-2.1

TITLE	SOT236-A-PKG Dimensions
No.	MP006-A-P-SD-2.1
ANGLE	
UNIT	mm
ABLIC Inc.	

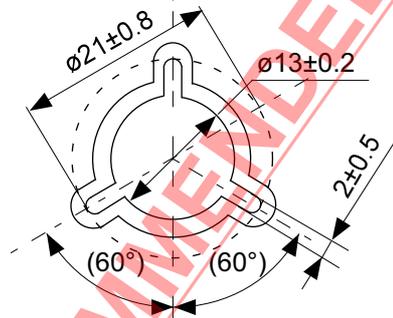


No. MP006-A-C-SD-3.1

TITLE	SOT236-A-Carrier Tape
No.	MP006-A-C-SD-3.1
ANGLE	
UNIT	mm
ABLIC Inc.	



Enlarged drawing in the central part



No. MP006-A-R-SD-3.0

TITLE	SOT236-A-Reel		
No.	MP006-A-R-SD-3.0		
ANGLE		QTY	3,000
UNIT	mm		
ABLIC Inc.			

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍사용途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃烧制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com