



CMOS ICアプリケーションノート

## 降圧型スイッチングレギュレータのノイズ対策 Rev.2.0\_00

---

© ABLIC Inc., 2017-2021

このアプリケーションノートは、降圧型スイッチングレギュレータ (FET内蔵タイプ) からの発生ノイズを最小化する基板レイアウトについて記載した参考資料です。  
各製品の詳細、仕様についてはデータシートにてご確認ください。

## 目次

1. ノイズ発生メカニズム .....	3
1.1 インダクタ (L) で発生するノイズ .....	3
1.2 スwitchング電源ノイズ .....	3
2. スwitchング動作時の電流経路における寄生インダクタンスとノイズ対策 .....	4
2.1 連続 (定常) 電流が流れる経路 .....	4
2.2 電流が断続的に流れる経路 .....	5
3. リンギング .....	6
3.1 SW端子にリンギングが発生する原因 .....	6
3.2 ハイサイドパワーMOS FET (M <sub>1</sub> ) とロウサイドパワーMOS FET (M <sub>2</sub> ) の動作 .....	6
3.3 M <sub>1</sub> がオン時に生じるリンギング .....	7
3.4 M <sub>1</sub> がオフ時に生じるリンギング .....	7
3.5 基板レイアウトにおける寄生インダクタンスの影響とSW端子のリンギング .....	8
4. 基板レイアウトにおけるノイズ対策 .....	9
4.1 入力コンデンサ (C <sub>IN</sub> ) の配置とレイアウト .....	9
4.2 SW配線のレイアウト、インダクタ (L) の配置とレイアウト .....	10
4.3 出力コンデンサ (C <sub>OUT</sub> ) の配置とレイアウト .....	11
5. 受動電圧プローブで出力電圧 (V <sub>OUT</sub> ) を測定する際の注意 .....	12
5.1 一般的な受動電圧プローブでの測定 .....	12
5.2 スプリンググランドコンタクト付き受動電圧プローブでの測定 .....	12
6. 注意事項 .....	13
7. 関連資料 .....	13

## 1. ノイズ発生メカニズム

導体に電流が流れると磁界が発生します。この磁界が時間的に変化すると、電磁誘導の法則により電界を発生させます。電流が時間的に変化すると、磁界、電界の変化により電磁界が発生します。この電磁界はいわゆる電波であり、周辺の電子機器に悪影響を及ぼす可能性があります。このような不要な電波がノイズとなります。

### 1.1 インダクタ (L) で発生するノイズ

Lで発生するノイズについて、電流、電圧の観点から説明します。

図1は、Lに電流源 (I) が接続されている回路です。図2に示すように、Iに電流変化 ( $\frac{di}{dt}$ ) が発生すると、Lにノイズが生じます。

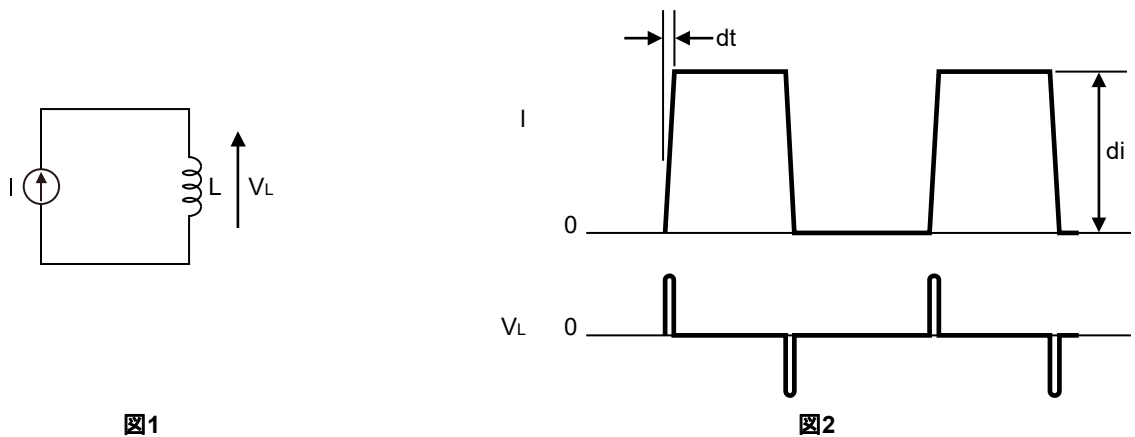
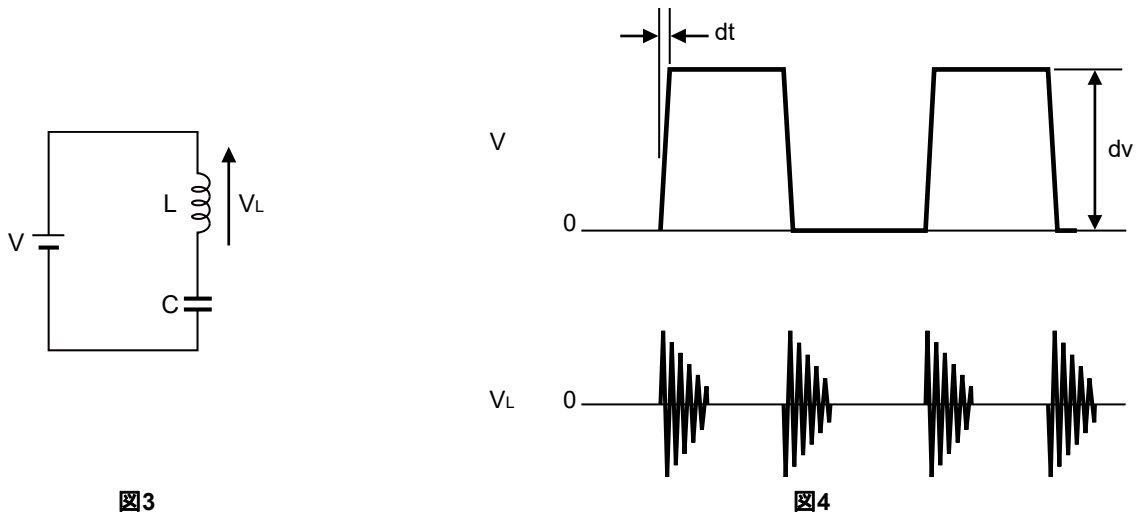


図3は、Lとコンデンサ (C) の直列回路に電圧源 (V) が接続されている回路です。図4に示すように、Vに電圧変化 ( $\frac{dv}{dt}$ ) が発生するとLC共振が起こり、Lにノイズが生じます。図4の $V_L$ のように、電圧のステップ状の変化に対し振動的に反応するノイズをリングングと呼びます。



このように、電流や電圧の変化が起こるとLにノイズが生じます。これらが不要なノイズです。

### 1.2 スwitchング電源ノイズ

スイッチング電源は、スイッチング素子により絶えず電流をオン、オフして、出力に所望の電力を供給します。このことから、スイッチング電源ノイズは、スイッチング電流が基板パターンなどの寄生インダクタンスに流れることによって引き起こされるものであることがわかります。

実際のスイッチングレギュレータ回路では、図1、図3のLは基板パターンとIC内部の寄生インダクタンス、図3のCはスイッチング素子であるパワーMOS FETの寄生容量となります。

## 降圧型スイッチングレギュレータのノイズ対策

## 2. スイッチング動作時の電流経路における寄生インダクタンスとノイズ対策

図5は、ハイサイドパワーMOS FET ( $M_1$ ) オン時の電流経路を示します。 $L_{p1}$ 、 $L_{p4}$ 、 $L_{p6}$ 、 $L_{p7}$ は基板上の寄生インダクタンスを、 $L_{p2}$ 、 $L_{p3}$ 、 $L_{p5}$ はIC内部の寄生インダクタンスを示します。

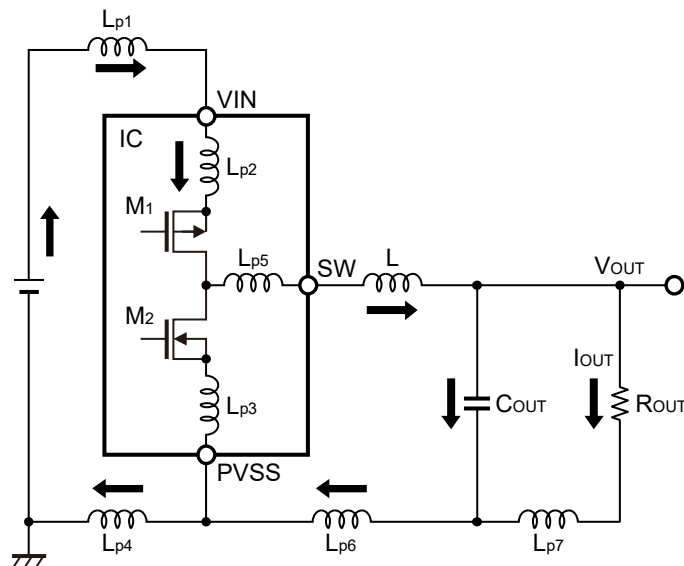


図5

図6は、ロウサイドパワーMOS FET ( $M_2$ ) オン時の電流経路を示します。

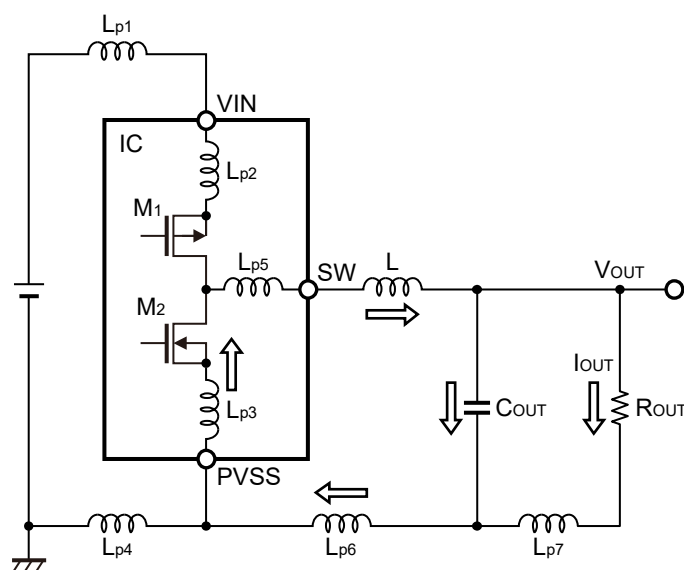


図6

## 2.1 連続 (定常) 電流が流れる経路

図5、図6において、SW端子、インダクタ ( $L$ )、出力コンデンサ ( $C_{OUT}$ )、負荷抵抗 ( $R_{OUT}$ )、寄生インダクタンス ( $L_{p5} \sim L_{p7}$ ) には、図7のような連続 (定常) 電流が流れます。

連続 (定常) 電流が流れる経路では電流変化 ( $\frac{di}{dt}$ ) が小さいため、 $L_{p5} \sim L_{p7}$ で重大なノイズが発生する可能性は低いです。



図7

## 2.2 電流が断続的に流れる経路

図5、図6において、 $L_{p1} \sim L_{p4}$ には電流が断続的に流れます。

図8は、スイッチング動作時に $M_1$ と $M_2$ を流れる電流の波形を示します。 $L_{p1} \sim L_{p4}$ に流れる電流は $M_1$ 、 $M_2$ と同じであるため、脈流になります。 $L_{p1} \sim L_{p4}$ に脈流が流れることにより、大きなノイズ ( $V_{NOISE}$ ) が発生します。

$V_{NOISE}$ は、以下の式で求められます。

$$V_{NOISE} = L_p \times \frac{di}{dt}$$

例えば、 $L_p = L_{p1} + L_{p2} + L_{p3} + L_{p4} = 10 \text{ nH}$ 、図8の $t_1$ 、 $t_2$ における電流変化 ( $\frac{di}{dt} = 1 \text{ A/2 ns}$ )と仮定すると、 $10 \text{ nH} \times 1 \text{ A/2 ns} = 5 \text{ V}$ の大きなノイズが発生します。その結果、図9に示すように矩形波のSW端子電圧にもノイズが重畳されます。ノイズを低減するためには、寄生インダクタンスを小さくしてください。

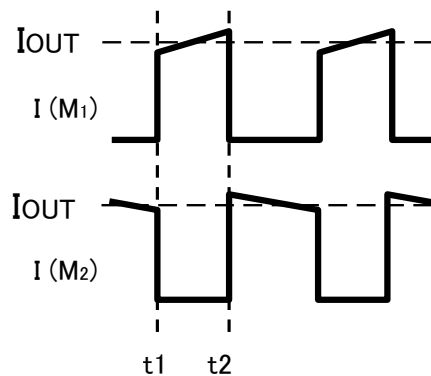


図8

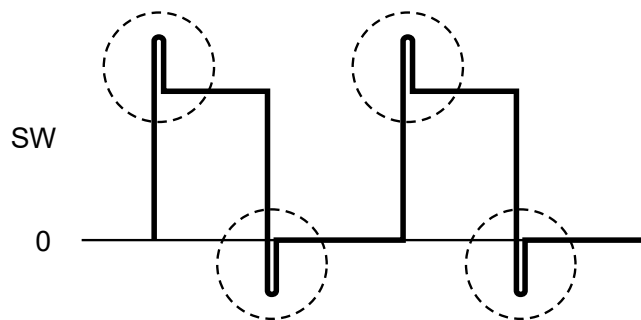


図9

### 3. リンギング

#### 3.1 SW端子にリンギングが発生する原因

スイッチングレギュレータが $M_1$ と $M_2$ のオン、オフを交互に繰り返すと寄生インダクタンスと寄生容量によるLC共振が引き起こされ、SW端子にリンギングが発生します。

図10は、 $M_1$ と $M_2$ に存在する寄生容量 ( $C_{p1}$ 、 $C_{p2}$ ) と寄生インダクタンス ( $L_{p1} \sim L_{p7}$ ) を示します。

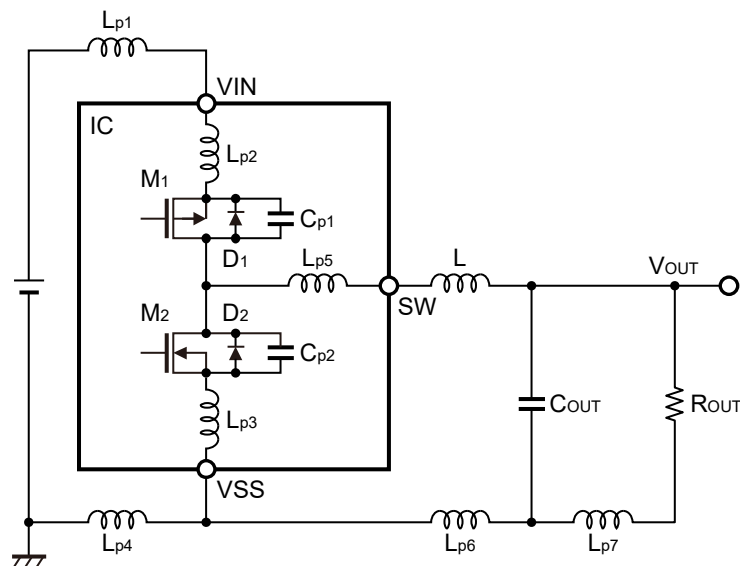
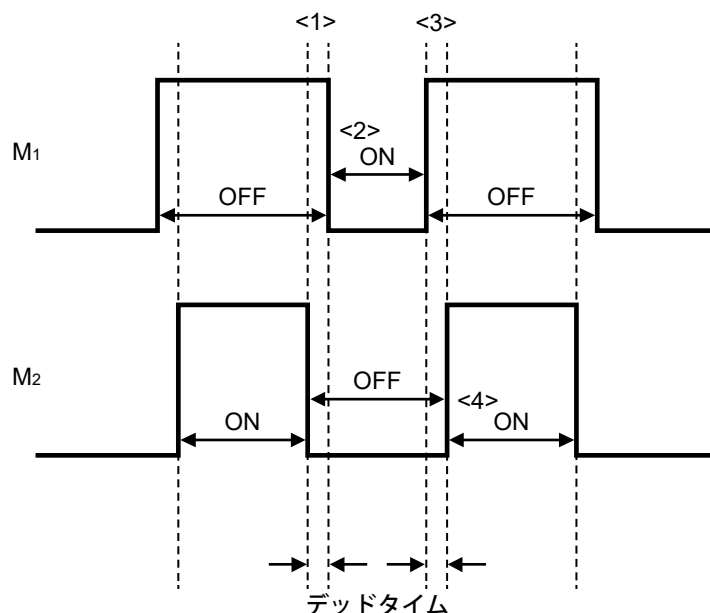


図10

#### 3.2 ハイサイドパワーMOS FET ( $M_1$ ) とロウサイドパワーMOS FET ( $M_2$ ) の動作

図10の $M_1$ と $M_2$ は、貫通電流防止のため同時にオンしないように動作しています。

図11は、 $M_1$ と $M_2$ のゲート端子の電圧波形を示しています。



<1>  $M_1$ と $M_2$ の両方がオフになります。この期間をデッドタイムと呼びます。

<2> デッドタイム経過後、 $M_1$ がオンになります。

<3> 再び $M_1$ と $M_2$ の両方がオフになり、デッドタイムとなります。

<4> デッドタイム経過後、 $M_2$ がオンになります。

このように、 $M_1$ と $M_2$ はデッドタイムを設けながら交互にオン、オフを繰り返して、負荷に電力を供給しています。

図11

### 3.3 M<sub>1</sub>がオン時に生じるリングング

図12は実測波形で、M<sub>1</sub>がオン時のリングング波形を示します。リングングの周波数は300 MHz程度です。これはL<sub>p</sub> = 5 nH、C<sub>p2</sub> = 60 pFと仮定したときの共振周波数に等しいです。

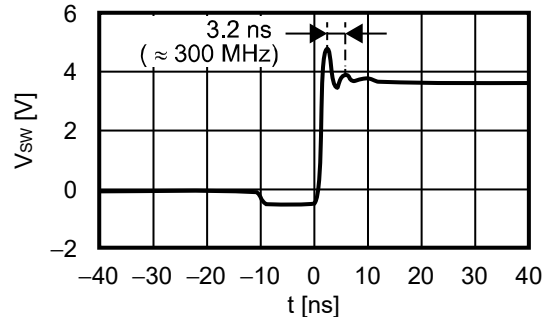


図12

図12では、M<sub>2</sub>がオンしているためSW端子電圧 ( $V_{sw}$ ) は0 V付近になっています。M<sub>2</sub>がオフした時、図11<1>に示したようにデッドタイムがあります。負荷に電力を供給している時は、デッドタイム中にVSS端子からSW端子に向かって、M<sub>2</sub>の寄生ダイオード (D<sub>2</sub>) を通じてインダクタ (L) に電流が流れます。そのため、 $V_{sw}$ はD<sub>2</sub>の順方向電圧によって0 Vより若干低下します。その後M<sub>1</sub>がオンすると、 $V_{sw}$ は電源電圧付近まで急峻に上昇して  $\left(\frac{dv}{dt}\right)$ 、寄生インダクタンス (L<sub>p1</sub> ~ L<sub>p4</sub>)、寄生容量 (C<sub>p2</sub>) によるLC共振が起こり、リングングが発生します。リングングの周波数は、L<sub>p1</sub> ~ L<sub>p4</sub>とC<sub>p2</sub>の共振周波数です。M<sub>1</sub>がオンしているため、 $V_{sw}$ がその後電源電圧付近になります。

### 3.4 M<sub>1</sub>がオフ時に生じるリングング

図13も実測波形で、M<sub>1</sub>がオフ時のリングング波形を示します。

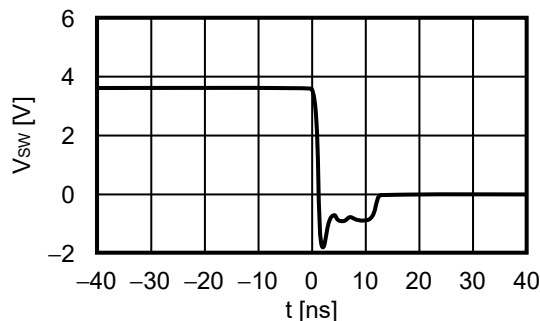


図13

図13では、M<sub>1</sub>がオンしているため $V_{sw}$ は電源電圧付近になっています。M<sub>1</sub>がオフした時、図11<3>に示したようにデッドタイムがあります。負荷に電力を供給している時は、デッドタイム中にVSS端子からSW端子に向かって、M<sub>2</sub>のD<sub>2</sub>を通じてLに電流が流れます。その時、 $V_{sw}$ は電源電圧付近から急峻に下降して  $\left(\frac{dv}{dt}\right)$ 、L<sub>p1</sub> ~ L<sub>p4</sub>、C<sub>p1</sub>によるLC共振が起こり、リングングが発生します。リングングの周波数は、L<sub>p1</sub> ~ L<sub>p4</sub>とC<sub>p1</sub>の共振周波数です。デッドタイム中はVSS端子からSW端子に向かってM<sub>2</sub>のD<sub>2</sub>を通じてLに電流が流れているため、 $V_{sw}$ はD<sub>2</sub>の順方向電圧によって0 Vより若干低下します。さらに、その後M<sub>2</sub>がオンし、 $V_{sw}$ が0 V付近になります。

### 3.5 基板レイアウトにおける寄生インダクタンスの影響とSW端子のリングング

降圧スイッチングレギュレータの特性は、基板パターンによる寄生インダクタンスの影響を受けます。そのため、基板レイアウトは、基板パターンの寄生インダクタンスが降圧スイッチングレギュレータ回路の特性に影響しないように設計する必要があります。基板レイアウトの良い例と悪い例を以下に示します。

図14ではセラミックコンデンサ ( $C_{IN}$ 、 $C_{INa}$ ) が電源ICの直近に配置されているため、 $C_{IN}$ 、 $C_{INa}$ と電源ICの間に寄生インダクタンスはほとんど存在しません。スイッチング動作時、 $L_{p1}$ 、 $L_{p4}$ が原因で発生するノイズを抑制できるため、図16に示すようにSW端子のリングングが小さくなります。

一方、図15は、 $C_{IN}$ 、 $C_{INa}$ が電源ICから離れて配置されています。 $C_{IN}$ 、 $C_{INa}$ とVIN端子の間には $L_{p1}$ が存在し、VSSの帰還経路が長く、 $L_{p4}$ が存在しています。このため、スイッチング動作時に発生するノイズが大きくなり、図17に示すようにSW端子のリングングは大きくなります。

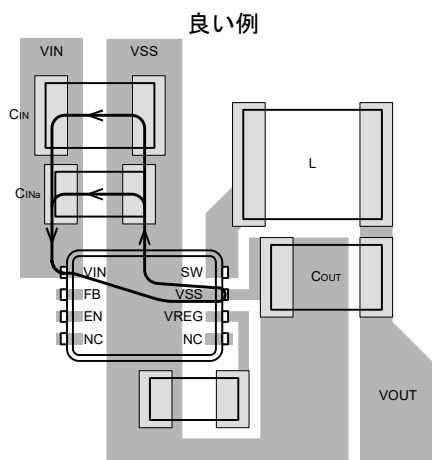


図14

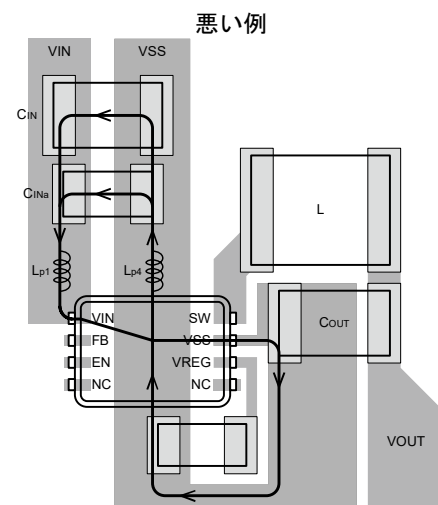


図15

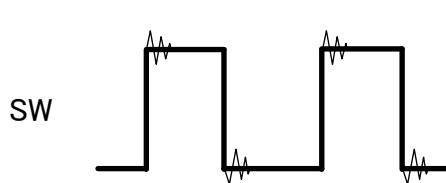


図16

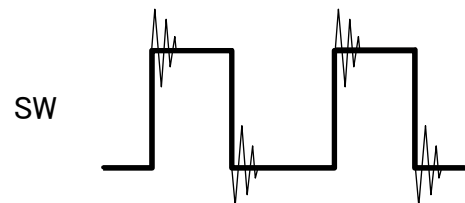


図17



## 4. 基板レイアウトにおけるノイズ対策

降圧スイッチングレギュレータにおいて、ノイズ対策は非常に重要です。ノイズ対策をしないと、ノイズが周辺の電子回路に悪影響を及ぼす可能性があります。ノイズを低減する役割を担うのが入力コンデンサです。基板レイアウトにおいて、入力コンデンサの配置、およびVIN、VSSの配線は最も重要です。入力コンデンサは最優先で、IC直近に、同じ表面層に配置してください。C<sub>IN</sub>は、ICの安定動作とノイズの抑制に必ず必要なコンデンサです。C<sub>INa</sub>は、C<sub>IN</sub>に並列に接続された0.1 μF程度のコンデンサです。主に10 MHz以上のノイズ対策用コンデンサとして、必要に応じて追加してください。

### 4.1 入力コンデンサ (C<sub>IN</sub>) の配置とレイアウト

図18は、セラミックコンデンサ (C<sub>IN</sub> = 10 μF、C<sub>INa</sub> = 0.1 μF) をVIN端子とVSS端子の直近に並列配置した例です。C<sub>INa</sub>は、必ずC<sub>IN</sub>より小さな容量値を選択してください。インピーダンスの低いC<sub>INa</sub> = 0.1 μFは、C<sub>IN</sub> = 10 μFよりもVIN端子、VSS端子の近くに配置してください。このコンデンサの組み合わせにより、高周波領域でのインピーダンスは下がり、スイッチング動作時のノイズが抑制され、リングングが小さくなります

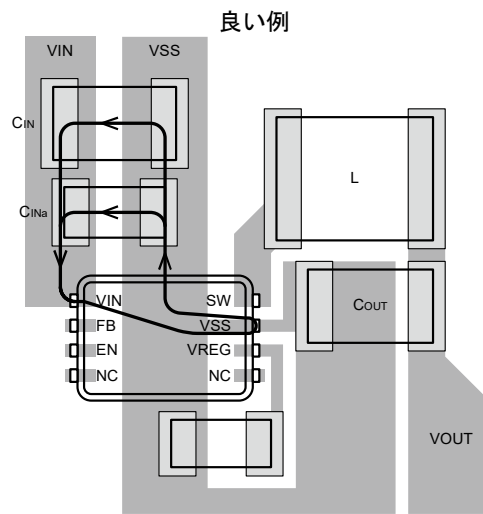


図18

図19は、C<sub>IN</sub>のインピーダンスの周波数特性を示しています。C<sub>IN</sub> = 10 μFのインピーダンスが最小となるのは2 MHz付近であることがわかります。

図20は、C<sub>INa</sub>のインピーダンスの周波数特性を示しています。C<sub>INa</sub> = 0.1 μFのインピーダンスが最小となるのは22 MHz付近であることがわかります。

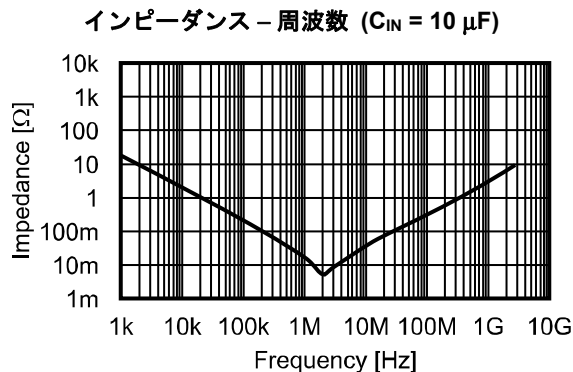


図19

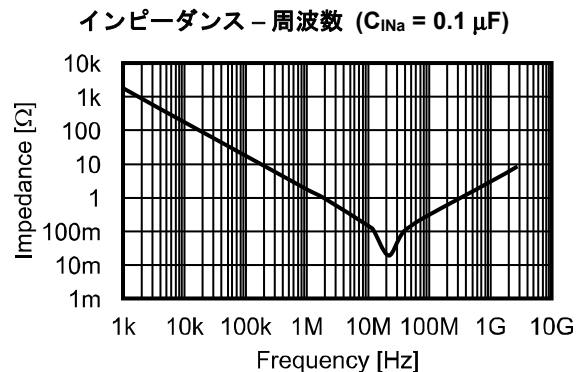


図20

## 降圧型スイッチングレギュレータのノイズ対策

## 4.2 SW配線のレイアウト、インダクタ (L) の配置とレイアウト

ノイズは電磁波のため、空間を伝搬します。空間を伝搬するノイズ、いわゆる放射ノイズを最小化するため、SW端子 - L間の距離を極力短くし、電流容量の許容範囲でレイアウトの配線幅を狭くしてください。

SW端子から出力される矩形波電圧には高い周波数成分が含まれるので、SW配線がアンテナとなって放射ノイズが増加する可能性があります。また、前述した矩形波電圧の高い周波数成分が配線間の寄生容量を介してSW端子からVOUTに伝導するため、SW配線とVOUT配線を近づけないでください。Lは放射ノイズの小さい閉磁路タイプを選択してください。

図21は、SW端子 - L間の配線面積を小さくし、SW配線 - VOUT配線間の距離を長くした例です。一方、図22は、SW配線の面積が不要に大きく、SW配線 - VOUT配線間の距離が短い部分があり、その寄生容量が大きい例です。

Lの発熱が懸念される場合は、SW配線の面積拡大により放熱効果が期待されます。SW配線のレイアウトは、放射ノイズと発熱の2つの相反する観点を考慮して配置する必要があります。

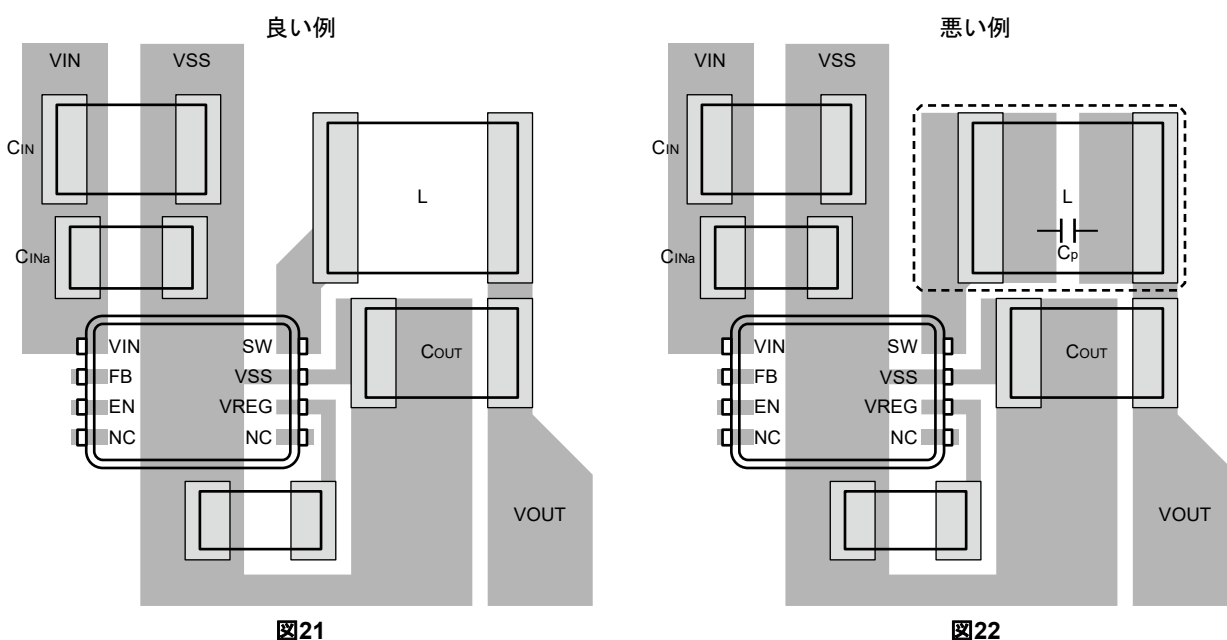


図21

図22

図23、図24は、図21、図22それぞれのLの実装部分を断面から見た図です。

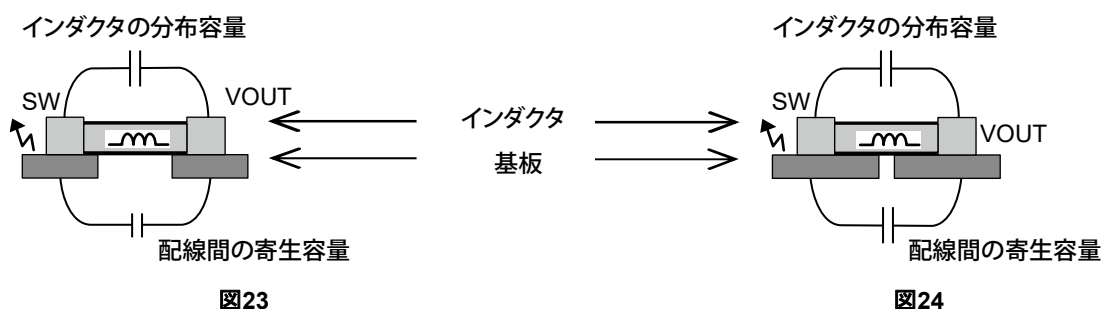


図23

図24

図21のLのランドパターンが示すように、図23ではSW端子 - VOUT間の距離が長くなっています。一方、図22のLのランドパターンが示すように、図24ではSW端子 - VOUT間の距離が短くなっています。SW端子 - VOUT間の距離が短いほど、SW端子 - VOUT間の寄生容量は大きくなります。このことから、図23の寄生容量より図24の寄生容量は大きくなります。寄生容量が大きいと、SW端子で発生するスイッチング動作時のノイズがVOUTに重畳しやすくなります。

また、図24の場合、SW配線の面積が大きいため、放射ノイズが増大する可能性があります。このことから、L下部の基板レイアウトでは、放射ノイズの飛散面積を小さくするため、Lの電極間の面積を十分に確保してください。

図21、図22に示しているように、SW端子にはLが接続されるため、寄生インダクタンスが存在してもインダクタンス値にはほとんど影響がありません。

図25は、SW配線とLの配置のレイアウト例を示します。下記に示すようにC<sub>IN</sub>下部にSW端子の配線ができない場合は、サーマルビアを経由して下層へ配線してください。

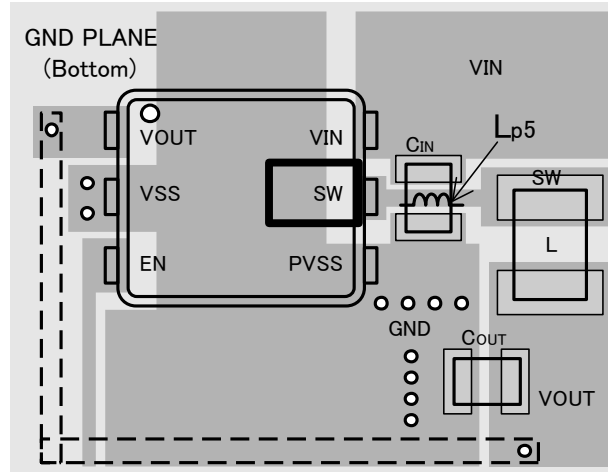


図25

### 4.3 出力コンデンサ (C<sub>OUT</sub>) の配置とレイアウト

降圧スイッチングレギュレータにおいて、出力コンデンサは出力電圧波形の平滑化のために必要です。スイッチングレギュレータは、スイッチング動作時にM<sub>1</sub>とM<sub>2</sub>がデッドタイムを交え、交互にオンします。M<sub>1</sub>がオン時には、M<sub>1</sub>に電流が流れ、M<sub>2</sub>がオン時には、M<sub>2</sub>に電流が流れます。Lの電流もM<sub>1</sub>、M<sub>2</sub>に流れる電流と同じため、L近辺の電圧波形は非常に変動します。この電圧波形の変動がノイズとなり、空間を伝搬します。C<sub>OUT</sub>は、この電圧波形の平滑化と同時に、出力電圧波形の変動により発生するノイズを吸収する役割も担っています。

以上のことから、C<sub>OUT</sub>は、ICの近くに配置してください。太線の電流経路 (SW端子 → L → C<sub>OUT</sub> → VSS端子) の面積を小さくすると、発生する放射ノイズを最小化できます。VOUT配線は、必ずC<sub>OUT</sub>のランドを経由してから引き出してください。LとC<sub>OUT</sub>による平滑化作用が弱まり、SW端子の矩形波電圧の高い周波数成分がVOUTに伝導されるのを避けるためです。同様に、配線幅を広げる場合もC<sub>OUT</sub>のランドを経由してから配線を引き出してください。

図26は、電流経路の面積を小さくした例です。VOUT配線は、C<sub>OUT</sub>のランドを経由してから引き出されています。一方、図27は、ICとC<sub>OUT</sub>の距離が長く、電流経路の面積が大きい例です。VOUT配線はC<sub>OUT</sub>のランドを経由せずにLのランドから引き出されています。図28は、C<sub>OUT</sub>のランドを経由する前にVOUTの配線幅を広げすぎている例です。

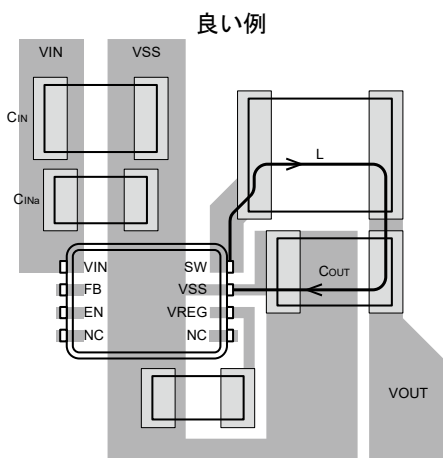


図26

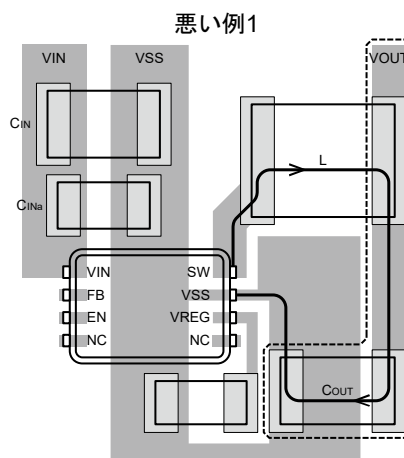


図27

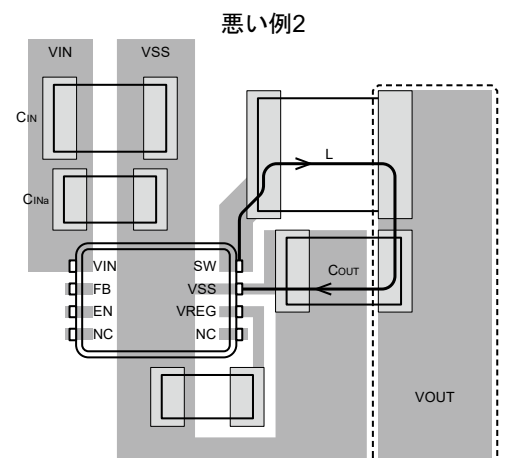


図28

## 降圧型スイッチングレギュレータのノイズ対策

5. 受動電圧プローブで出力電圧 ( $V_{OUT}$ ) を測定する際の注意

降圧スイッチングレギュレータ回路の $V_{OUT}$ を測定する際、放射ノイズに注意が必要です。特に、 $V_{OUT}$ 波形をオシロスコープで測定する際、受動電圧プローブにおいてノイズ対策を行わないと、放射ノイズが $V_{OUT}$ 波形に重畳されて正確に出力電圧波形を測定することができません。受動電圧プローブから $V_{OUT}$ 波形に重畳される放射ノイズは、受動電圧プローブのグランドリードを通して伝搬します。そのため、 $V_{OUT}$ 波形に重畳されるノイズを低減させるには、受動電圧プローブのグランドリードを工夫する必要があります。

受動電圧プローブのグランドリードが通常の場合と、スプリンググランドコンタクトの場合で、どの程度 $V_{OUT}$ 波形に差があるかを下記に示します。図29と図31は、同じ電圧を同じオシロスコープで測定した波形です。

## 5.1 一般的な受動電圧プローブでの測定

図29は、図30に示すような一般的な受動電圧プローブで測定した $V_{OUT}$ 波形です。

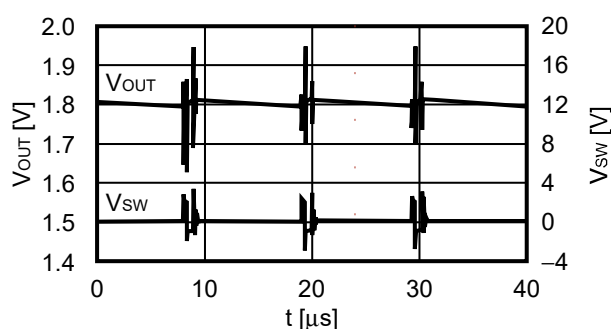


図29



図30

## 5.2 スプリンググランドコンタクト付き受動電圧プローブでの測定

図31は、図32に示すような受動電圧プローブを改造したスプリンググランドコンタクト付き受動電圧プローブで測定した $V_{OUT}$ 波形です。このプローブで測定することで、 $V_{OUT}$ 波形に高周波ノイズが重畳されなくなります。

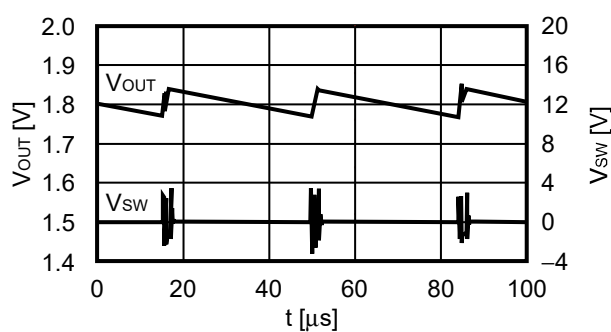


図31



図32

## 6. 注意事項

- ・本資料に掲載のアプリケーション例は、弊社ICを使用した代表的な応用例を説明したものです。ご使用の際は、十分な評価を行ってください。
- ・降圧型スイッチングレギュレータは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

## 7. 関連資料

このアプリケーションノートおよび関連製品のデータシートの内容は、予告なく変更することがあります。詳細は、販売窓口までお問い合わせください。データシートの最新版は弊社Webサイトにて製品カテゴリと製品名をお選びいただき、PDFファイルをダウンロードしてください。

[www.ablic.com](http://www.ablic.com)    エイブリック株式会社Webサイト

## 免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



**ABLIC**

エイブリック株式会社  
www.ablic.com