

S-1003シリーズは、CMOS技術を使用して開発した、高精度電圧検出ICです。検出電圧は内部で固定され、精度は $\pm 1.0\%$ ($-V_{DET} \geq 2.2\text{ V}$) です。消費電流は500 nA typ.で動作します。

コンデンサを外付けすることで解除信号を遅延させることができます。遅延時間の精度は $\pm 15\%$ です。

また、マニュアルリセット機能を備えているため、強制的にリセット信号を出力させることも可能です。

出力形態はNchオープンドレイン出力とCMOS出力が揃っています。

■ 特長

- ・ 検出電圧 : 1.2 V ~ 5.0 V (0.1 Vステップ)
- ・ 検出電圧精度 : $\pm 1.0\%$ ($2.2\text{ V} \leq -V_{DET} \leq 5.0\text{ V}$)
: $\pm 22\text{ mV}$ ($1.2\text{ V} \leq -V_{DET} < 2.2\text{ V}$)
- ・ 消費電流 : 500 nA typ.
- ・ 動作電圧範囲 : 0.95 V ~ 10.0 V
- ・ ヒステリシス幅 : $5\% \pm 2\%$
- ・ マニュアルリセット機能 : MR端子論理アクティブ "L"、アクティブ "H"
- ・ 遅延時間精度 : $\pm 15\%$ ($C_D = 4.7\text{ nF}$)
- ・ 出力形態 : Nchオープンドレイン出力 (アクティブ "L")
CMOS出力 (アクティブ "L")
- ・ 動作温度範囲 : $T_a = -40^\circ\text{C} \sim +85^\circ\text{C}$
- ・ 鉛フリー (Sn 100%)、ハロゲンフリー

■ 用途

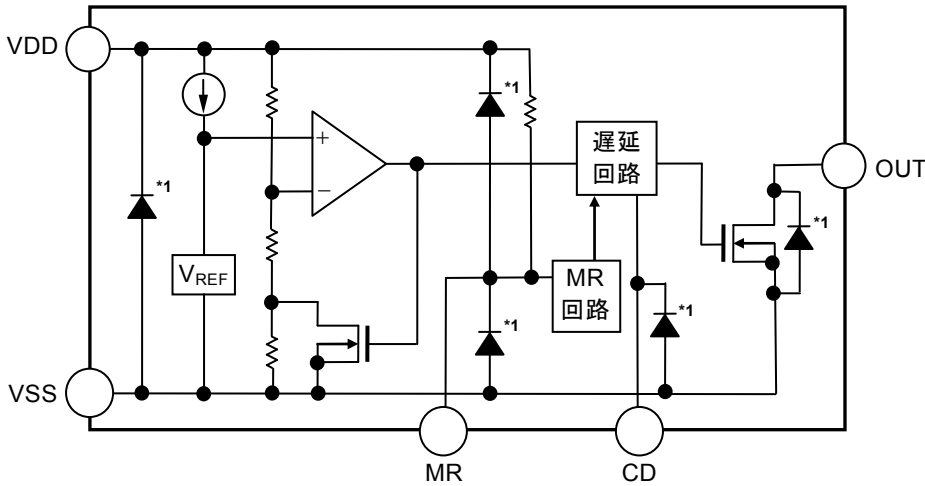
- ・ マイコン用電源の監視およびCPUのリセット
- ・ テレビ、ブルーレイレコーダ、白物家電等の定電圧電源の監視
- ・ ノートパソコン、デジタルスチルカメラ、携帯電話等の携帯機器用電源の監視

■ パッケージ

- ・ SOT-23-5
- ・ SNT-6A

■ ブロック図

1. Nchオープンドレイン出力品 (S-1003NAxxI)

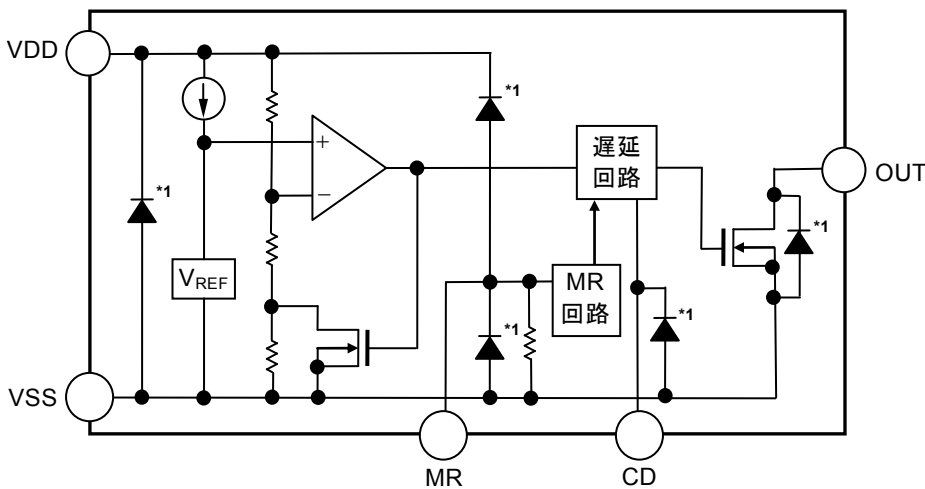


機能	状態
出力論理	アクティブ "L"
MR端子論理	アクティブ "L"

*1. 寄生ダイオード

図1

2. Nchオープンドレイン出力品 (S-1003NBxxI)

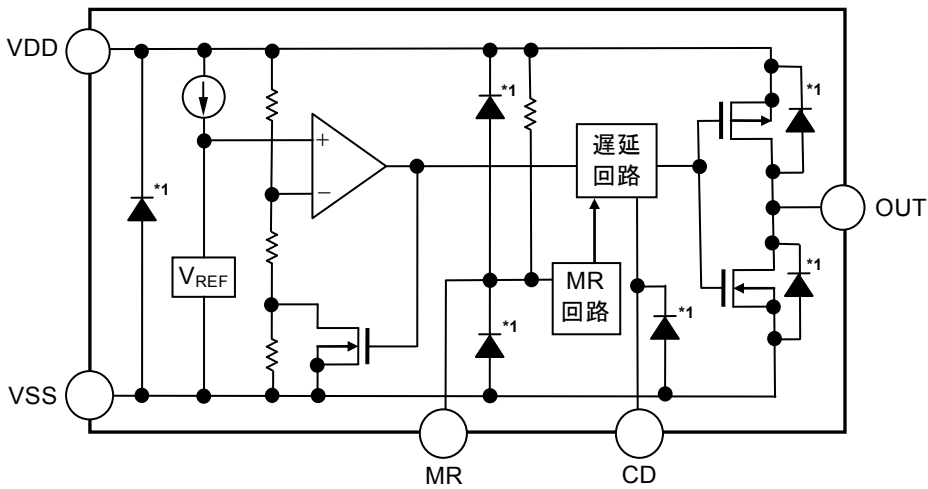


機能	状態
出力論理	アクティブ "L"
MR端子論理	アクティブ "H"

*1. 寄生ダイオード

図2

3. CMOS出力品 (S-1003CAxxl)

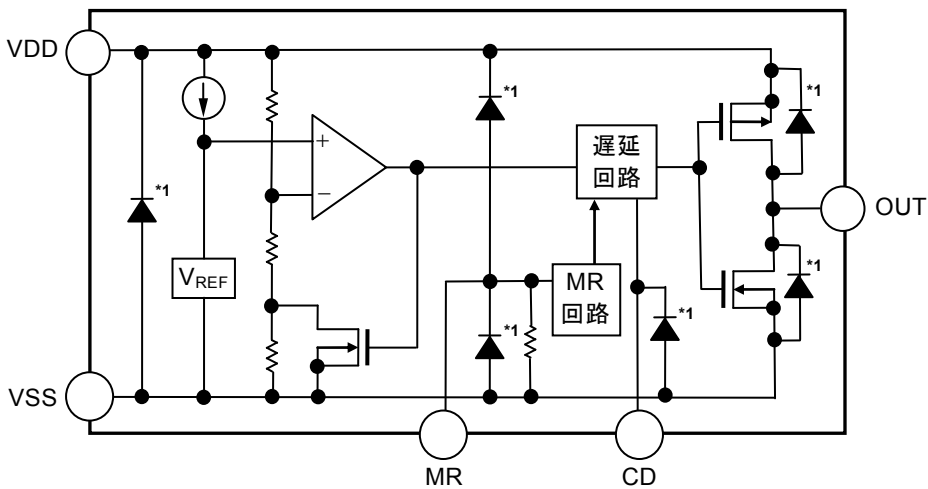


機能	状態
出力論理	アクティブ "L"
MR端子論理	アクティブ "L"

*1. 寄生ダイオード

図3

4. CMOS出力品 (S-1003CBxxl)



機能	状態
出力論理	アクティブ "L"
MR端子論理	アクティブ "H"

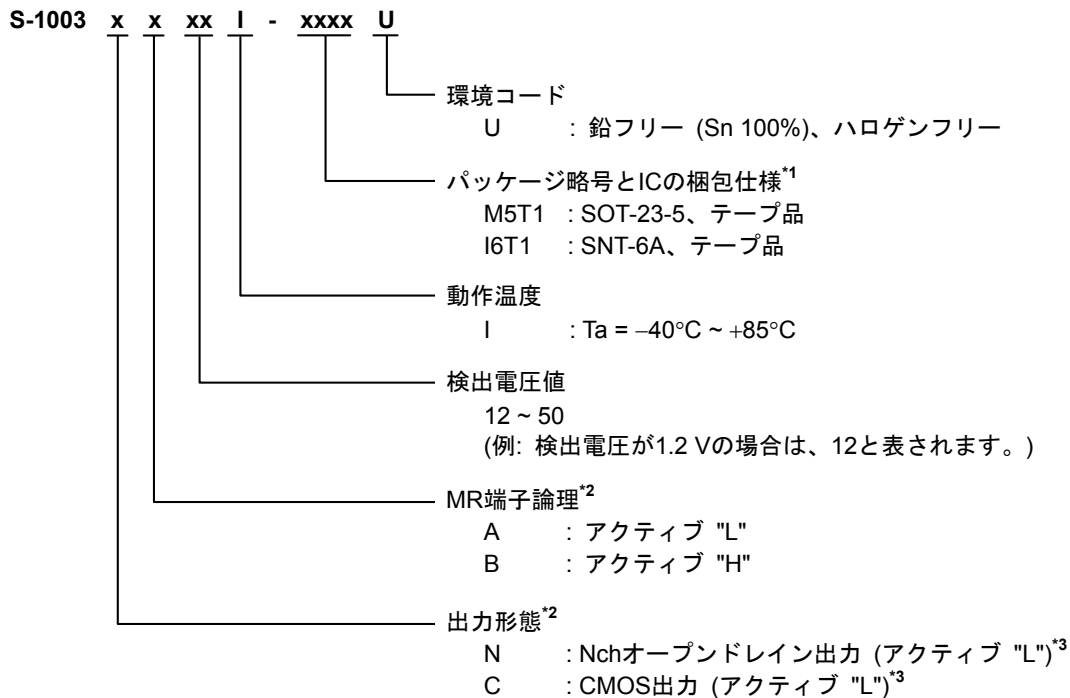
*1. 寄生ダイオード

図4

■ 品目コードの構成

S-1003シリーズは、出力形態、MR端子論理、検出電圧値、パッケージ種別を用途により選択指定することができます。製品名における文字列が示す内容は "1. 製品名" を、製品タイプは "2. 製品タイプ一覧" を、パッケージ図面は "3. パッケージ" を、詳しい製品名は "4. 製品名リスト" を参照してください。

1. 製品名



*1. テープ図面を参照してください。

*2. "2. 製品タイプ一覧" を参照してください。

*3. 出力論理アクティブ "H" 品をご希望のときは、弊社営業部までお問い合わせください。

2. 製品タイプ一覧

表1

製品タイプ	出力形態	MR端子論理	出力論理
NA	Nchオープンドレイン出力	アクティブ "L"	アクティブ "L"
NB		アクティブ "H"	アクティブ "L"
CA	CMOS出力	アクティブ "L"	アクティブ "L"
CB		アクティブ "H"	アクティブ "L"

3. パッケージ

表2 パッケージ図面コード

パッケージ名	外形寸法図面	テープ図面	リール図面	ランド図面
SOT-23-5	MP005-A-P-SD	MP005-A-C-SD	MP005-A-R-SD	-
SNT-6A	PG006-A-P-SD	PG006-A-C-SD	PG006-A-R-SD	PG006-A-L-SD

4. 製品名リスト

4.1 S-1003シリーズNAタイプ

出力形態 : Nchオープンドレイン出力 (アクティブ "L")

MR端子論理 : アクティブ "L"

表3

検出電圧	SOT-23-5	SNT-6A
1.2 V ± 22 mV	S-1003NA12I-M5T1U	S-1003NA12I-I6T1U
1.3 V ± 22 mV	S-1003NA13I-M5T1U	S-1003NA13I-I6T1U
1.4 V ± 22 mV	S-1003NA14I-M5T1U	S-1003NA14I-I6T1U
1.5 V ± 22 mV	S-1003NA15I-M5T1U	S-1003NA15I-I6T1U
1.6 V ± 22 mV	S-1003NA16I-M5T1U	S-1003NA16I-I6T1U
1.7 V ± 22 mV	S-1003NA17I-M5T1U	S-1003NA17I-I6T1U
1.8 V ± 22 mV	S-1003NA18I-M5T1U	S-1003NA18I-I6T1U
1.9 V ± 22 mV	S-1003NA19I-M5T1U	S-1003NA19I-I6T1U
2.0 V ± 22 mV	S-1003NA20I-M5T1U	S-1003NA20I-I6T1U
2.1 V ± 22 mV	S-1003NA21I-M5T1U	S-1003NA21I-I6T1U
2.2 V ± 1.0%	S-1003NA22I-M5T1U	S-1003NA22I-I6T1U
2.3 V ± 1.0%	S-1003NA23I-M5T1U	S-1003NA23I-I6T1U
2.4 V ± 1.0%	S-1003NA24I-M5T1U	S-1003NA24I-I6T1U
2.5 V ± 1.0%	S-1003NA25I-M5T1U	S-1003NA25I-I6T1U
2.6 V ± 1.0%	S-1003NA26I-M5T1U	S-1003NA26I-I6T1U
2.7 V ± 1.0%	S-1003NA27I-M5T1U	S-1003NA27I-I6T1U
2.8 V ± 1.0%	S-1003NA28I-M5T1U	S-1003NA28I-I6T1U
2.9 V ± 1.0%	S-1003NA29I-M5T1U	S-1003NA29I-I6T1U
3.0 V ± 1.0%	S-1003NA30I-M5T1U	S-1003NA30I-I6T1U
3.1 V ± 1.0%	S-1003NA31I-M5T1U	S-1003NA31I-I6T1U
3.2 V ± 1.0%	S-1003NA32I-M5T1U	S-1003NA32I-I6T1U
3.3 V ± 1.0%	S-1003NA33I-M5T1U	S-1003NA33I-I6T1U
3.4 V ± 1.0%	S-1003NA34I-M5T1U	S-1003NA34I-I6T1U
3.5 V ± 1.0%	S-1003NA35I-M5T1U	S-1003NA35I-I6T1U
3.6 V ± 1.0%	S-1003NA36I-M5T1U	S-1003NA36I-I6T1U
3.7 V ± 1.0%	S-1003NA37I-M5T1U	S-1003NA37I-I6T1U
3.8 V ± 1.0%	S-1003NA38I-M5T1U	S-1003NA38I-I6T1U
3.9 V ± 1.0%	S-1003NA39I-M5T1U	S-1003NA39I-I6T1U
4.0 V ± 1.0%	S-1003NA40I-M5T1U	S-1003NA40I-I6T1U
4.1 V ± 1.0%	S-1003NA41I-M5T1U	S-1003NA41I-I6T1U
4.2 V ± 1.0%	S-1003NA42I-M5T1U	S-1003NA42I-I6T1U
4.3 V ± 1.0%	S-1003NA43I-M5T1U	S-1003NA43I-I6T1U
4.4 V ± 1.0%	S-1003NA44I-M5T1U	S-1003NA44I-I6T1U
4.5 V ± 1.0%	S-1003NA45I-M5T1U	S-1003NA45I-I6T1U
4.6 V ± 1.0%	S-1003NA46I-M5T1U	S-1003NA46I-I6T1U
4.7 V ± 1.0%	S-1003NA47I-M5T1U	S-1003NA47I-I6T1U
4.8 V ± 1.0%	S-1003NA48I-M5T1U	S-1003NA48I-I6T1U
4.9 V ± 1.0%	S-1003NA49I-M5T1U	S-1003NA49I-I6T1U
5.0 V ± 1.0%	S-1003NA50I-M5T1U	S-1003NA50I-I6T1U

4.2 S-1003シリーズNBタイプ

出力形態 : Nchオープンドレイン出力 (アクティブ "L")

MR端子論理 : アクティブ "H"

表4

検出電圧	SOT-23-5	SNT-6A
1.2 V ± 22 mV	S-1003NB12I-M5T1U	S-1003NB12I-I6T1U
1.3 V ± 22 mV	S-1003NB13I-M5T1U	S-1003NB13I-I6T1U
1.4 V ± 22 mV	S-1003NB14I-M5T1U	S-1003NB14I-I6T1U
1.5 V ± 22 mV	S-1003NB15I-M5T1U	S-1003NB15I-I6T1U
1.6 V ± 22 mV	S-1003NB16I-M5T1U	S-1003NB16I-I6T1U
1.7 V ± 22 mV	S-1003NB17I-M5T1U	S-1003NB17I-I6T1U
1.8 V ± 22 mV	S-1003NB18I-M5T1U	S-1003NB18I-I6T1U
1.9 V ± 22 mV	S-1003NB19I-M5T1U	S-1003NB19I-I6T1U
2.0 V ± 22 mV	S-1003NB20I-M5T1U	S-1003NB20I-I6T1U
2.1 V ± 22 mV	S-1003NB21I-M5T1U	S-1003NB21I-I6T1U
2.2 V ± 1.0%	S-1003NB22I-M5T1U	S-1003NB22I-I6T1U
2.3 V ± 1.0%	S-1003NB23I-M5T1U	S-1003NB23I-I6T1U
2.4 V ± 1.0%	S-1003NB24I-M5T1U	S-1003NB24I-I6T1U
2.5 V ± 1.0%	S-1003NB25I-M5T1U	S-1003NB25I-I6T1U
2.6 V ± 1.0%	S-1003NB26I-M5T1U	S-1003NB26I-I6T1U
2.7 V ± 1.0%	S-1003NB27I-M5T1U	S-1003NB27I-I6T1U
2.8 V ± 1.0%	S-1003NB28I-M5T1U	S-1003NB28I-I6T1U
2.9 V ± 1.0%	S-1003NB29I-M5T1U	S-1003NB29I-I6T1U
3.0 V ± 1.0%	S-1003NB30I-M5T1U	S-1003NB30I-I6T1U
3.1 V ± 1.0%	S-1003NB31I-M5T1U	S-1003NB31I-I6T1U
3.2 V ± 1.0%	S-1003NB32I-M5T1U	S-1003NB32I-I6T1U
3.3 V ± 1.0%	S-1003NB33I-M5T1U	S-1003NB33I-I6T1U
3.4 V ± 1.0%	S-1003NB34I-M5T1U	S-1003NB34I-I6T1U
3.5 V ± 1.0%	S-1003NB35I-M5T1U	S-1003NB35I-I6T1U
3.6 V ± 1.0%	S-1003NB36I-M5T1U	S-1003NB36I-I6T1U
3.7 V ± 1.0%	S-1003NB37I-M5T1U	S-1003NB37I-I6T1U
3.8 V ± 1.0%	S-1003NB38I-M5T1U	S-1003NB38I-I6T1U
3.9 V ± 1.0%	S-1003NB39I-M5T1U	S-1003NB39I-I6T1U
4.0 V ± 1.0%	S-1003NB40I-M5T1U	S-1003NB40I-I6T1U
4.1 V ± 1.0%	S-1003NB41I-M5T1U	S-1003NB41I-I6T1U
4.2 V ± 1.0%	S-1003NB42I-M5T1U	S-1003NB42I-I6T1U
4.3 V ± 1.0%	S-1003NB43I-M5T1U	S-1003NB43I-I6T1U
4.4 V ± 1.0%	S-1003NB44I-M5T1U	S-1003NB44I-I6T1U
4.5 V ± 1.0%	S-1003NB45I-M5T1U	S-1003NB45I-I6T1U
4.6 V ± 1.0%	S-1003NB46I-M5T1U	S-1003NB46I-I6T1U
4.7 V ± 1.0%	S-1003NB47I-M5T1U	S-1003NB47I-I6T1U
4.8 V ± 1.0%	S-1003NB48I-M5T1U	S-1003NB48I-I6T1U
4.9 V ± 1.0%	S-1003NB49I-M5T1U	S-1003NB49I-I6T1U
5.0 V ± 1.0%	S-1003NB50I-M5T1U	S-1003NB50I-I6T1U

4.3 S-1003シリーズCAタイプ

出力形態 : CMOS出力 (アクティブ "L")

MR端子論理 : アクティブ "L"

表5

検出電圧	SOT-23-5	SNT-6A
1.2 V ± 22 mV	S-1003CA12I-M5T1U	S-1003CA12I-I6T1U
1.3 V ± 22 mV	S-1003CA13I-M5T1U	S-1003CA13I-I6T1U
1.4 V ± 22 mV	S-1003CA14I-M5T1U	S-1003CA14I-I6T1U
1.5 V ± 22 mV	S-1003CA15I-M5T1U	S-1003CA15I-I6T1U
1.6 V ± 22 mV	S-1003CA16I-M5T1U	S-1003CA16I-I6T1U
1.7 V ± 22 mV	S-1003CA17I-M5T1U	S-1003CA17I-I6T1U
1.8 V ± 22 mV	S-1003CA18I-M5T1U	S-1003CA18I-I6T1U
1.9 V ± 22 mV	S-1003CA19I-M5T1U	S-1003CA19I-I6T1U
2.0 V ± 22 mV	S-1003CA20I-M5T1U	S-1003CA20I-I6T1U
2.1 V ± 22 mV	S-1003CA21I-M5T1U	S-1003CA21I-I6T1U
2.2 V ± 1.0%	S-1003CA22I-M5T1U	S-1003CA22I-I6T1U
2.3 V ± 1.0%	S-1003CA23I-M5T1U	S-1003CA23I-I6T1U
2.4 V ± 1.0%	S-1003CA24I-M5T1U	S-1003CA24I-I6T1U
2.5 V ± 1.0%	S-1003CA25I-M5T1U	S-1003CA25I-I6T1U
2.6 V ± 1.0%	S-1003CA26I-M5T1U	S-1003CA26I-I6T1U
2.7 V ± 1.0%	S-1003CA27I-M5T1U	S-1003CA27I-I6T1U
2.8 V ± 1.0%	S-1003CA28I-M5T1U	S-1003CA28I-I6T1U
2.9 V ± 1.0%	S-1003CA29I-M5T1U	S-1003CA29I-I6T1U
3.0 V ± 1.0%	S-1003CA30I-M5T1U	S-1003CA30I-I6T1U
3.1 V ± 1.0%	S-1003CA31I-M5T1U	S-1003CA31I-I6T1U
3.2 V ± 1.0%	S-1003CA32I-M5T1U	S-1003CA32I-I6T1U
3.3 V ± 1.0%	S-1003CA33I-M5T1U	S-1003CA33I-I6T1U
3.4 V ± 1.0%	S-1003CA34I-M5T1U	S-1003CA34I-I6T1U
3.5 V ± 1.0%	S-1003CA35I-M5T1U	S-1003CA35I-I6T1U
3.6 V ± 1.0%	S-1003CA36I-M5T1U	S-1003CA36I-I6T1U
3.7 V ± 1.0%	S-1003CA37I-M5T1U	S-1003CA37I-I6T1U
3.8 V ± 1.0%	S-1003CA38I-M5T1U	S-1003CA38I-I6T1U
3.9 V ± 1.0%	S-1003CA39I-M5T1U	S-1003CA39I-I6T1U
4.0 V ± 1.0%	S-1003CA40I-M5T1U	S-1003CA40I-I6T1U
4.1 V ± 1.0%	S-1003CA41I-M5T1U	S-1003CA41I-I6T1U
4.2 V ± 1.0%	S-1003CA42I-M5T1U	S-1003CA42I-I6T1U
4.3 V ± 1.0%	S-1003CA43I-M5T1U	S-1003CA43I-I6T1U
4.4 V ± 1.0%	S-1003CA44I-M5T1U	S-1003CA44I-I6T1U
4.5 V ± 1.0%	S-1003CA45I-M5T1U	S-1003CA45I-I6T1U
4.6 V ± 1.0%	S-1003CA46I-M5T1U	S-1003CA46I-I6T1U
4.7 V ± 1.0%	S-1003CA47I-M5T1U	S-1003CA47I-I6T1U
4.8 V ± 1.0%	S-1003CA48I-M5T1U	S-1003CA48I-I6T1U
4.9 V ± 1.0%	S-1003CA49I-M5T1U	S-1003CA49I-I6T1U
5.0 V ± 1.0%	S-1003CA50I-M5T1U	S-1003CA50I-I6T1U

4.4 S-1003シリーズCBタイプ

出力形態 : CMOS出力 (アクティブ "L")

MR端子論理 : アクティブ "H"

表6

検出電圧	SOT-23-5	SNT-6A
1.2 V ± 22 mV	S-1003CB12I-M5T1U	S-1003CB12I-I6T1U
1.3 V ± 22 mV	S-1003CB13I-M5T1U	S-1003CB13I-I6T1U
1.4 V ± 22 mV	S-1003CB14I-M5T1U	S-1003CB14I-I6T1U
1.5 V ± 22 mV	S-1003CB15I-M5T1U	S-1003CB15I-I6T1U
1.6 V ± 22 mV	S-1003CB16I-M5T1U	S-1003CB16I-I6T1U
1.7 V ± 22 mV	S-1003CB17I-M5T1U	S-1003CB17I-I6T1U
1.8 V ± 22 mV	S-1003CB18I-M5T1U	S-1003CB18I-I6T1U
1.9 V ± 22 mV	S-1003CB19I-M5T1U	S-1003CB19I-I6T1U
2.0 V ± 22 mV	S-1003CB20I-M5T1U	S-1003CB20I-I6T1U
2.1 V ± 22 mV	S-1003CB21I-M5T1U	S-1003CB21I-I6T1U
2.2 V ± 1.0%	S-1003CB22I-M5T1U	S-1003CB22I-I6T1U
2.3 V ± 1.0%	S-1003CB23I-M5T1U	S-1003CB23I-I6T1U
2.4 V ± 1.0%	S-1003CB24I-M5T1U	S-1003CB24I-I6T1U
2.5 V ± 1.0%	S-1003CB25I-M5T1U	S-1003CB25I-I6T1U
2.6 V ± 1.0%	S-1003CB26I-M5T1U	S-1003CB26I-I6T1U
2.7 V ± 1.0%	S-1003CB27I-M5T1U	S-1003CB27I-I6T1U
2.8 V ± 1.0%	S-1003CB28I-M5T1U	S-1003CB28I-I6T1U
2.9 V ± 1.0%	S-1003CB29I-M5T1U	S-1003CB29I-I6T1U
3.0 V ± 1.0%	S-1003CB30I-M5T1U	S-1003CB30I-I6T1U
3.1 V ± 1.0%	S-1003CB31I-M5T1U	S-1003CB31I-I6T1U
3.2 V ± 1.0%	S-1003CB32I-M5T1U	S-1003CB32I-I6T1U
3.3 V ± 1.0%	S-1003CB33I-M5T1U	S-1003CB33I-I6T1U
3.4 V ± 1.0%	S-1003CB34I-M5T1U	S-1003CB34I-I6T1U
3.5 V ± 1.0%	S-1003CB35I-M5T1U	S-1003CB35I-I6T1U
3.6 V ± 1.0%	S-1003CB36I-M5T1U	S-1003CB36I-I6T1U
3.7 V ± 1.0%	S-1003CB37I-M5T1U	S-1003CB37I-I6T1U
3.8 V ± 1.0%	S-1003CB38I-M5T1U	S-1003CB38I-I6T1U
3.9 V ± 1.0%	S-1003CB39I-M5T1U	S-1003CB39I-I6T1U
4.0 V ± 1.0%	S-1003CB40I-M5T1U	S-1003CB40I-I6T1U
4.1 V ± 1.0%	S-1003CB41I-M5T1U	S-1003CB41I-I6T1U
4.2 V ± 1.0%	S-1003CB42I-M5T1U	S-1003CB42I-I6T1U
4.3 V ± 1.0%	S-1003CB43I-M5T1U	S-1003CB43I-I6T1U
4.4 V ± 1.0%	S-1003CB44I-M5T1U	S-1003CB44I-I6T1U
4.5 V ± 1.0%	S-1003CB45I-M5T1U	S-1003CB45I-I6T1U
4.6 V ± 1.0%	S-1003CB46I-M5T1U	S-1003CB46I-I6T1U
4.7 V ± 1.0%	S-1003CB47I-M5T1U	S-1003CB47I-I6T1U
4.8 V ± 1.0%	S-1003CB48I-M5T1U	S-1003CB48I-I6T1U
4.9 V ± 1.0%	S-1003CB49I-M5T1U	S-1003CB49I-I6T1U
5.0 V ± 1.0%	S-1003CB50I-M5T1U	S-1003CB50I-I6T1U

■ ピン配置図

1. SOT-23-5

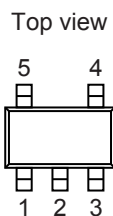


図5

表7

端子番号	端子記号	端子内容
1	CD	遅延用コンデンサ接続端子
2	VSS	GND端子
3	MR	マニュアルリセット端子
4	OUT	電圧検出出力端子
5	VDD	電圧入力端子

2. SNT-6A

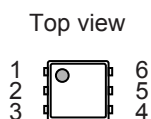


図6

表8

端子番号	端子記号	端子内容
1	CD	遅延用コンデンサ接続端子
2	VDD	電圧入力端子
3	OUT	電圧検出出力端子
4	MR	マニュアルリセット端子
5	NC ^{*1}	無接続
6	VSS	GND端子

*1. NCは電氣的にオープンを示します。
そのため、VDD端子またはVSS端子に接続しても問題ありません。

■ 絶対最大定格

表9

(特記なき場合 : Ta = +25°C)

項目	記号	絶対最大定格	単位
電源電圧	$V_{DD} - V_{SS}$	12.0	V
CD端子入力電圧	V_{CD}	$V_{SS} - 0.3 \sim V_{DD} + 0.3$	V
MR端子入力電圧	V_{MR}	$V_{SS} - 0.3 \sim V_{DD} + 0.3$	V
出力電圧	Nchオープンドレイン出力品	$V_{SS} - 0.3 \sim 12.0$	V
	CMOS出力品	$V_{SS} - 0.3 \sim V_{DD} + 0.3$	V
出力電流	I_{OUT}	50	mA
許容損失	SOT-23-5	600^{*1}	mW
	SNT-6A	400^{*1}	mW
動作周囲温度	T_{opr}	-40 ~ +85	°C
保存温度	T_{stg}	-40 ~ +125	°C

*1. 基板実装時

[実装基板]

- (1) 基板サイズ : 114.3 mm × 76.2 mm × t1.6 mm
- (2) 名称 : JEDEC STANDARD51-7

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

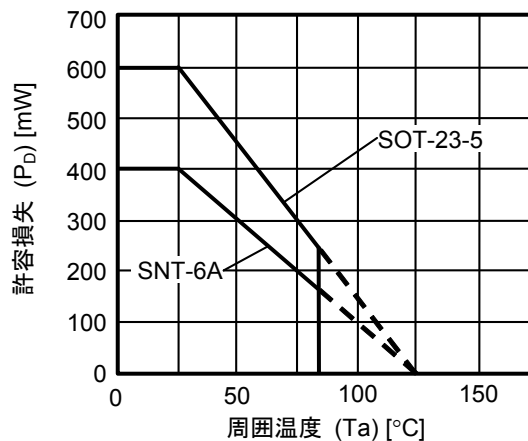


図7 パッケージ許容損失 (基板実装時)

■ 電気的特性

1. Nchオープンドレイン出力品

表10

(特記なき場合 : Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路	
検出電圧*1	-V _{DET}	1.2 V ≤ -V _{DET} < 2.2 V	-V _{DET(S)} - 0.022	-V _{DET(S)}	-V _{DET(S)} + 0.022	V	1	
		2.2 V ≤ -V _{DET} ≤ 5.0 V	-V _{DET(S)} × 0.99	-V _{DET(S)}	-V _{DET(S)} × 1.01	V	1	
ヒステリシス幅	V _{HYS}	-	-V _{DET} × 0.03	-V _{DET} × 0.05	-V _{DET} × 0.07	V	1	
消費電流	I _{SS}	V _{DD} = -V _{DET(S)} + 1.0 V	-	0.50	0.90	μA	2	
動作電圧	V _{DD}	-	0.95	-	10.0	V	1	
出力電流	I _{OUT}	出力トランジスタ						
		Nch	V _{DD} = 0.95 V	0.59	1.00	-	mA	3
		V _{DS} *2 = 0.5 V	V _{DD} = 1.2 V	0.73	1.33	-	mA	3
		MR端子アクティブ	V _{DD} = 2.4 V	1.47	2.39	-	mA	3
			V _{DD} = 4.8 V	1.86	2.50	-	mA	3
リーク電流	I _{LEAK}	出力トランジスタ Nch V _{DD} = 10.0 V, V _{OUT} = 10.0 V MR端子非アクティブ	-	-	0.08	μA	3	
遅延時間*3	t _D	C _D = 4.7 nF	8.5	10.0	11.5	ms	4	
検出電圧温度係数*4	$\frac{\Delta - V_{DET}}{\Delta Ta \cdot -V_{DET}}$	Ta = -40°C ~ +85°C	-	±100	±350	ppm/°C	1	
MR端子入力電圧 "H"	V _{MRH}	NAタイプ (MR端子論理アクティブ "L")	V _{DD} - 0.3	-	-	V	6	
		NBタイプ (MR端子論理アクティブ "H")	1.2	-	-	V	6	
MR端子入力電圧 "L"	V _{MRL}	NAタイプ (MR端子論理アクティブ "L")	-	-	V _{DD} - 1.2	V	6	
		NBタイプ (MR端子論理アクティブ "H")	-	-	0.3	V	6	
MR端子入力抵抗	R _{MR}	-	0.5	1.0	1.6	MΩ	6	

*1. -V_{DET} : 実際の検出電圧値、-V_{DET(S)} : 設定検出電圧値 (表3、表4の検出電圧範囲の中心値)

*2. V_{DS} : 出力トランジスタのドレイン-ソース間電圧

*3. 出力端子を100 kΩの抵抗でV_{DD}にプルアップし、V_{DD}端子に0.95 V → -V_{DET(S)} + 1.0 Vのパルス電圧を印加してから、V_{OUT}がV_{DD} × 0.9に達するまでの時間です。

*4. 検出電圧の温度変化 [mV/°C] は下式にて算出されます。

$$\frac{\Delta - V_{DET}}{\Delta Ta} [mV/°C]^*1 = -V_{DET(S)} [V]^*2 \times \frac{\Delta - V_{DET}}{\Delta Ta \cdot -V_{DET}} [ppm/°C]^*3 \div 1000$$

*1. 検出電圧の温度変化

*2. 設定検出電圧値

*3. 上記の検出電圧温度係数

2. CMOS出力品

表11

(特記なき場合 : Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路	
検出電圧 ^{*1}	-V _{DET}	1.2 V ≤ -V _{DET} < 2.2 V	-V _{DET(S)} - 0.022	-V _{DET(S)}	-V _{DET(S)} + 0.022	V	1	
		2.2 V ≤ -V _{DET} ≤ 5.0 V	-V _{DET(S)} × 0.99	-V _{DET(S)}	-V _{DET(S)} × 1.01	V	1	
ヒステリシス幅	V _{HYS}	-	-V _{DET} × 0.03	-V _{DET} × 0.05	-V _{DET} × 0.07	V	1	
消費電流	I _{SS}	V _{DD} = -V _{DET(S)} + 1.0 V	-	0.50	0.90	μA	2	
動作電圧	V _{DD}	-	0.95	-	10.0	V	1	
出力電流	I _{OUT}	出力トランジスタ Nch V _{DS} ^{*2} = 0.5 V MR端子アクティブ	V _{DD} = 0.95 V	0.59	1.00	-	mA	3
			V _{DD} = 1.2 V	0.73	1.33	-	mA	3
			V _{DD} = 2.4 V	1.47	2.39	-	mA	3
		出力トランジスタ Pch V _{DS} ^{*2} = 0.5 V	V _{DD} = 4.8 V	1.86	2.50	-	mA	3
			V _{DD} = 4.8 V S-1003Cx12 ~ 43	1.62	2.60	-	mA	5
			V _{DD} = 6.0 V	1.78	2.86	-	mA	5
遅延時間 ^{*3}	t _D	C _D = 4.7 nF	8.5	10.0	11.5	ms	4	
検出電圧温度係数 ^{*4}	$\frac{\Delta - V_{DET}}{\Delta Ta \cdot -V_{DET}}$	Ta = -40°C ~ +85°C	-	±100	±350	ppm/°C	1	
MR端子入力電圧 "H"	V _{MRH}	CAタイプ (MR端子論理アクティブ "L")	V _{DD} - 0.3	-	-	V	6	
		CBタイプ (MR端子論理アクティブ "H")	1.2	-	-	V	6	
MR端子入力電圧 "L"	V _{MRL}	CAタイプ (MR端子論理アクティブ "L")	-	-	V _{DD} - 1.2	V	6	
		CBタイプ (MR端子論理アクティブ "H")	-	-	0.3	V	6	
MR端子入力抵抗	R _{MR}	-	0.5	1.0	1.6	MΩ	6	

*1. -V_{DET} : 実際の検出電圧値、-V_{DET(S)} : 設定検出電圧値 (表5、表6の検出電圧範囲の中心値)

*2. V_{DS} : 出力トランジスタのドレイン-ソース間電圧

*3. V_{DD}端子に0.95 V → -V_{DET(S)} + 1.0 Vのパルス電圧を印加してから、V_{OUT}がV_{DD} × 0.9に達するまでの時間です。

*4. 検出電圧の温度変化 [mV/°C] は下式にて算出されます。

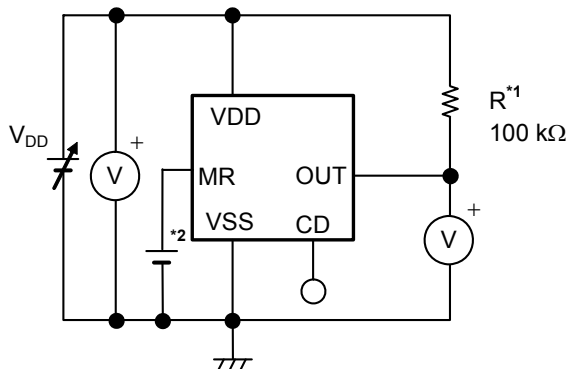
$$\frac{\Delta - V_{DET}}{\Delta Ta} [mV/°C]^*1 = -V_{DET(S)} (typ.) [V]^*2 \times \frac{\Delta - V_{DET}}{\Delta Ta \cdot -V_{DET}} [ppm/°C]^*3 \div 1000$$

*1. 検出電圧の温度変化

*2. 設定検出電圧値

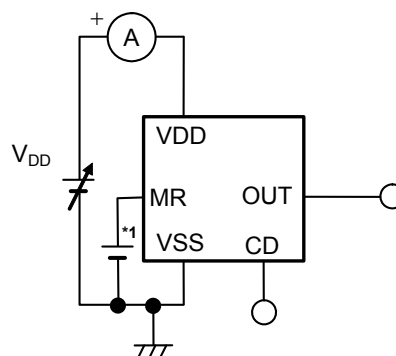
*3. 上記の検出電圧温度係数

■ 測定回路



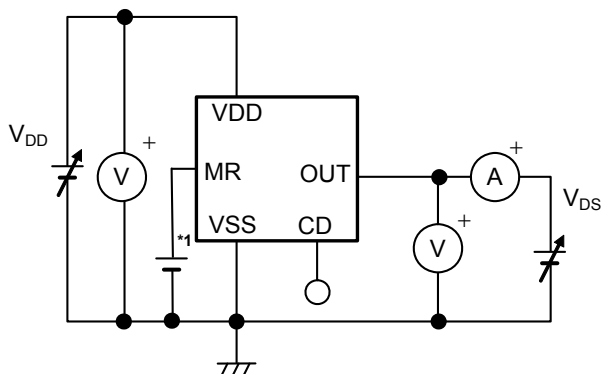
- *1. CMOS出力品の場合、Rは不要です。
- *2. V_{DD} or GND (MR端子非アクティブ) に設定。

図8 測定回路1



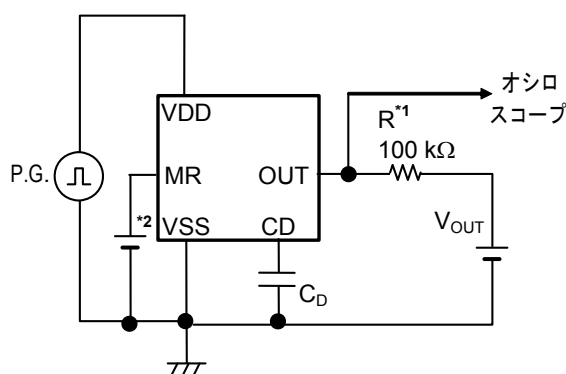
- *1. V_{DD} or GND (MR端子非アクティブ) に設定。

図9 測定回路2



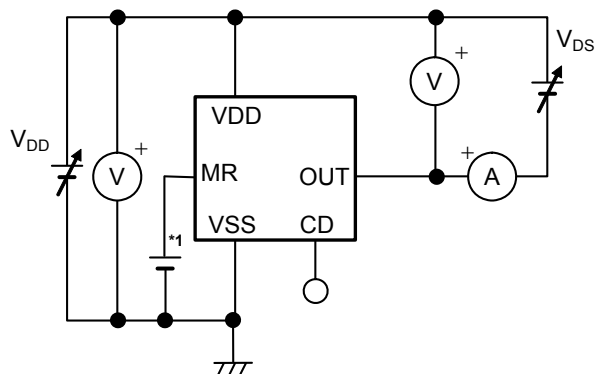
- *1. V_{DD} or GNDに設定。

図10 測定回路3



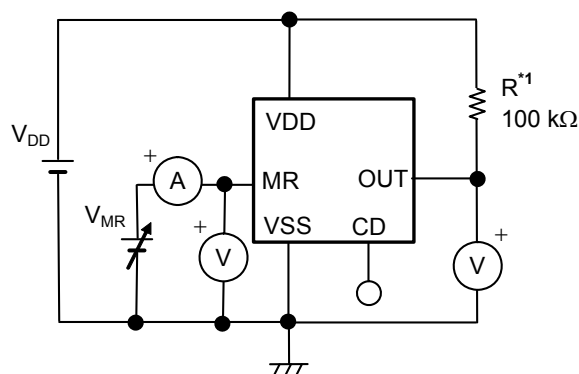
- *1. CMOS出力品の場合、Rは不要です。
- *2. V_{DD} or GND (MR端子非アクティブ) に設定。

図11 測定回路4



- *1. V_{DD} or GND (MR端子非アクティブ) に設定。

図12 測定回路5

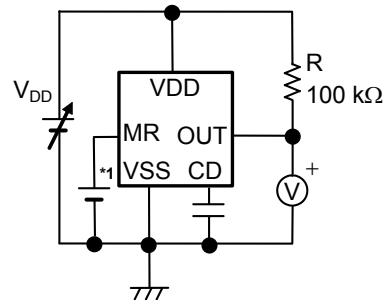
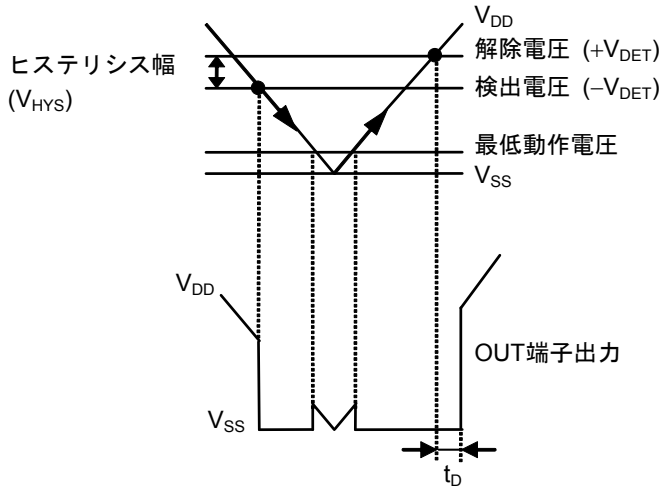


- *1. CMOS出力品の場合、Rは不要です。

図13 測定回路6

■ タイミングチャート

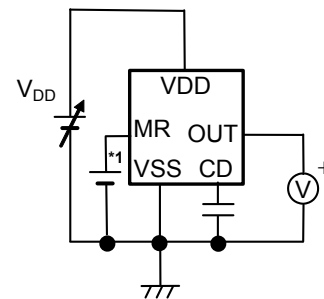
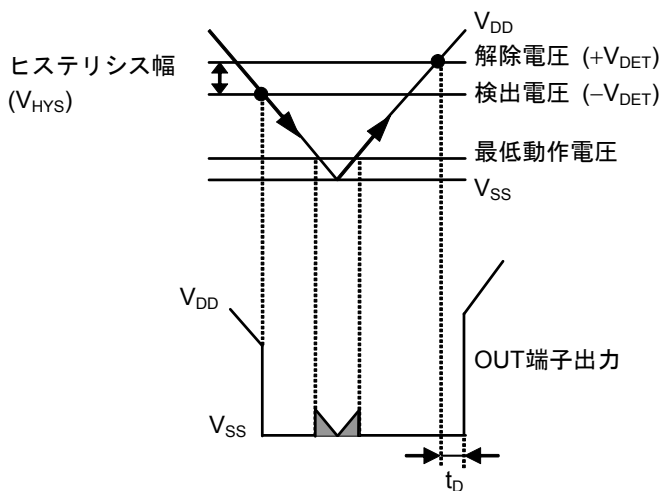
1. Nchオープンドレイン出力品



*1. V_{DD} or GND (MR端子非アクティブ) に設定。

図14

2. CMOS出力品



*1. V_{DD} or GND (MR端子非アクティブ) に設定。

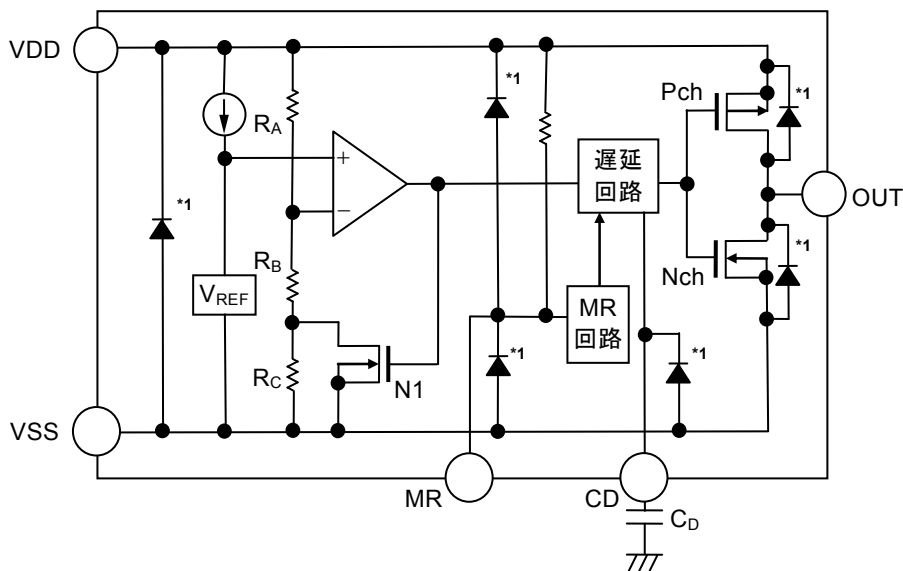
備考 V_{DD} が最低動作電圧以下のとき、OUT端子出力電圧は、塗りつぶし内で不定となります。

図15

■ 動作説明

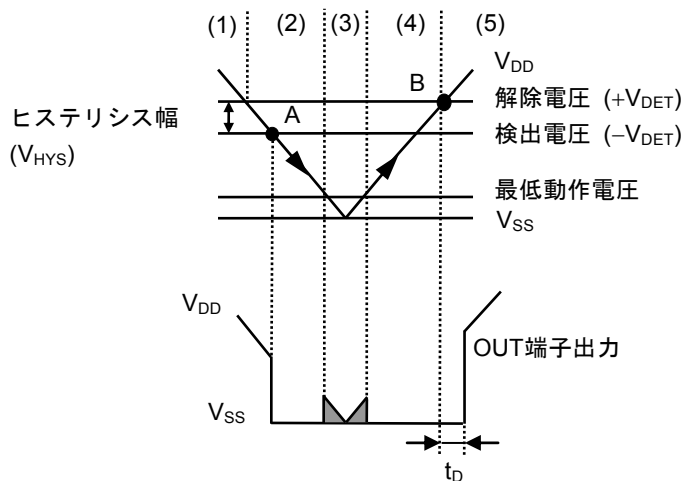
1. 基本動作 : CMOS出力 (アクティブ "L") 品

- (1) 電源電圧 (V_{DD}) が解除電圧 ($+V_{DET}$) 以上では、Nchトランジスタはオフ、Pchトランジスタはオンになり V_{DD} が出力 ("H" が出力) されます。このとき図16のNchトランジスタN1はオフ状態で、コンパレータへの入力電圧は $\frac{(R_B + R_C) \cdot V_{DD}}{R_A + R_B + R_C}$ になります。
- (2) V_{DD} が低下し $+V_{DET}$ 以下になっても、検出電圧 ($-V_{DET}$) より高ければ V_{DD} が出力されます。 V_{DD} が $-V_{DET}$ (図17のA点) 以下になると出力段のNchトランジスタはオン、Pchトランジスタはオフになり、 V_{SS} が出力 ("L" が出力) されます。このとき図16のNchトランジスタN1はオンになり、コンパレータへの入力電圧は $\frac{R_B \cdot V_{DD}}{R_A + R_B}$ になります。
- (3) V_{DD} がより低下し、ICの最低動作電圧以下になると出力は不定になり、出力がプルアップされている場合、出力は V_{DD} になります。
- (4) V_{DD} を最低動作電圧以上に上昇させると V_{SS} が出力されます。また、 V_{DD} が $-V_{DET}$ を越えても $+V_{DET}$ 未満の場合には出力は V_{SS} になります。
- (5) さらに V_{DD} を上昇させ $+V_{DET}$ (図17のB点) 以上になるとNchトランジスタはオフ、Pchトランジスタはオンになり V_{DD} が出力されます。このとき、遅延時間 (t_d) が経過した後、OUT端子から V_{DD} が出力されます。



*1. 寄生ダイオード

図16 動作説明図1



備考 V_{DD} が最低動作電圧以下のとき、OUT端子出力電圧は、塗りつぶし内で不定となります。

図17 動作説明図2

2. マニュアルリセット機能

MR端子入力電圧 (V_{MR}) によって、OUT端子電圧を強制的に検出状態に切り換えることができます。
マニュアルリセット機能を使用しない場合、S-1003シリーズxAタイプは $V_{MR} = V_{DD}$ 、S-1003シリーズxBタイプは $V_{MR} = V_{SS}$ に設定してください。

注意 MR端子をオープンにして使用する場合は、実機にて十分な評価を行ってください。MR端子の寄生容量によって電源変動時にマニュアルリセット機能が誤作動する可能性があります。

2.1 S-1003シリーズxAタイプ (MR端子論理アクティブ "L")

(1) MR端子 = "L"

VDD端子電圧が解除電圧 ($+V_{DET}$) 以上のとき、MR端子にMR端子入力電圧 "L" (V_{MRL}) 以下の電圧を印加すると、OUT端子は直ちに解除状態から検出状態に切り換わります。

(2) MR端子 = "H"

MR端子にMR端子入力電圧 "H" (V_{MRH}) 以上の電圧を印加すると、VDD端子電圧によってOUT端子の出力が "H" または "L" に決定されます。

遅延時間 (t_D) 経過後、OUT端子は検出状態から解除状態に切り換わります。

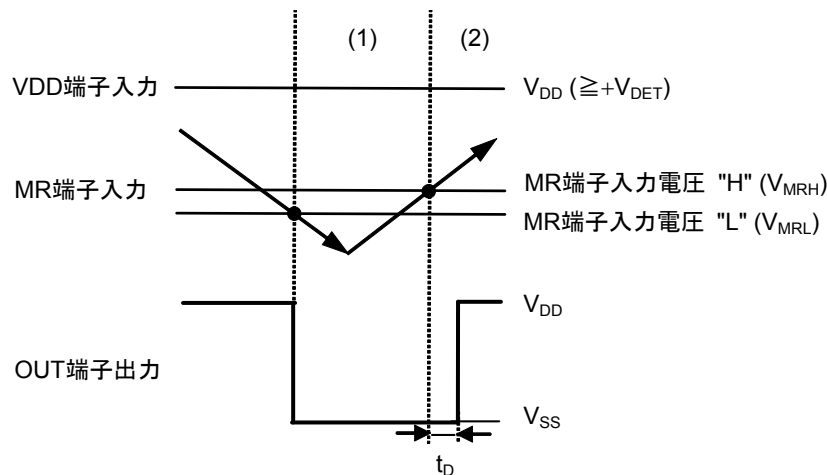
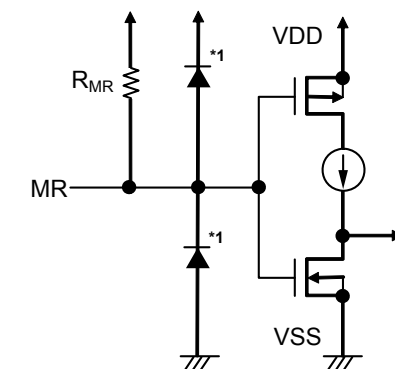


図18 MR端子論理アクティブ "L" のタイミングチャート

備考 MR端子が内部でVDD端子にプルアップされているため、フローティング状態のときVDD端子電圧によってOUT端子の出力が "H" または "L" に決定されます (図19参照)。



*1. 寄生ダイオード

図19

2.2 S-1003シリーズxBタイプ (MR端子論理アクティブ "H")

(1) MR端子 = "H"

VDD端子電圧が解除電圧 ($+V_{DET}$) 以上のとき、MR端子にMR端子入力電圧 "H" (V_{MRH}) 以上の電圧を印加すると、OUT端子は直ちに解除状態から検出状態に切り換わります。

(2) MR端子 = "L"

MR端子にMR端子入力電圧 "L" (V_{MRL}) 以下の電圧を印加すると、VDD端子電圧によってOUT端子の出力が "H" または "L" に決定されます。

遅延時間 (t_D) 経過後、OUT端子は検出状態から解除状態に切り換わります。

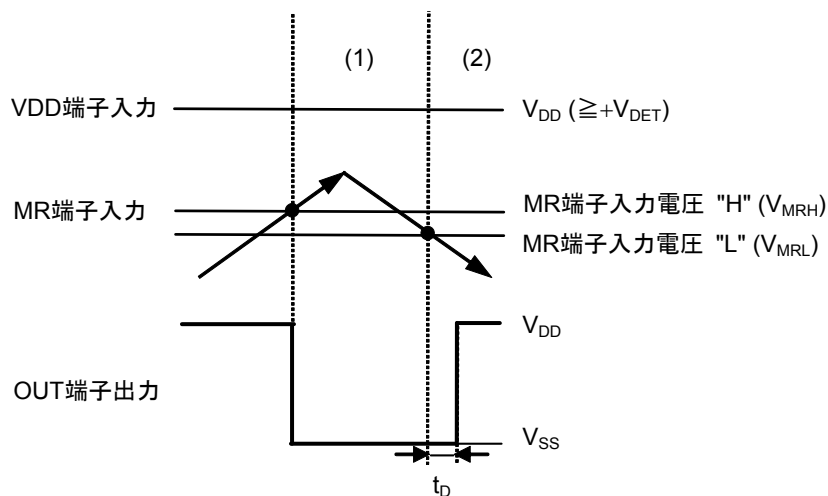
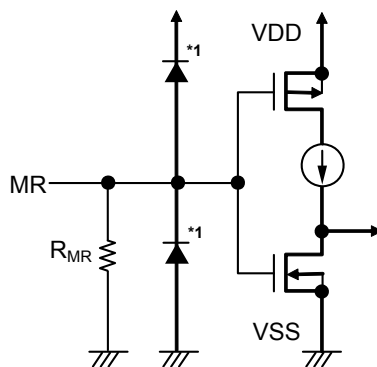


図20 MR端子論理アクティブ "H" のタイミングチャート

備考 MR端子が内部でVSS端子にプルダウンされているため、フローティング状態のときVDD端子電圧によってOUT端子の出力が "H" または "L" に決定されます (図21参照)。



*1. 寄生ダイオード

図21

2.3 マニュアルリセット機能の注意事項

2.3.1 マニュアルリセット機能切り換え時のスルーレート

MR端子入力電圧 "L" (V_{MRL}) とMR端子入力電圧 "H" (V_{MRH}) にはヒステリシス幅がありますが、MR端子電圧を切り換える際にスルーレート (図22、図23参照) が低いとICが誤動作する可能性がありますので注意してください。スルーレートは下記の式で算出されます。

$$\text{スルーレート} = \frac{V_{MRH} - V_{MRL}}{\Delta t}$$

(1) MR端子論理がアクティブ "L" の場合

電源 - VDD端子間の寄生抵抗 (R_P) が高いと、OUT端子電圧が発振する恐れがあります。

- ・ $R_P \geq 8 \text{ k}\Omega$ の場合 : VDD端子 - VSS端子に1 nF以上のコンデンサを接続してください。
- ・ $5 \text{ k}\Omega \leq R_P < 8 \text{ k}\Omega$ の場合 : スルーレートが100 V/s以上であれば、コンデンサは不要です。
- ・ $R_P < 5 \text{ k}\Omega$ の場合 : スルーレートが1 V/s以上であれば、コンデンサは不要です。

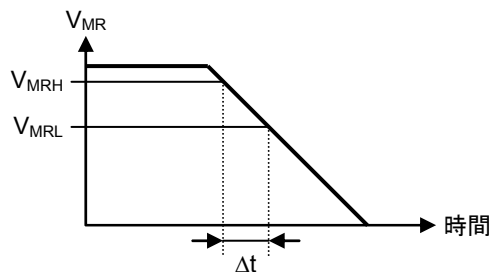


図22

(2) MR端子論理がアクティブ "H" の場合

CD端子に100 pF以上のコンデンサを接続し、スルーレートを20 V/s以上に設定してください。

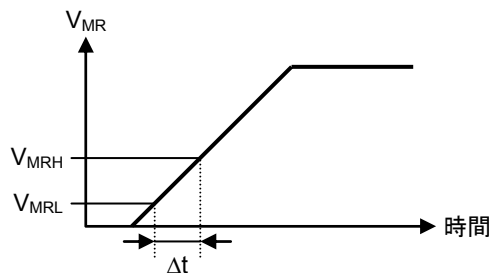


図23

2.4 電源電圧 (V_{DD}) とVDD端子間に抵抗 (R_A) を接続する場合

MR端子電圧 (V_{MR}) が中間電位 (特にV_{MR}L < V_{MR} < V_{MR}H) のとき、消費電流が25 μA max.増加します。この電流がR_Aに流れるため電圧降下が発生します。これによりVDD端子電圧 (V_{IN}) が検出電圧 (-V_{DET}) 以下になると、OUT端子が検出状態に切り換わり、検出状態もしくは解除状態はV_{MR}によって制御されません。V_{DD}を上昇させない限り、OUT端子は解除状態に切り換えられなくなることがあります (図24参照)。

(1) MR端子論理がアクティブ "L" の場合

V_{IN} > V_{MR}の場合、MR端子入力抵抗 (R_{MR}) にも電流が流れます。例えば、V_{IN} = 10 V、V_{MR} = 1 V、R_{MR} = 0.5 MΩ (min.) のとき、VDD端子からMR端子には18 μAの電流が流れます。そのため、R_Aは下記の式を満たすように設定してください。

$$R_A \leq (V_{DD} - (-V_{DET})) / (25 \mu A + \text{MR端子電流})$$

(2) MR端子論理がアクティブ "H" の場合

R_Aは下記の式を満たすように設定してください。

$$R_A \leq (V_{DD} - (-V_{DET})) / 25 \mu A$$

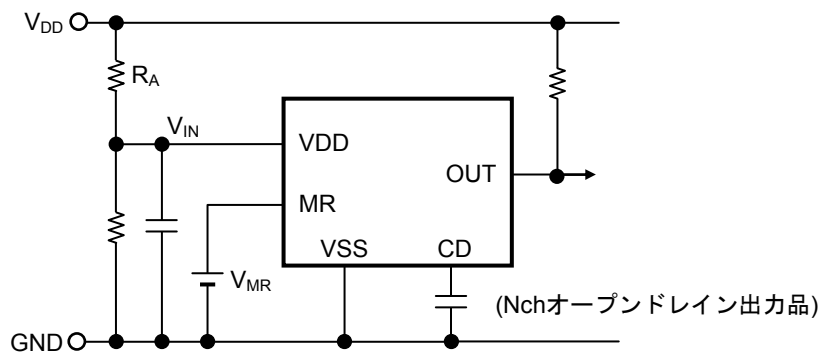


図24

3. 遅延回路

遅延回路は電源電圧 (V_{DD}) が立ち上がったときに、 V_{DD} の電圧が解除電圧 ($+V_{DET}$) になったときより遅らせて出力信号をOUT端子に出力させます。また、 V_{DD} が検出電圧 ($-V_{DET}$) 以下に下がったときは、出力信号は遅延しません ("図17 動作説明図2" 参照)。

遅延時間 (t_D) は、内蔵定電流 (約100 nA) と遅延用コンデンサ (C_D) の時定数、およびCD端子がオープンの際の遅延時間 (t_{D0}) で決まり、次式で算出されます。 C_D の値が十分大きい場合には、 t_{D0} の値は無視できます。

$$t_D [\text{ms}] = \text{遅延係数} \times C_D [\text{nF}] + t_{D0} [\text{ms}]$$

表12 遅延係数

動作温度	遅延係数		
	Min.	Typ.	Max.
Ta = +85°C	1.60	1.89	2.13
Ta = +25°C	1.78	2.05	2.30
Ta = -40°C	2.01	2.31	2.71

表13 遅延時間

動作温度	遅延時間 (t_{D0})		
	Min.	Typ.	Max.
Ta = -40°C ~ +85°C	0.021 ms	0.044 ms	0.147 ms

注意1. CD端子がオープンの際は、解除時に図25のようなダブルパルスが出る場合があります。ダブルパルスが問題となる場合には、CD端子に100 pF以上の容量を付けて使用してください。また、外部からCD端子に電圧を印加しないでください。

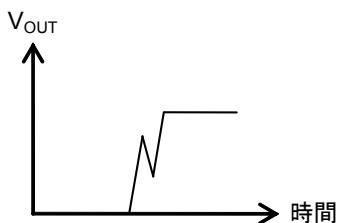


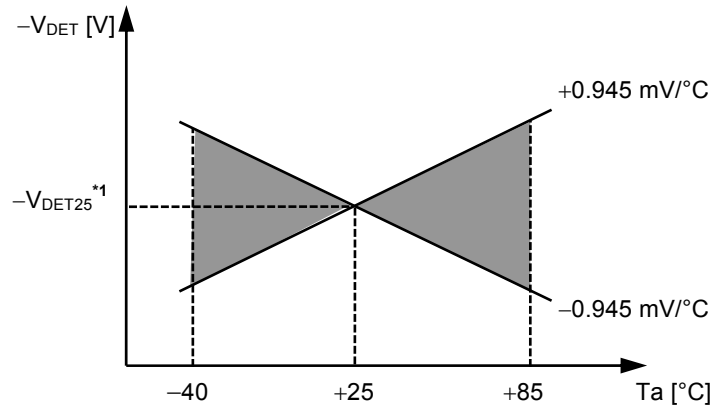
図25

2. CD端子のインピーダンスは高いので、この端子に外部より電流が流れ込んだり、また流れ出したりしないように実装基板をレイアウトしてください (正確な遅延時間が得られないことがあります)。
3. C_D はコンデンサ自身のリーク電流が内蔵定電流値に対して無視できるものを選べば容量値に制限はありません。リーク電流があると、遅延時間に誤差がでてきます。また、内蔵定電流以上のリーク電流があると解除しなくなります。

4. その他の特性

4.1 検出電圧の温度特性

検出電圧の温度特性は、動作温度範囲内において図26に示す斜線部の範囲をとります。



*1. $-V_{DET25}$ は $T_a = +25^\circ\text{C}$ での検出電圧値

図26 検出電圧の温度特性 ($-V_{DET} = 2.7\text{ V}$ の例)

4.2 解除電圧の温度特性

解除電圧の温度変化 $\frac{\Delta + V_{DET}}{\Delta T_a}$ は、検出電圧の温度変化 $\frac{\Delta - V_{DET}}{\Delta T_a}$ を用いて次式で算出されます。

$$\frac{\Delta + V_{DET}}{\Delta T_a} = \frac{+V_{DET}}{-V_{DET}} \times \frac{\Delta - V_{DET}}{\Delta T_a}$$

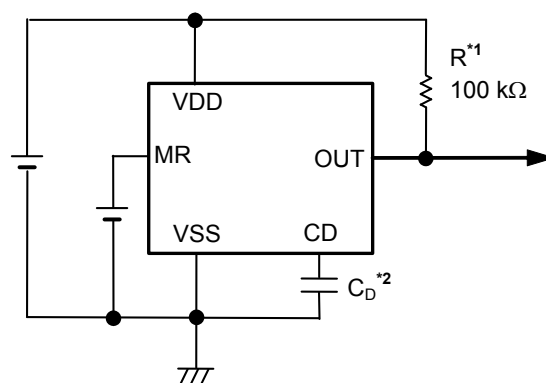
したがって、解除電圧の温度変化は、検出電圧の温度変化と同符号の特性となります。

4.3 ヒステリシス電圧の温度特性

ヒステリシス電圧の温度変化は $\frac{\Delta + V_{DET}}{\Delta T_a} - \frac{\Delta - V_{DET}}{\Delta T_a}$ となり、次式で算出されます。

$$\frac{\Delta + V_{DET}}{\Delta T_a} - \frac{\Delta - V_{DET}}{\Delta T_a} = \frac{V_{HYS}}{-V_{DET}} \times \frac{\Delta - V_{DET}}{\Delta T_a}$$

■ 標準回路



- *1. CMOS出力品の場合、Rは不要です。
- *2. 遅延用コンデンサ (C_D) は、CD端子とVSS端子に直接接続してください。

図27

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

■ 用語の説明

1. 検出電圧 ($-V_{DET}$)

検出電圧とは、**図30**の出力が "L" に切り換わる電圧です。この検出電圧は同じ製品であっても多少のバラツキがあり、そのバラツキによる検出電圧の最小値 ($-V_{DET \text{ min.}}$) から最大値 ($-V_{DET \text{ max.}}$) までを検出電圧範囲といいます (**図28**参照)。

例：S-1003Cx15の場合、検出電圧は $1.478 \text{ V} \leq -V_{DET} \leq 1.522 \text{ V}$ の範囲内の一点です。
つまり $-V_{DET} = 1.478 \text{ V}$ の製品もあれば、 $-V_{DET} = 1.522 \text{ V}$ の製品も存在します。

2. 解除電圧 ($+V_{DET}$)

解除電圧とは、**図30**の出力が "H" に切り換わる電圧です。この解除電圧は同じ製品であっても多少のバラツキがあり、そのバラツキによる解除電圧の最小値 ($+V_{DET \text{ min.}}$) から最大値 ($+V_{DET \text{ max.}}$) までを解除電圧範囲といいます (**図29**参照)。この値は製品の実際の検出電圧 ($-V_{DET}$) からもとめられ、 $-V_{DET} \times 1.03 \leq +V_{DET} \leq -V_{DET} \times 1.07$ の範囲内となります。

例：S-1003Cx15の場合、解除電圧は $1.522 \text{ V} \leq +V_{DET} \leq 1.629 \text{ V}$ の範囲内の一点です。
つまり $+V_{DET} = 1.522 \text{ V}$ の製品もあれば、 $+V_{DET} = 1.629 \text{ V}$ の製品も存在します。

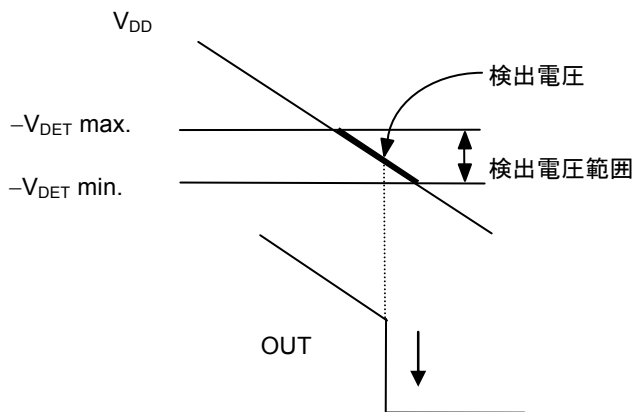


図28 検出電圧

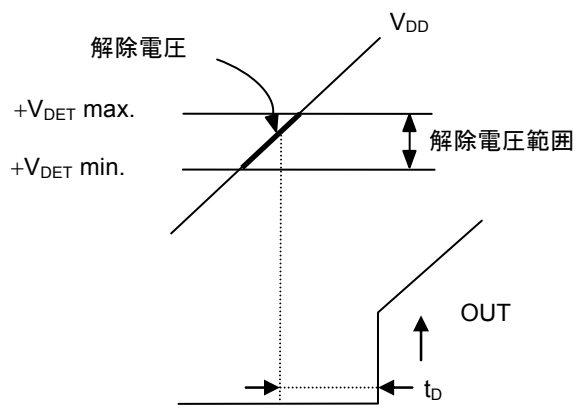
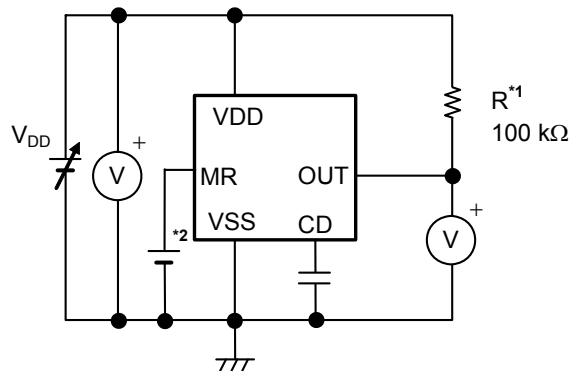


図29 解除電圧



- *1. CMOS出力品の場合、Rは不要です。
- *2. V_{DD} or GND (MR端子非アクティブ) に設定。

図30 検出電圧、解除電圧の測定回路

3. ヒステリシス幅 (V_{HYS})

ヒステリシス幅とは、検出電圧と解除電圧との電圧差 ("図17 動作説明図2" におけるB点の電圧 - A点の電圧 = V_{HYS}) を表しています。検出電圧と解除電圧との間にヒステリシス幅をもたせることにより、入力電圧にノイズ等が乗るときに生じる誤動作を防止できます。

4. 遅延時間 (t_D)

V_{DD} 端子への入力電圧が、解除電圧値 ($+V_{DET}$) を越えてから実際にOUT端子の出力が反転するまでの時間を遅延時間と言い、この値は遅延用コンデンサ (C_D) の容量値で変更可能です。

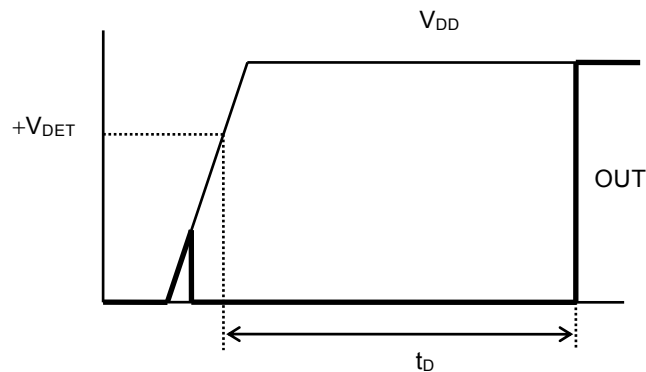


図31 遅延時間

5. 貫通電流

貫通電流とは、電圧検出器の検出および解除時に瞬間的に流れる電流です。この貫通電流は、出力形態がCMOS出力品で大きく、Nchオープンドレイン出力品でも若干流れます。

6. 発振

入力側に抵抗を接続するアプリケーション (図32) では、たとえばCMOS出力 (アクティブ "L") 品の場合、出力が "L" → "H" に切り換わるとき (解除時) に流れる貫通電流により、[貫通電流] × [入力抵抗] の分だけ電圧降下が生じます。入力電圧が下がり検出電圧を下回ると、出力は "H" → "L" に切り換わり、出力が "L" になると、貫通電流が流れていないため、電圧降下がなくなり、出力が "L" → "H" に切り換わり、出力が "H" になると再び貫通電流が流れ、電圧降下が生じます。これを繰り返したのが発振です。

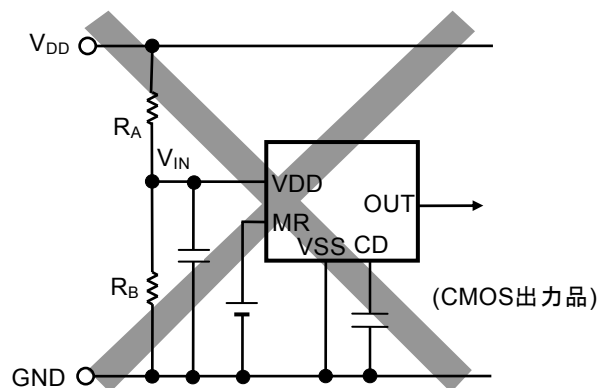


図32 検出電圧変更回路不良事例

■ 注意事項

- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ CMOS出力品では検出および解除時に貫通電流が流れます。このため、入力を高インピーダンスにすると、解除時の貫通電流による電圧降下によって発振することがあります。
- ・ CMOS出力品において、プルダウン抵抗を接続し、かつ電源電圧 (V_{DD}) の立ち下がり時間が検出電圧付近において緩やかである場合には、発振する可能性があります。
- ・ 本資料に掲載の応用回路を量産設計に用いる場合は、部品の偏差、温度特性に注意してください。また、掲載回路に関する特許については、弊社ではその責を負いかねます。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。
- ・ 図33で示すように、Nchオープンドレイン出力品において入力抵抗 (R_A) を接続する場合、発振対策のため $R_A \leq 100 \text{ k}\Omega$ に設定してください。また、ヒステリシス幅が下式のとおり上昇する可能性がありますので注意してください。

$$\text{最大ヒステリシス幅} = V_{HYS} + R_A \cdot 20\mu\text{A}$$

- ・ マニュアルリセット機能を使用する場合、"■ 動作説明"、"2.4 電源電圧 (V_{DD}) とVDD端子間に抵抗 (R_A) を接続する場合" を参照の上、定数を設定してください。

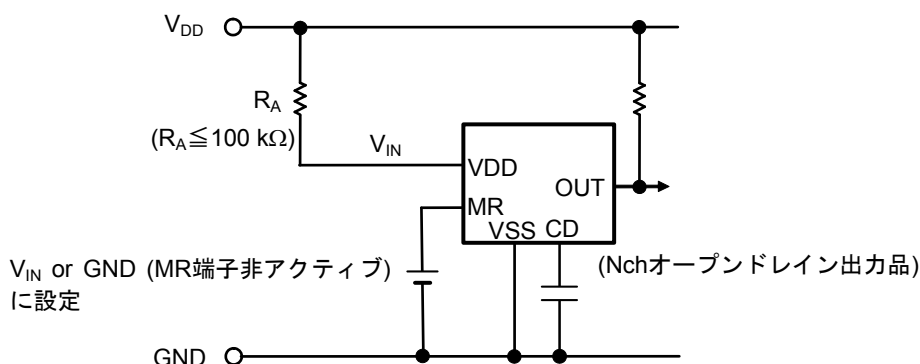


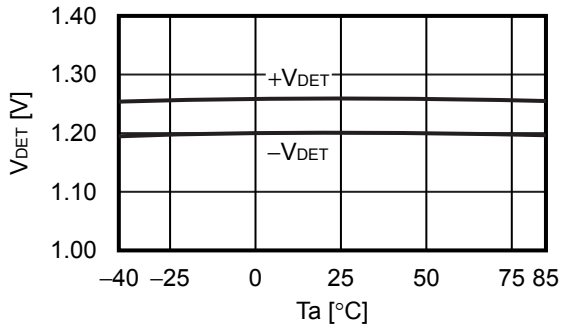
図33

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

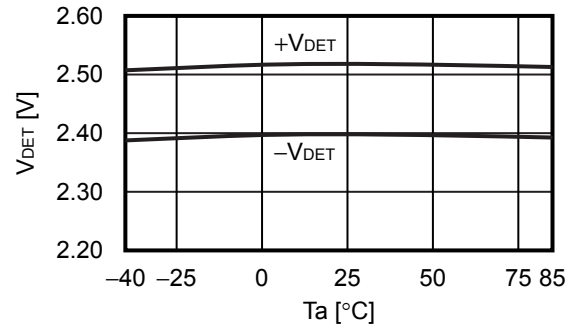
■ 諸特性データ (Typicalデータ)

1. 検出電圧 (V_{DET}) - 温度 (T_a)

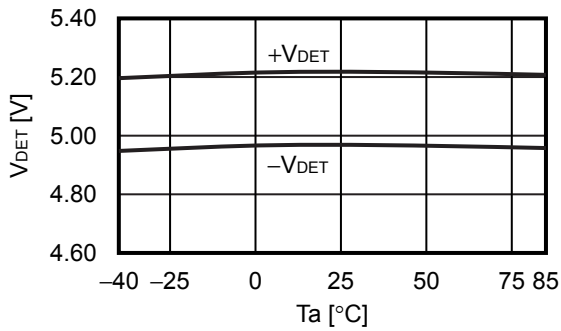
S-1003CA12



S-1003CA24

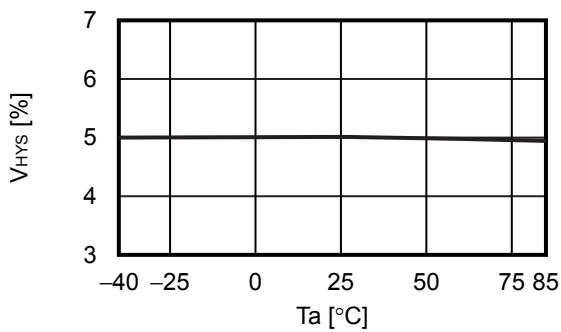


S-1003CA50

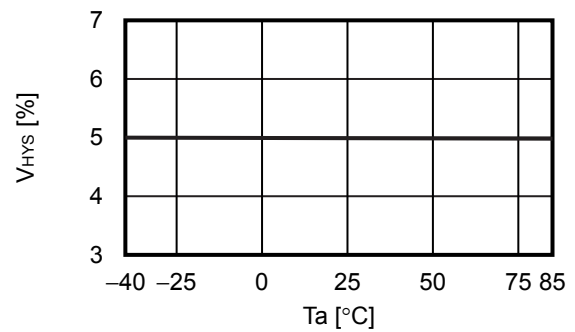


2. ヒステリシス幅 (V_{HYS}) - 温度 (T_a)

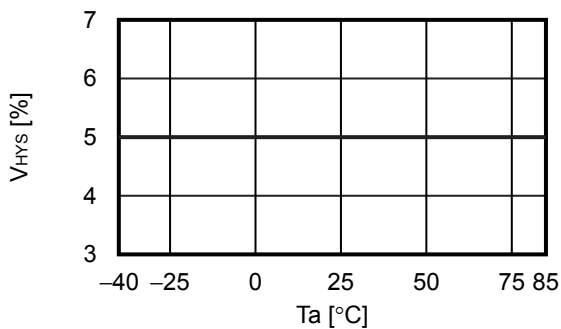
S-1003CA12



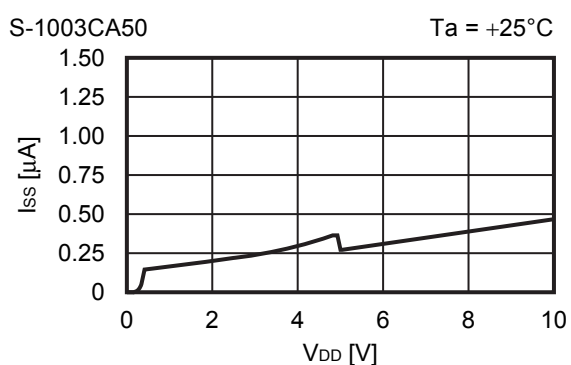
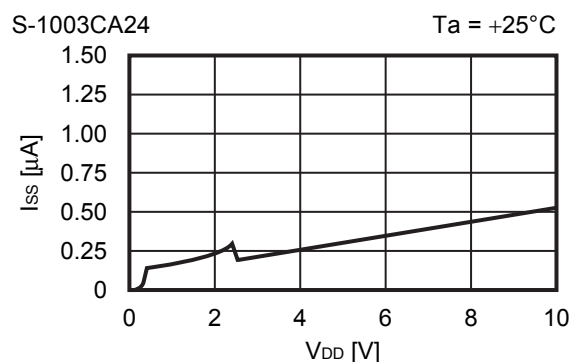
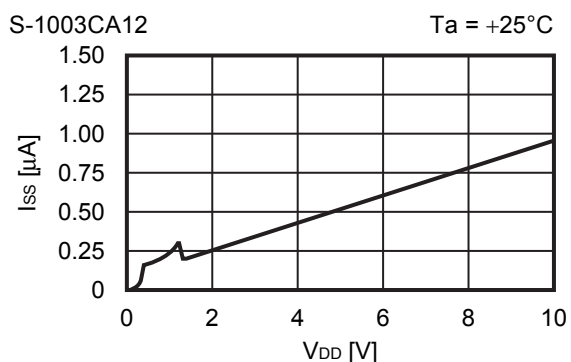
S-1003CA24



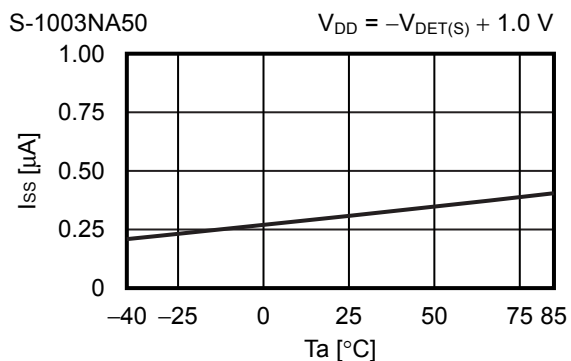
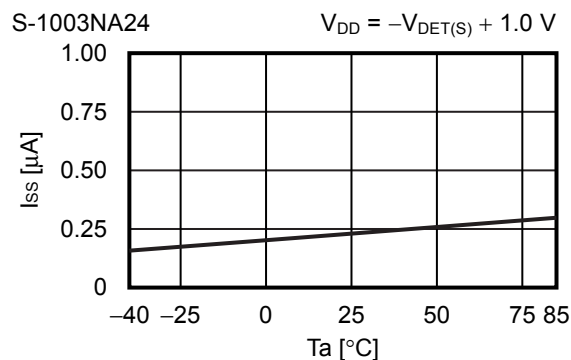
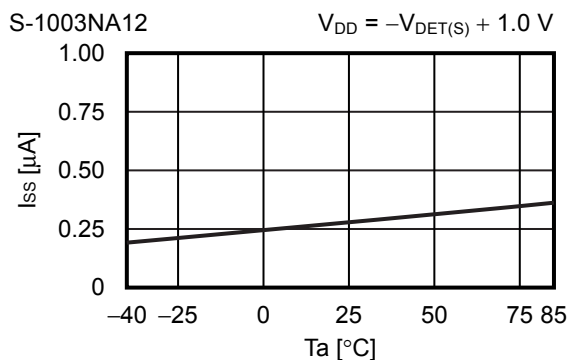
S-1003CA50



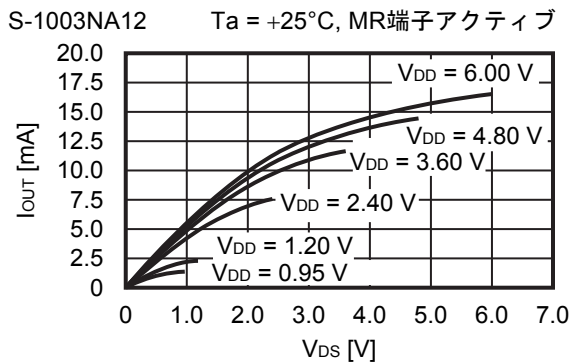
3. 消費電流 (I_{SS}) – 入力電圧 (V_{DD})



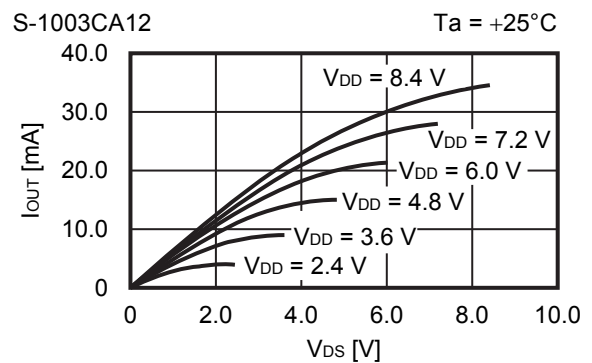
4. 消費電流 (I_{SS}) – 温度 (T_a)



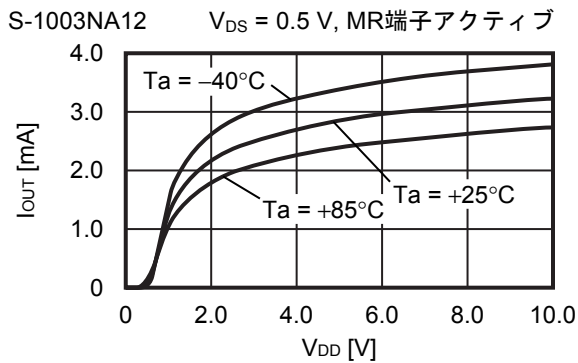
5. Nchトランジスタ出力電流 (I_{OUT}) - V_{DS}



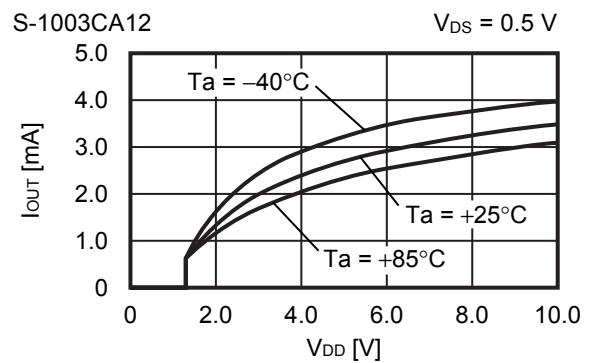
6. Pchトランジスタ出力電流 (I_{OUT}) - V_{DS}



7. Nchトランジスタ出力電流 (I_{OUT}) - 入力電圧 (V_{DD})

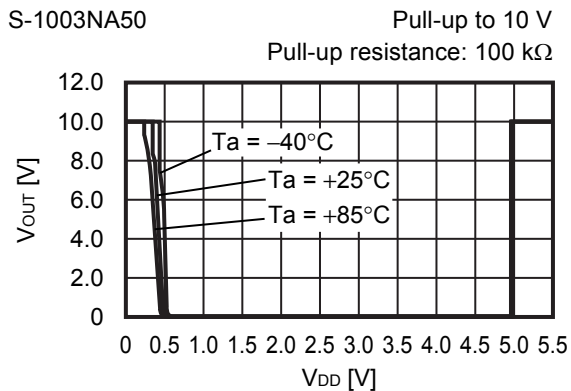
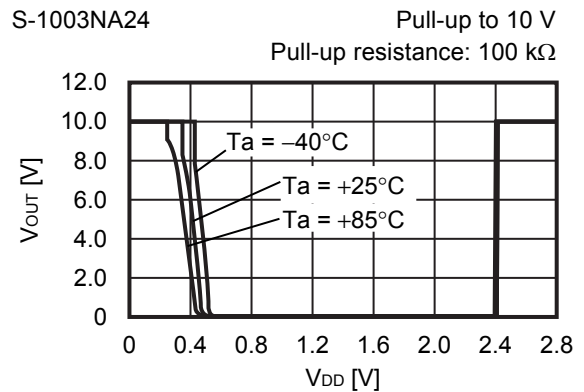
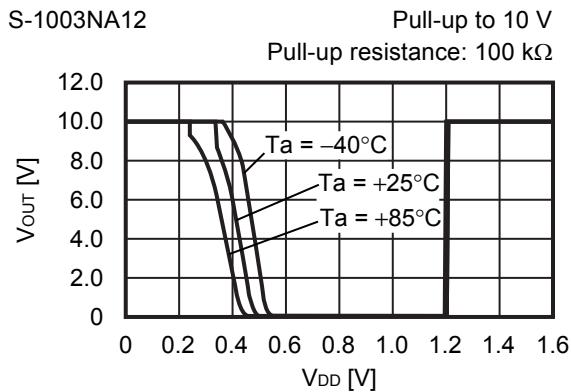
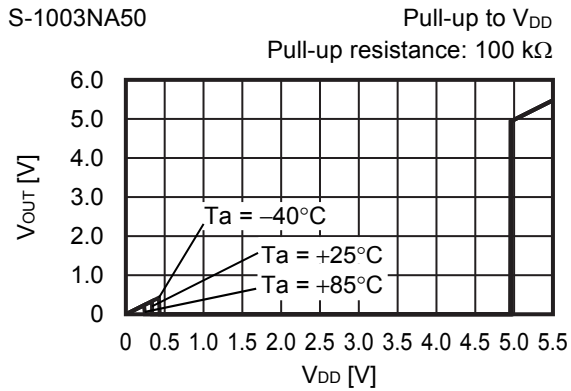
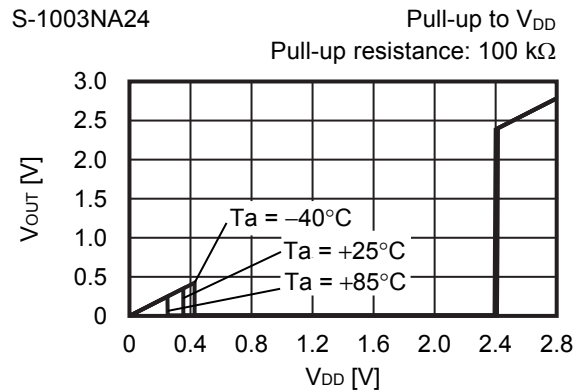
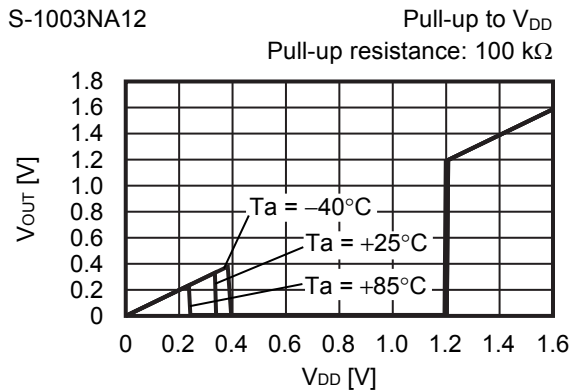


8. Pchトランジスタ出力電流 (I_{OUT}) - 入力電圧 (V_{DD})



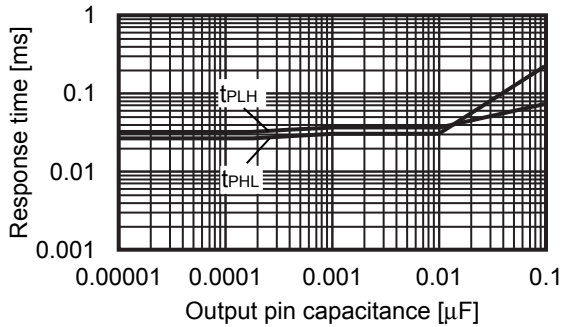
備考 V_{DS} : 出力トランジスタのドレイン-ソース間電圧

9. 最低動作電圧 (V_{OUT}) - 入力電圧 (V_{DD})

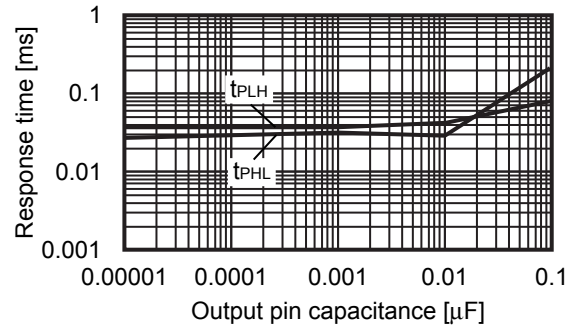


10. ダイナミック応答特性 – 出力端子容量 (C_{OUT}) (CD端子オープン)

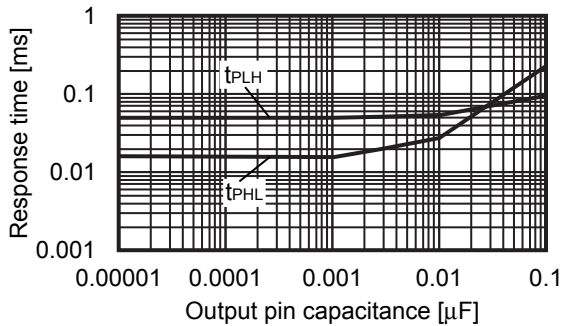
S-1003CA12



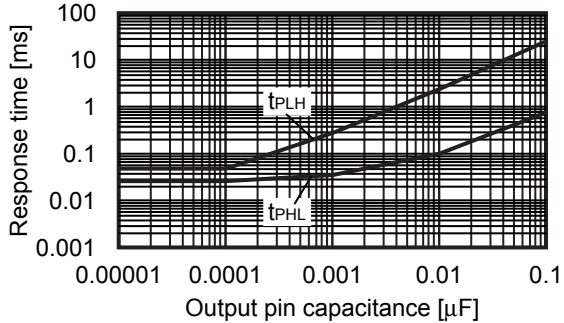
S-1003CA24



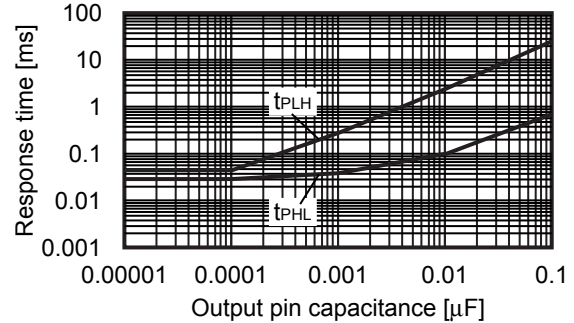
S-1003CA50



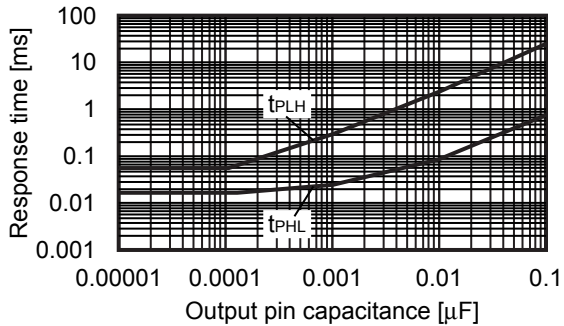
S-1003NA12

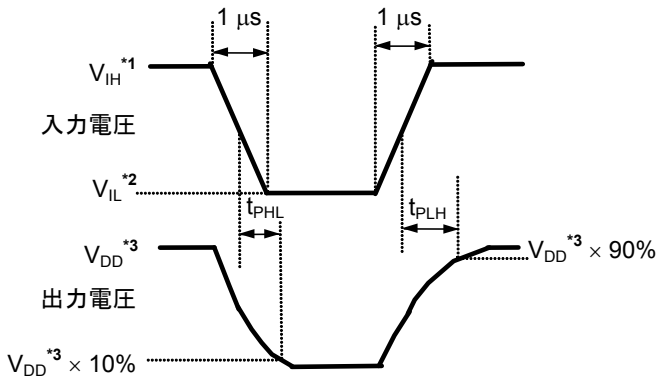


S-1003NA24



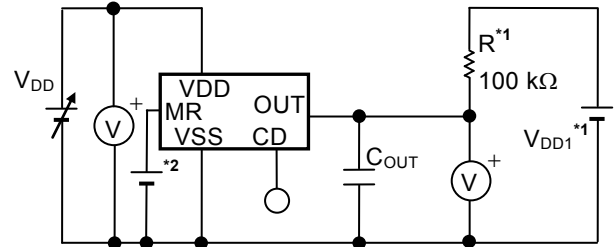
S-1003NA50





- *1. $V_{IH} = 10\text{ V}$
- *2. $V_{IL} = 0.95\text{ V}$
- *3. CMOS出力品 : V_{DD}
Nchオープンドレイン品 : V_{DD1}

図34 応答時間の測定条件

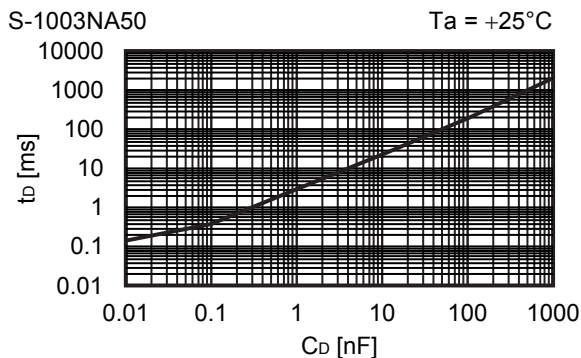
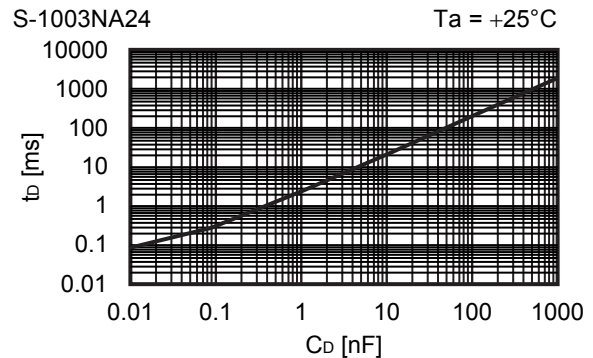
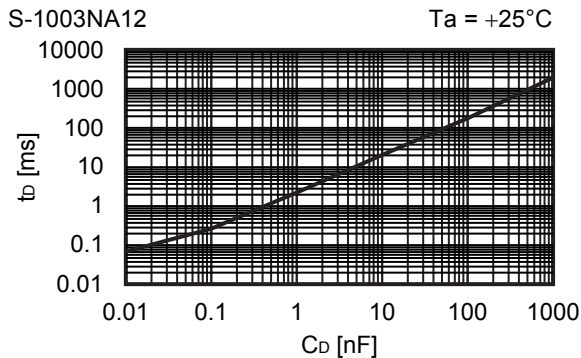


- *1. CMOS出力品の場合、Rと V_{DD1} は不要です。
- *2. V_{DD} or GND (MR端子非アクティブ) に設定。

図35 応答時間の測定回路

- 注意
1. 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。
 2. CD端子がオープン的时候は、解除時にダブルパルスが出る場合があります。ダブルパルスが問題となる場合には、CD端子に100 pF以上の容量を付けて使用してください。検出時の応答時間 (t_{PHL}) は、CD端子容量には影響されません。また、解除時の応答時間 (t_{PLH}) は、CD端子をつけることにより遅延時間を設定できます。詳細は "11. 遅延時間 (t_D) - CD端子容量 (C_D) (出力端子容量なし)" を参照してください。

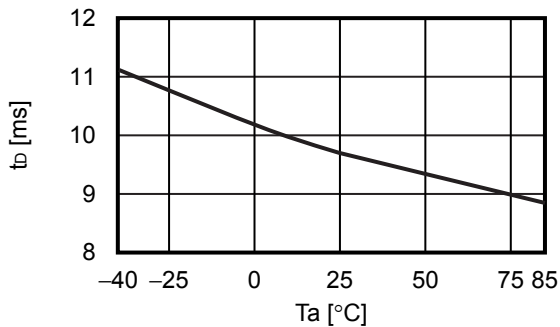
11. 遅延時間 (t_D) - CD端子容量 (C_D) (出力端子容量なし)



12. 遅延時間 (t_D) – 温度 (T_a)

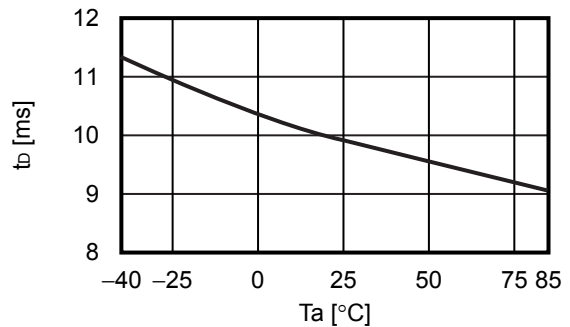
S-1003NA12

$C_D = 4.7 \text{ nF}$, $V_{DD} = 0.95 \text{ V} \rightarrow -V_{DET(S)} + 1.0 \text{ V}$



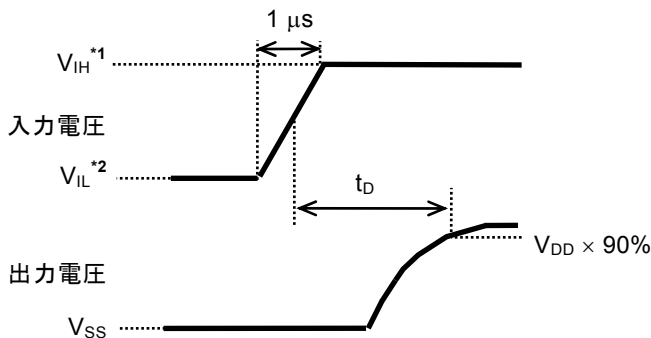
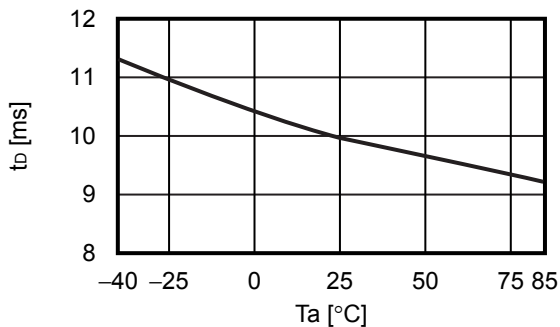
S-1003NA24

$C_D = 4.7 \text{ nF}$, $V_{DD} = 0.95 \text{ V} \rightarrow -V_{DET(S)} + 1.0 \text{ V}$



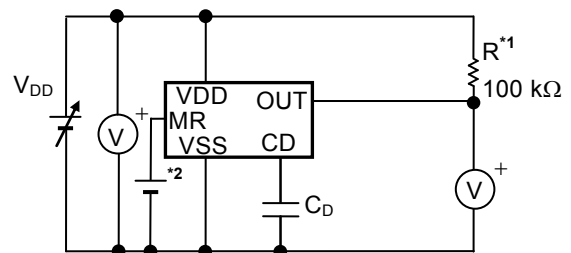
S-1003NA50

$C_D = 4.7 \text{ nF}$, $V_{DD} = 0.95 \text{ V} \rightarrow -V_{DET(S)} + 1.0 \text{ V}$



- *1. $V_{IH} = -V_{DET(S)} + 1.0 \text{ V}$
- *2. $V_{IL} = 0.95 \text{ V}$

図36 遅延時間の測定条件



- *1. CMOS出力品の場合、Rは不要です。
- *2. V_{DD} or GND (MR端子非アクティブ) に設定。

図37 遅延時間の測定回路

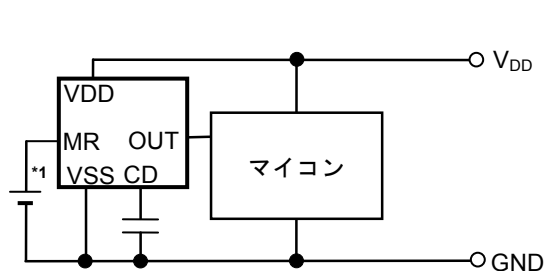
注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

■ 応用回路例

1. マイコン等のリセット回路

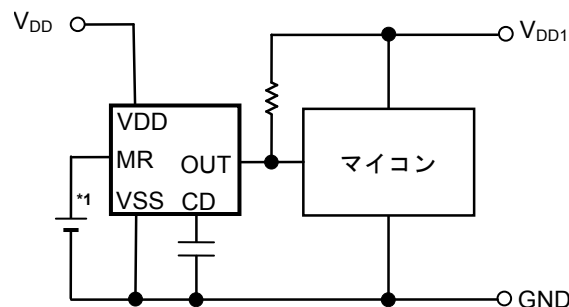
マイクロコンピュータでは、電源電圧が動作保証電圧より低い場合、規定されていないオペレーションを実行したり、メモリエジスタの内容が破壊されたりすることがあります。また、電源が正常電位に復帰したとき、マイコンを所定の初期状態に設定しないと以後異常動作をします。このような事故を防ぐため、電源の瞬断、瞬停時にはリセットをかけなければなりません。

S-1003シリーズ電圧検出器は、動作保証電圧が低く、検出電圧精度が高く、ヒステリシスがあるため、図38、図39のようにリセット回路を簡単に構成できます。



*1. V_{DD} or GND (MR端子非アクティブ) に設定。

図38 リセット回路例 (CMOS出力品)



*1. V_{DD} or GND (MR端子非アクティブ) に設定。

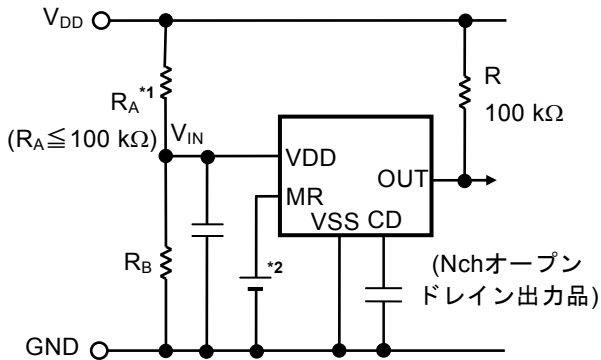
図39 リセット回路例 (Nchオーブンドレイン出力品)

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

2. 検出電圧の変更 (Nchオープンドレイン出力品のみ)

S-1003Nシリーズの中にご希望の検出電圧値の製品がない場合、図40、図41のように分割抵抗またはダイオードを用いて検出電圧を変更できます。

図40の場合ヒステリシス幅も同時に変化します。



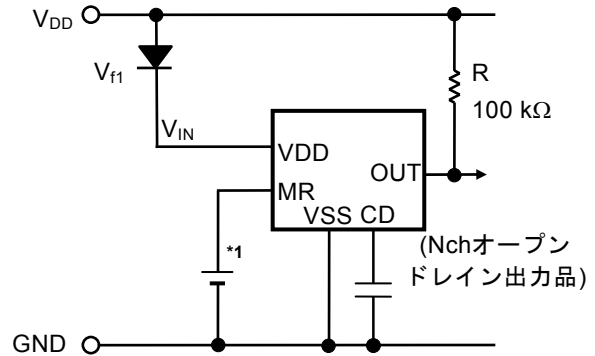
$$\text{検出電圧} = \frac{R_A + R_B}{R_B} \cdot -V_{DET}$$

$$\text{ヒステリシス幅} = \frac{R_A + R_B}{R_B} \cdot V_{HYS}$$

- *1. 発振対策のため、100 kΩ以下にしてください。
- *2. V_{IN} or GND (MR端子非アクティブ) に設定。

注意 R_A, R_Bが大きくなるとICの貫通電流によりヒステリシス幅が計算式よりも大きくなる可能性があります。

図40



$$\text{検出電圧} = V_{f1} + (-V_{DET})$$

- *1. V_{IN} or GND (MR端子非アクティブ) に設定。

図41

- 注意**
1. 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。
 2. 上記の接続で使用する場合、ヒステリシス幅が下式のとおり上昇する可能性がありますので注意してください。実際のアプリケーションで十分な評価の上、定数を設定してください。

$$\text{最大ヒステリシス幅} = \frac{R_A + R_B}{R_B} \cdot V_{HYS} + R_A \cdot 20 \mu\text{A}$$

3. マニュアルリセット機能を使用する場合、「■ 動作説明」、「2.4 電源電圧 (V_{DD}) とV_{DD}端子間に抵抗 (R_A) を接続する場合」を参照の上、定数を設定してください。



No. MP005-A-P-SD-1.3

TITLE	SOT235-A-PKG Dimensions
No.	MP005-A-P-SD-1.3
ANGLE	
UNIT	mm
ABLIC Inc.	



Feed direction →

No. MP005-A-C-SD-2.1

TITLE	SOT235-A-Carrier Tape
No.	MP005-A-C-SD-2.1
ANGLE	
UNIT	mm
ABLIC Inc.	



Enlarged drawing in the central part



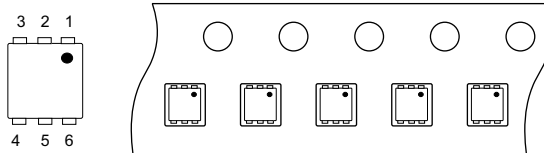
No. MP005-A-R-SD-1.1

TITLE	SOT235-A-Reel		
No.	MP005-A-R-SD-1.1		
ANGLE		QTY.	3,000
UNIT	mm		
ABLIC Inc.			



No. PG006-A-P-SD-2.1

TITLE	SNT-6A-A-PKG Dimensions
No.	PG006-A-P-SD-2.1
ANGLE	
UNIT	mm
ABLIC Inc.	



No. PG006-A-C-SD-2.0

TITLE	SNT-6A-A-Carrier Tape
No.	PG006-A-C-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	



Enlarged drawing in the central part



No. PG006-A-R-SD-1.0

TITLE	SNT-6A-A-Reel		
No.	PG006-A-R-SD-1.0		
ANGLE		QTY.	5,000
UNIT	mm		
ABLIC Inc.			



※1. ランドパターンの幅に注意してください (0.25 mm min. / 0.30 mm typ.).
 ※2. パッケージ中央にランドパターンを広げないでください (1.30 mm ~ 1.40 mm)。

- 注意
1. パッケージのモールド樹脂下にシルク印刷やハンダ印刷などしないでください。
 2. パッケージ下の配線上のソルダーレジストなどの厚みをランドパターン表面から0.03 mm 以下にしてください。
 3. マスク開口サイズと開口位置はランドパターンと合わせてください。
 4. 詳細は "SNTパッケージ活用の手引き" を参照してください。

※1. Pay attention to the land pattern width (0.25 mm min. / 0.30 mm typ.).
 ※2. Do not widen the land pattern to the center of the package (1.30 mm ~ 1.40 mm).

- Caution**
1. Do not do silkscreen printing and solder printing under the mold resin of the package.
 2. The thickness of the solder resist on the wire pattern under the package should be 0.03 mm or less from the land pattern surface.
 3. Match the mask aperture size and aperture position with the land pattern.
 4. Refer to "SNT Package User's Guide" for details.

※1. 请注意焊盘模式的宽度 (0.25 mm min. / 0.30 mm typ.).
 ※2. 请勿向封装中间扩展焊盘模式 (1.30 mm ~ 1.40 mm)。

- 注意
1. 请勿在树脂型封装的下面印刷丝网、焊锡。
 2. 在封装下、布线上的阻焊膜厚度 (从焊盘模式表面起) 请控制在 0.03 mm 以下。
 3. 钢网的开口尺寸和开口位置请与焊盘模式对齐。
 4. 详细内容请参阅 "SNT 封装的应用指南"。

No. PG006-A-L-SD-4.1

TITLE	SNT-6A-A -Land Recommendation
No.	PG006-A-L-SD-4.1
ANGLE	
UNIT	mm
ABLIC Inc.	

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com