S-8560A/8560B/8561A/8561Bシリーズ

www.ablic.com

36 V入力　600 mA　低EMI　降圧 同期整流　スイッチングレギュレータ

Rev.1.0_00

S-8560/8561シリーズは、高耐圧CMOSプロセス技術を使用して開発した降圧スイッチングレギュレータです。
最大動作電圧が36 Vと高く、FB端子電圧は±1.0%の高精度を維持します。スペクトラム拡散型発振回路を内蔵しており、PWM動作時に伝導ノイズおよび放射ノイズを低減することが可能です。
小型のHSNT-8(2030)など、高密度実装に適したパッケージを採用しているため、機器の小型化に貢献します。
PWM制御 (S-8560シリーズ) とPWM / PFM切り換え制御 (S-8561シリーズ) をオプションで選択することが可能です。
S-8561シリーズはPWM / PFM切り換え制御により、重負荷時はPWM制御にて動作し、軽負荷時はPFM制御に自動的に切り換わるため、機器の状態に応じた高効率動作を実現します。また、独自のPWM / PFM切り換え技術により、PFM制御時にV_{OUT}に発生するリップル電圧を小さくすることが可能です。
同期整流回路内蔵により、従来の降圧型スイッチングレギュレータに比べ高効率化がしやすく、また、過大な負荷電流からICやコイルを保護する過電流保護回路、発熱による破壊を防止するサーマルシャットダウン回路が内蔵されています。

■ 特長

- 入力電圧 : 4.0 V ~ 36.0 V
- 出力電圧 (外部設定) : 2.5 V ~ 12.0 V
- 出力電流 : 600 mA
- FB端子電圧精度 : ±1.0%
- 効率 : 91%
- 発振周波数 : 2.2 MHz typ.
- スペクトラム拡散型発振機能 : F_{SSS} = +6% typ. (拡散率)
- 過電流保護機能 : 1.2 A typ. (パルスバイパルス方式)
- サーマルシャットダウン機能 : 170°C typ. (検出温度)
- 短絡保護機能 : Hiccup制御、Latch制御
- 100%Duty比動作
- ソフトスタート機能 : 5.8 ms typ.
- 低電圧誤動作防止機能 (UVLO) : 3.35 V typ. (検出電圧)
- 入力、出力コンデンサ : セラミックコンデンサ対応
- 動作温度範囲 : Ta = −40°C ~ +105°C
- 鉛フリー (Sn 100%)、ハロゲンフリー

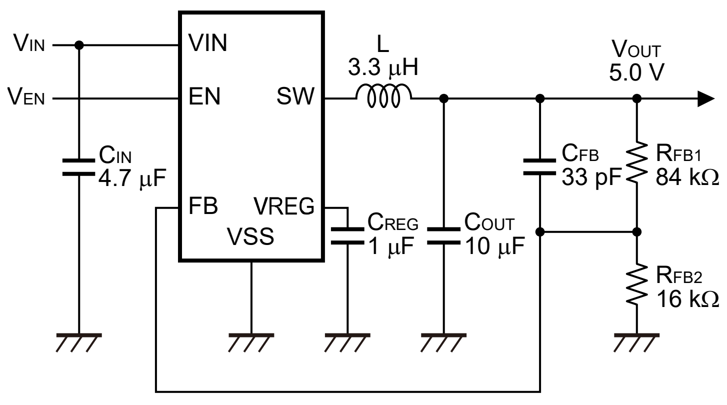
■ 用途

- 産業機器の定電圧電源
- 家庭用電気製品の定電圧電源

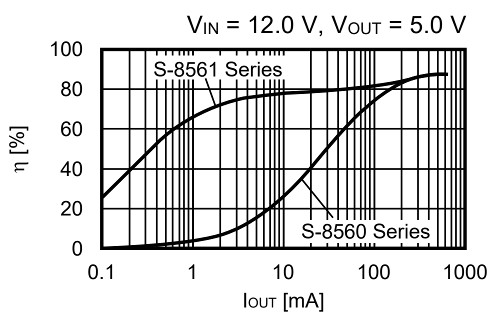
■ パッケージ

- HTMSOP-8
  (4.0 mm × 2.9 mm × t0.8 mm max.)
- HSNT-8(2030)
  (3.0 mm × 2.0 mm × t0.5 mm max.)

■ 基本アプリケーション回路

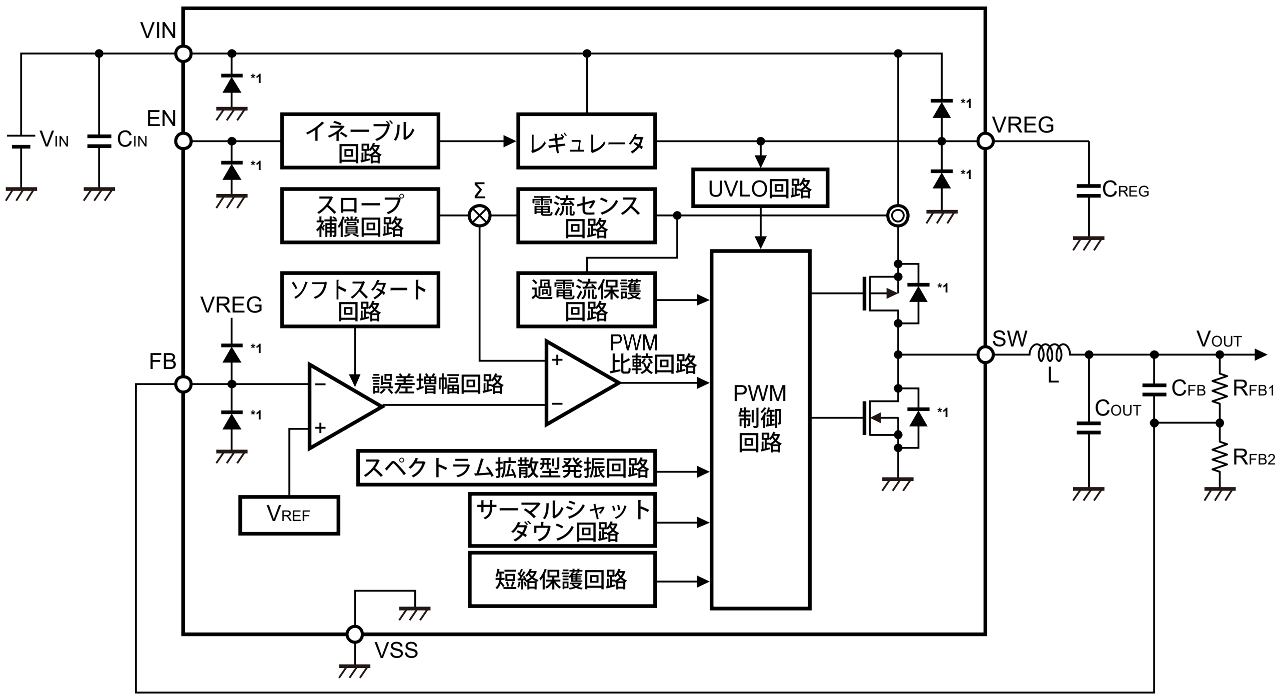


■ 効率



■ ブロック図

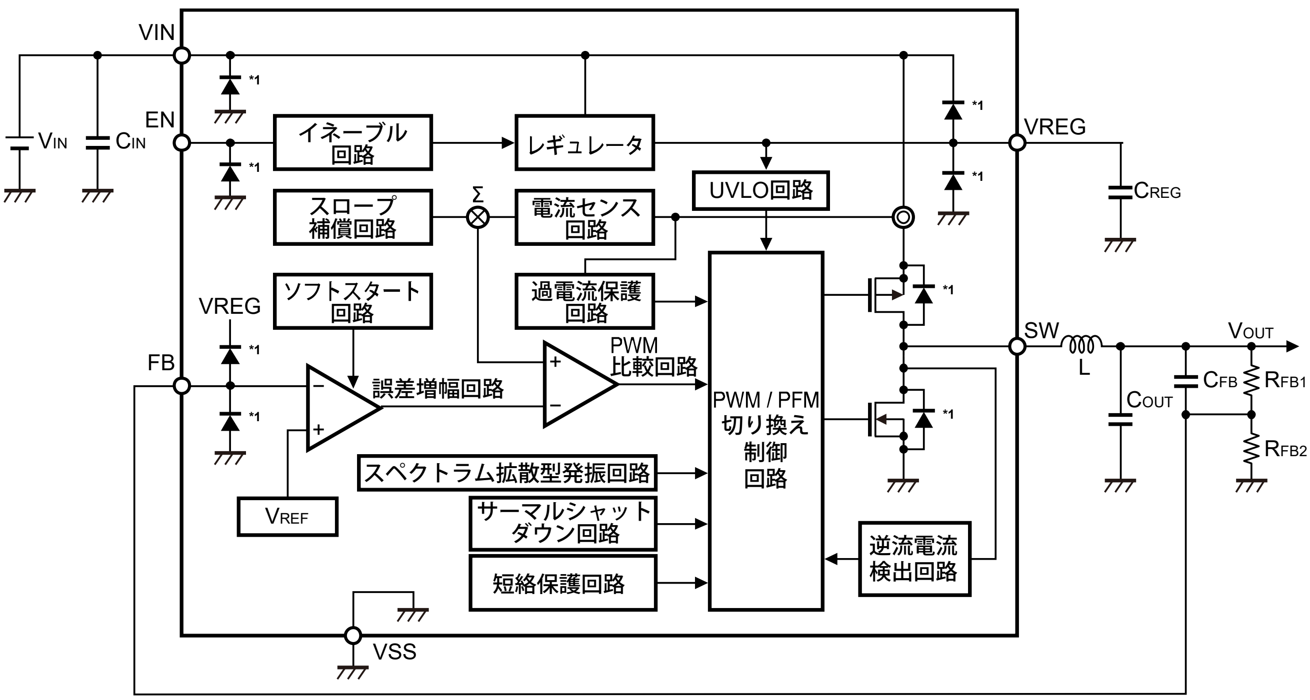
1. S-8560シリーズ (PWM制御)



*1. 寄生ダイオード

図1

2. S-8561シリーズ (PWM / PFM切り換え制御)



*1. 寄生ダイオード

図2

■ 品目コードの構成

1. 製品名

S-856 x x H - xxxx U 7

- 環境コード
  - U　:　鉛フリー (Sn 100%)、ハロゲンフリー
- パッケージ略号とICの梱包仕様*1
  - S8T1　: HTMSOP-8、テープ品
  - A8T1　: HSNT-8(2030)、テープ品
- 動作温度
  - H　: Ta = −40°C ~ +105°C
- 製品タイプ*2
  - A, B
- 制御方式
  - 0　: PWM制御
  - 1　: PWM / PFM切り換え制御

***1.**　テープ図面を参照してください。
***2.**　"**2.　製品タイプ一覧**" を参照してください。

2. 製品タイプ一覧

表1

製品タイプ	発振周波数	短絡保護機能
A	2.2 MHz	Hiccup制御
B	2.2 MHz	Latch制御

3. パッケージ

表2　パッケージ図面コード

パッケージ名	外形寸法図面	テープ図面	リール図面	ランド図面
HTMSOP-8	FP008-A-P-SD	FP008-A-C-SD	FP008-A-R-SD	FP008-A-L-SD
HSNT-8(2030)	PP008-A-P-SD	PP008-A-C-SD	PP008-A-R-SD	PP008-A-L-SD

■ ピン配置図

1. HTMSOP-8

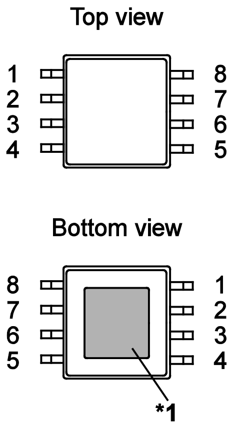


図3

表3

端子番号	端子記号	端子内容
1	VIN	電源端子
2	FB	フィードバック端子
3	EN	イネーブル端子 (アクティブ "H")
4	NC*2	無接続
5	NC*2	無接続
6	VREG*3	内部電源端子
7	VSS	GND端子
8	SW	外部インダクタ接続端子

***1.** 網掛け部分の裏面放熱板は、基板に接続し電位をGNDとしてください。
ただし、電極としての機能には使用しないでください。
***2.** NCは電気的にオープンを示します。
このため、VIN端子またはVSS端子に接続しても問題ありません。
***3.** 外部に負荷電流を供給することはできません。

2. HSNT-8(2030)

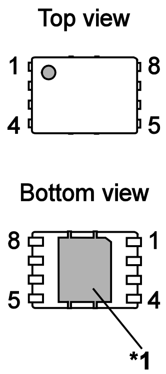


図4

表4

端子番号	端子記号	端子内容
1	VIN	電源端子
2	FB	フィードバック端子
3	EN	イネーブル端子 (アクティブ "H")
4	NC*2	無接続
5	NC*2	無接続
6	VREG*3	内部電源端子
7	VSS	GND端子
8	SW	外部インダクタ接続端子

***1.** 網掛け部分の裏面放熱板は、基板に接続し電位をGNDとしてください。
ただし、電極としての機能には使用しないでください。
***2.** NCは電気的にオープンを示します。
このため、VIN端子またはVSS端子に接続しても問題ありません。
***3.** 外部に負荷電流を供給することはできません。

■ 絶対最大定格

表5

(特記なき場合 : Ta = +25°C, V_{SS} = 0 V)

項目	記号	絶対最大定格	単位
VIN端子電圧	V_{IN}	V_{SS} − 0.3 ~ V_{SS} + 45	V
EN端子電圧	V_{EN}	V_{SS} − 0.3 ~ V_{SS} + 45	V
FB端子電圧	V_{FB}	V_{SS} − 0.3 ~ V_{REG} + 0.3≦V_{SS} + 6.0	V
VREG端子電圧	V_{REG}	V_{SS} − 0.3 ~ V_{IN} + 0.3≦V_{SS} + 6.0	V
SW端子電圧	V_{SW}	V_{SS} − 2 ~ V_{IN} + 2≦V_{SS} + 45 (<20 ns)	V
		V_{SS} − 0.3 ~ V_{IN} + 0.3≦V_{SS} + 45	
ジャンクション温度	T_j	−40 ~ +125	°C
動作周囲温度	T_{opr}	−40 ~ +105	°C
保存温度	T_{stg}	−40 ~ +125	°C

注意　絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 熱抵抗値

表6

項目	記号	条件		Min.	Typ.	Max.	単位
ジャンクション温度 − 周囲温度間熱抵抗値*1	θ_{JA}	HTMSOP-8	Board A	−	159	−	°C/W
			Board B	−	113	−	°C/W
			Board C	−	39	−	°C/W
			Board D	−	40	−	°C/W
			Board E	−	30	−	°C/W
		HSNT-8(2030)	Board A	−	181	−	°C/W
			Board B	−	135	−	°C/W
			Board C	−	40	−	°C/W
			Board D	−	42	−	°C/W
			Board E	−	32	−	°C/W

***1.**　測定環境 : JEDEC STANDARD JESD51-2A準拠

備考　詳細については、"**■ Power Dissipation**"、"**Test Board**" を参照してください。

■ 電気的特性

表7

(特記なき場合 : V_{IN} = 12 V, Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位
動作入力電圧	V_{IN}	–	4.0	–	36.0	V
パワーオフ時消費電流	I_{SSS}	V_{EN} = 0 V	–	0	1	μA
静止時消費電流	I_{SS}	V_{FB} = 1.0 V, S-8560シリーズ	–	175	260	μA
		V_{FB} = 1.0 V, S-8561シリーズ	–	68	120	μA
UVLO検出電圧	V_{UVLO-}	VREG端子電圧	3.1	3.35	3.6	V
UVLO解除電圧	V_{UVLO+}	VREG端子電圧	3.2	3.45	3.7	V
FB端子電圧	V_{FB}	–	0.792	0.8	0.808	V
発振周波数	f_{OSC}	–	1.98	2.2	2.42	MHz
最小オン時間	t_{ON_MIN}	–	–	60	–	ns
発振周波数変調率	F_{SSS}	–	–	+6	–	%
最大Duty比	MaxDuty	–	100	–	–	%
ソフトスタートウェイト時間	t_{SSW}	V_{OUT}が上昇を開始するまでの時間, C_{REG} = 1 μF	0.30	0.58	0.90	ms
ソフトスタート時間	t_{SS}	V_{FB}上昇開始から90%に到達するまでの時間	3.0	5.8	8.5	ms
ハイサイドパワーMOS FETオン抵抗	R_{HFET}	I_{SW} = 50 mA	–	0.40	0.92	Ω
ロウサイドパワーMOS FETオン抵抗	R_{LFET}	I_{SW} = –50 mA	–	0.20	0.48	Ω
ハイサイドパワーMOS FETリーク電流	I_{HSW}	V_{IN} = 36.0 V, V_{EN} = 0 V, V_{SW} = 0 V	–	0.01	1	μA
ロウサイドパワーMOS FETリーク電流	I_{LSW}	V_{IN} = 36.0 V, V_{EN} = 0 V, V_{SW} = 36.0 V	–	0.01	1	μA
制限電流	I_{LIM}	–	1.0	1.2	1.4	A
サーマルシャットダウン検出温度	T_{SD}	ジャンクション温度	–	170	–	°C
サーマルシャットダウン解除温度	T_{SR}	ジャンクション温度	–	150	–	°C
高レベル入力電圧	V_{SH}	EN端子	2.0	–	–	V
低レベル入力電圧	V_{SL}	EN端子	–	–	0.8	V
高レベル入力電流	I_{SH}	EN端子, V_{EN} = 2.0 V	–	–	1	μA
低レベル入力電流	I_{SL}	EN端子, V_{EN} = 0 V	–0.5	–	0.5	μA
FB端子電流	I_{FB}	FB端子, V_{FB} = 1.0 V	–0.06	–	0.06	μA

■ 動作説明

1. 動作概要

S-8560/8561シリーズは、電流モード制御を採用しています。ハイサイドパワーMOS FETに流れる電流にスロープ補償を加算した電流帰還信号と誤差増幅回路の出力信号を比較することによって、SW端子のDuty比が決まります。誤差増幅回路の出力信号は、構成された負帰還ループによって、V_{REF}とFB端子電圧 (V_{FB}) が等しくなる値に維持されます。

2. PWM制御 (S-8560シリーズ)

S-8560シリーズは負荷電流の大きさに関わらずPWM制御 (パルス幅変調制御) で動作し、スイッチング周波数を一定にすることが可能です。

3. PWM / PFM切り換え制御 (S-8561シリーズ)

S-8561シリーズは、負荷電流によってPWM制御とPFM制御 (パルス周波数変調制御) を自動的に切り換えます。軽負荷時はPFM制御が選択され、負荷電流に応じてパルスがスキップされます。これにより自己消費電流が抑えられるため、軽負荷時の効率を向上させることができます。PFM制御の場合、インダクタに流れるピーク電流は、IC内部で180 mA typ.に設定されています。また、独自のPWM / PFM切り換え技術により、PFM制御時にV_{OUT}に発生するリップル電圧を小さくすることが可能です。

4. 最小オン時間

電流連続モード時のSW端子のオン時間 (t_{ON}) は次式で計算することができます。

$$t_{ON} = \frac{V_{OUT}}{V_{IN}} \times \frac{1}{f_{OSC}}$$

V_{IN}が高く、V_{OUT}が低いときにt_{ON}は小さくなります。t_{ON}＞最小オン時間 (t_{ON_MIN}) となる使用条件にしてください。t_{ON_MIN}の最大値は、インダクタンス、負荷電流、V_{IN}、V_{OUT}の条件によって変化しますが、80 nsです。t_{ON}＜t_{ON_MIN}の場合、電流連続モード時にパルスがスキップされることによりV_{OUT}のリップル電圧 (ΔV_{OUT}) が増加する場合があります。また、S-8560/8561シリーズが過負荷状態になると、ICを過電流から保護するための制限電流 (I_{LIM}) が増加する場合があります。実際の使用状況で十分に評価を行ってください。

5. 100%Duty比動作

ハイサイドパワーMOS FETは、100%Duty比動作が可能です。入力電圧が出力電圧の設定値以下に低下した場合でもハイサイドパワーMOS FETを連続的にオンして、負荷に電流を供給できます。このときの出力電圧は、入力電圧からインダクタの直流抵抗とハイサイドパワーMOS FETのオン抵抗による電圧降下分を引いた電圧となります。

6. 低電圧誤動作防止機能 (UVLO)

S-8560/8561シリーズは、電源投入時の過渡状態や電源電圧の瞬時低下によるICの誤動作を防止するために、UVLO回路を内蔵しています。UVLO状態が検出されるとハイサイドパワーMOS FETとロウサイドパワーMOS FETがオフになり、SW端子は "High-Z" となります。これにより、スイッチング動作は停止します。また、ソフトスタート機能は、一度UVLO状態が検出されるとリセットされ、UVLO状態が解除されると再開します。
ただし、その他の内部回路は通常に動作をしておりディスエーブル状態とは異なりますので、ご注意ください。
また、入力電圧にノイズ等が発生することによる誤動作を防止するために、ヒステリシス幅があります。

7. EN端子

スイッチング動作の停止または起動を行います。EN端子を "L" にすると、ハイサイドパワーMOS FETを含む内部回路はすべての動作を停止し、消費電流を抑えます。EN端子を使用しない場合には、VIN端子に接続してください。EN端子は内部でプルアップもプルダウンもされていないため、フローティング状態では使用しないでください。EN端子は**図5**の構造になっており、内部にクランプ回路が接続されています。EN端子の入力電流については、"**■ 諸特性データ (Typicalデータ)**"、"**3. 1　高レベル入力電流 (I_{SH}) – EN端子電圧 (V_{EN})**" を参照してください。

表8

EN端子	内部回路	V_{OUT}
"H"	イネーブル (通常動作)	一定値*1
"L"	ディスエーブル (スタンバイ)	V_{SS}にプルダウン*2

***1.** 出力電圧設定抵抗 (R_{FB1}、R_{FB2}) に基づいてレギュレート動作をすることにより、一定値が出力されます。
***2.** 出力電圧設定抵抗 (R_{FB1}、R_{FB2})、負荷により、V_{OUT}はV_{SS}にプルダウンされます。

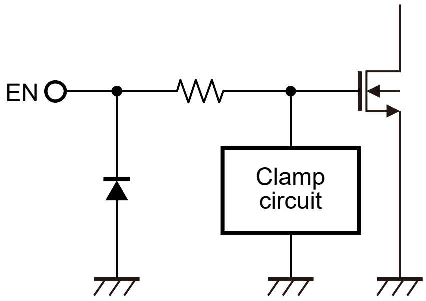


図5

8. サーマルシャットダウン機能

S-8560/8561シリーズは、発熱を制限するためのサーマルシャットダウン回路を内蔵しています。ジャンクション温度が170°C typ.に上昇すると、サーマルシャットダウン回路が検出状態となり、スイッチング動作は停止されます。ジャンクション温度が150°C typ.に低下すると、サーマルシャットダウン回路が解除状態となり、スイッチング動作は再開されます。
自己発熱によりサーマルシャットダウン回路が検出状態になると、スイッチング動作は停止され、出力電圧 (V_{OUT}) が低下します。このことにより、自己発熱が制限されICの温度が低下します。ICの温度が低下すると、サーマルシャットダウン回路が解除状態となり、スイッチング動作は再開され、再び自己発熱が発生します。この繰り返し動作が行われることにより、V_{OUT}の波形がパルス状になります。この現象が継続すると、製品の劣化などの物理的な損傷が起こる可能性がありますので、注意してください。EN端子を "L" にするか、出力電流 (I_{OUT}) を下げて内部消費電力を少なくするか、あるいは周囲温度を下げることにより、スイッチング動作の停止、再開動作を止めることができます。

表9

サーマルシャットダウン回路	V_{OUT}
解除 ： 150°C typ.*1	一定値*2
検出 ： 170°C typ.*1	V_{SS} にプルダウン*3

***1.** ジャンクション温度
***2.** 出力電圧設定抵抗 (R_{FB1}、R_{FB2}) に基づいてレギュレート動作をすることにより、一定値が出力されます。
***3.** 出力電圧設定抵抗 (R_{FB1}、R_{FB2})、負荷により、V_{OUT}はV_{SS}にプルダウンされます。

9. 過電流保護機能

過電流保護回路は、過負荷やインダクタの磁気飽和などによるICの熱破壊を防止する目的で、ハイサイドパワーMOS FETの電流を監視し過電流保護を行います。
ハイサイドパワーMOS FETに制限電流 (I_{LIM}) 以上の電流が流れると、ハイサイドパワーMOS FETがオフされます。次のスイッチングサイクルが開始するとハイサイドパワーMOS FETがオンされます。その電流値が継続してI_{LIM}以上である場合、再びハイサイドパワーMOS FETがオフされ、この一連の動作が繰り返されます。
一方、ハイサイドパワーMOS FETに流れる電流がI_{LIM}以下になると、S-8560/8561シリーズは通常動作へ復帰します。
インダクタ電流の傾きが大きい場合、過電流保護回路の遅延時間によってI_{LIM}が見かけ上、上昇する場合があります。これは低インダクタンスのインダクタを使用した場合、またはV_{IN}とV_{OUT}の電圧差が大きい場合に発生する傾向があります。

10. 周波数フォールドバック機能

周波数フォールドバック機能は、FB端子電圧 (V_{FB}) が0.7 V typ.以下の場合、V_{FB}と発振周波数 (f_{OSC}) に比例関係を持たせる機能です。詳細は **"11. 短絡保護機能"** を参照してください。
S-8560シリーズの周波数フォールドバック機能は、起動時、無効に設定されています。

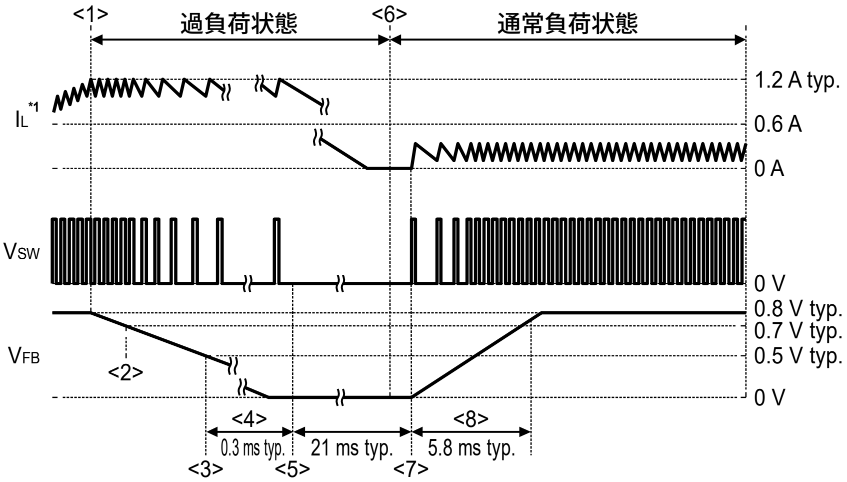
11.　短絡保護機能

11. 1　Hiccup制御

S-8560/8561シリーズAタイプは、Hiccup制御の短絡保護機能を内蔵しています。
Hiccup制御とは､ICが過電流を検出してスイッチング動作が停止した場合､定期的に自動復帰を試みる方式です。

11. 1. 1　過負荷状態が解除される場合

<1> 過電流検出
<2> FB端子電圧 (V_{FB})＜0.7 V typ.検出後、周波数フォールドバック機能が有効
<3> V_{FB}＜0.5 V typ.検出
<4> 0.3 ms経過
<5> スイッチング動作停止 (21 ms typ.間)
<6> 過負荷状態解除
<7> IC再起動、ソフトスタート機能が開始
この場合、再起動のためのリセット信号を外部から入力する必要はありません
<8> 5.8 ms typ.経過後、V_{FB}が0.72 V typ.に到達

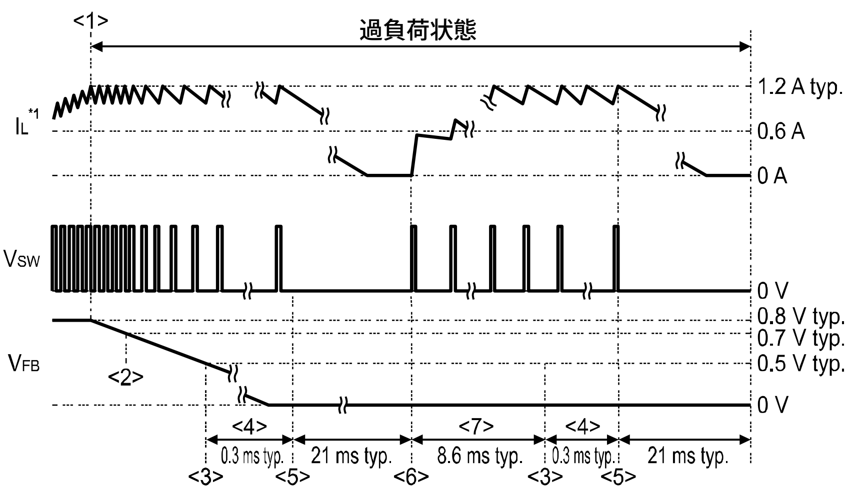


***1.** インダクタの電流

図6

11. 1. 2　過負荷状態が継続する場合

<1> 過電流検出
<2> V_{FB}＜0.7 V typ.検出後、周波数フォールドバック機能が有効
<3> V_{FB}＜0.5 V typ.検出
<4> 0.3 ms経過
<5> スイッチング動作停止 (21 ms typ.間)
<6> IC再起動、ソフトスタート機能が開始
<7> 8.6 ms typ.経過後、過負荷状態が継続している場合<3>に戻る



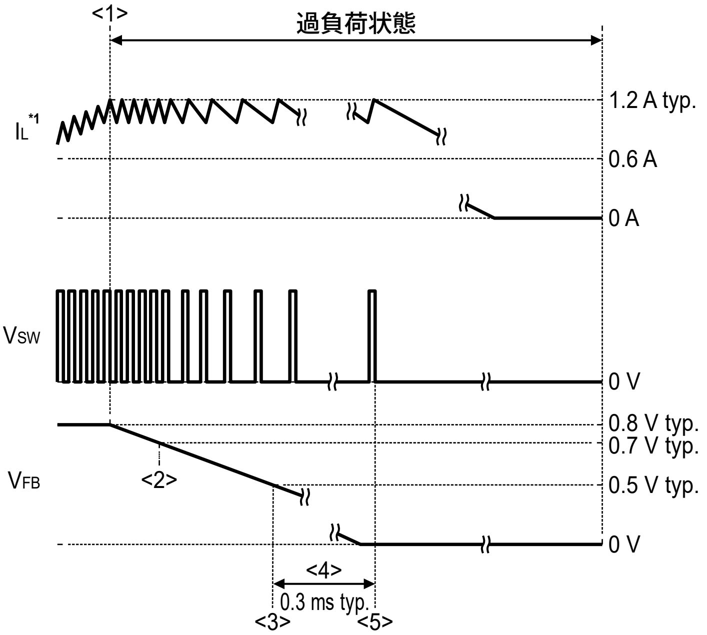
***1.** インダクタの電流

図7

11. 2　Latch制御

S-8560/8561シリーズBタイプは、Latch制御の短絡保護機能を内蔵しています。
Latch制御とは、ICが過電流を検出してスイッチング動作が停止した場合、Latch状態を保持する方式です。

<1> 過電流検出
<2> V_{FB}＜0.7 V typ.検出後、周波数フォールドバック機能が有効
<3> V_{FB}＜0.5 V typ.検出
<4> 0.3 ms経過
<5> スイッチング動作停止



***1.** インダクタの電流

図8

また、以下の条件でLatch状態はリセットされます。

・UVLO検出時
・EN端子が "H" から "L" に変化するとき

12. プリバイアス対応ソフトスタート機能

S-8560/8561シリーズは、プリバイアス対応ソフトスタート回路を内蔵しています。
プリバイアス対応ソフトスタート回路を電源の再起動などにより出力電圧 (V_{OUT}) に電荷が残っている状態、もしくはV_{OUT}があらかじめバイアスされている状態 (プリバイアス状態) で起動したとき、ソフトスタート電圧がFB端子電圧 (V_{FB}) を越えるまでスイッチング動作は停止し、V_{OUT}は保持されます。ソフトスタート電圧がV_{FB}を越えるとスイッチング動作が再開し、V_{OUT}は出力電圧設定値 ($V_{OUT(S)}$) へ上昇します。そのため、プリバイアスされたV_{OUT}は低下することなく$V_{OUT(S)}$に到達します。
プリバイアス非対応のソフトスタート回路では、スイッチング動作開始時にロウサイドパワーMOS FETが残留電荷を放電することで大電流が流れて破壊する可能性がありますが、プリバイアス対応ソフトスタート回路では、スイッチング動作開始時の大電流からICを守り、アプリケーション回路の電源設計を容易にします。

S-8560/8561シリーズでは、ソフトスタート回路によりV_{OUT}が徐々に$V_{OUT(S)}$へ到達します。
以下の場合、ラッシュカレントおよびV_{OUT}のオーバーシュートが抑制されます。

・EN端子が "L" から "H" に変化するとき
・UVLO動作解除時*1
・サーマルシャットダウン動作解除時*1
・短絡復帰時*1

***1.** この場合、ソフトスタートウェイト時間は省略されます。

EN端子に "H" を入力し、ソフトスタートウェイト時間 (t_{SSW}) = 0.58 ms typ.経過後、ソフトスタート回路が動作を開始します。ソフトスタート時間 (t_{SS}) は5.8 ms typ.に設定されています。

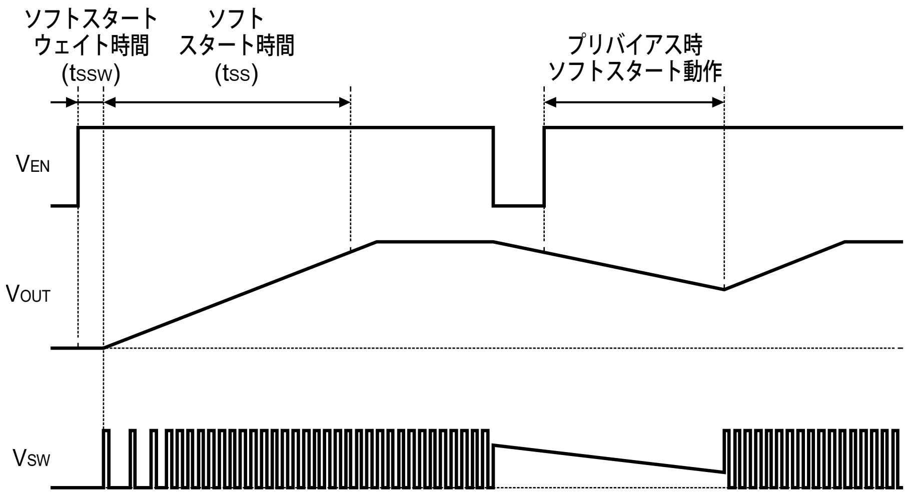


図9

13. 内部電源 (V_{REG})

IC内部の一部の回路は、VREG端子電圧 (V_{REG}) を電源として動作しています。この内部電源を安定化させるためにVREG端子とVSS端子の間に1 μFのセラミックコンデンサを接続する必要があります。低インピーダンスを実現するため、このコンデンサはできるだけICの近くに配置することを推奨します。また、VREG端子には、C_{REG}以外の外付け部品、または負荷を接続しないでください。

14. スペクトラム拡散型発振機能

S-8560/8561シリーズは、伝導ノイズおよび放射ノイズを低減するため、スペクトラム拡散型発振回路を内蔵しています。スペクトラム拡散型発振回路はPWM動作時に広い帯域に動作周波数を拡散することによって、特定周波数でのノイズピークを抑えます。S-8560/8561シリーズでは、発振周波数 (f_{OSC}) を下限として発振周波数変調率 (F_{SSS}) = +6% typ.の範囲で周波数が三角波状に変化します。変調周期は320 / f_{OSC} sec typ.になります。

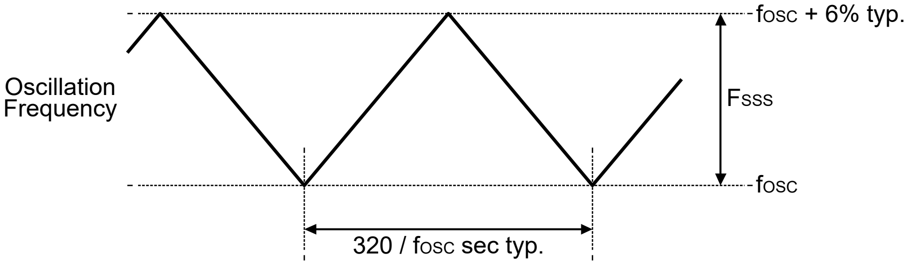


図10

■ 標準回路

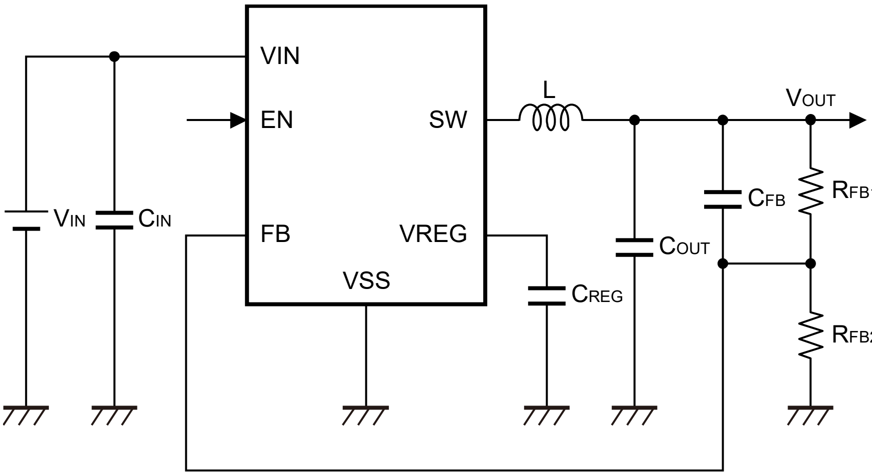


図11

注意　上記接続図は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

■ 外付け部品の選定

各外付け部品の推奨値を**表10**に、各推奨部品を**表11** ～ **表15**に示します。
入力コンデンサ (C_{IN})、出力コンデンサ (C_{OUT})、内部電源安定化コンデンサ (C_{REG}) を選定する際は、温度範囲、コンデンサのDCバイアス特性を考慮してください。

表10

V_{OUT}	C_{IN}	C_{OUT}	C_{FB}	C_{REG}	L	R_{FB1}	R_{FB2}
2.5 V	4.7 μF	10 μF	33 pF	1 μF	3.3, 4.7 μH	31.9 kΩ	15 kΩ
3.3 V	4.7 μF	10 μF	33 pF	1 μF	3.3, 4.7 μH	46.9 kΩ	15 kΩ
5.0 V	4.7 μF	10 μF	33 pF	1 μF	4.7, 6.8 μH	84 kΩ	16 kΩ
12.0 V	4.7 μF	10 μF	33 pF	1 μF	6.8, 10 μH	210 kΩ	15 kΩ

表11　推奨コンデンサ (C_{IN}) 一覧

メーカ	型番	容量値	耐圧	サイズ (L × W × H)
TDK株式会社	C2012X7R1H475K125AC	4.7 μF	50 V	2.0 mm × 1.25 mm × 1.25 mm
TDK株式会社	CGA5L3X7R1H475K160AB	4.7 μF	50 V	3.2 mm × 1.6 mm × 1.6 mm
株式会社村田製作所	GCM31CC71H475KA03	4.7 μF	50 V	3.2 mm × 1.6 mm × 1.6 mm

表12　推奨コンデンサ (C_{OUT}) 一覧

メーカ	型番	容量値	耐圧	サイズ (L × W × H)
TDK株式会社	CGA4J3X7S1A106K125AB	10 μF	10 V	2.0 mm × 1.25 mm × 1.25 mm
TDK株式会社	CGA5L1X7R1C106K160AC	10 μF	16 V	3.2 mm × 1.6 mm × 1.6 mm
TDK株式会社	C2012X7S1E106K125AC	10 μF	25 V	2.0 mm × 1.25 mm × 1.25 mm
株式会社村田製作所	GCM188D70J106ME36	10 μF	6.3 V	1.6 mm × 0.8 mm × 0.8 mm

表13　推奨コンデンサ (C_{FB}) 一覧

メーカ	型番	容量値	耐圧	サイズ (L × W × H)
TDK株式会社	CGA1A2C0G1H330J030BA	33 pF	50 V	0.6 mm × 0.3 mm × 0.3 mm

表14　推奨コンデンサ (C_{REG}) 一覧

メーカ	型番	容量値	耐圧	サイズ (L × W × H)
TDK株式会社	C1608X7R1C105K080AC	1 μF	16 V	1.6 mm × 0.8 mm × 0.8 mm
株式会社村田製作所	GRM155C71A105KE11	1 μF	10 V	1.0 mm × 0.5 mm × 0.5 mm

表15　推奨インダクタ (L) 一覧

メーカ	型番	インダクタンス	耐圧	サイズ (L × W × H)
TDK株式会社	TFM252012ALVA3R3MTAA	3.3 μH	40 V	2.5 mm × 2.0 mm × 1.2 mm
TDK株式会社	CLF5030NIT-3R3N-D	3.3 μH	−	5.0 mm × 5.3 mm × 2.7 mm
TDK株式会社	TFM252012ALVA4R7MTAA	4.7 μH	40 V	2.5 mm × 2.0 mm × 1.2 mm
TDK株式会社	CLF5030NIT-4R7N-D	4.7 μH	−	5.0 mm × 5.3 mm × 2.7 mm
TDK株式会社	CLF5030NIT-6R8N-D	6.8 μH	−	5.0 mm × 5.3 mm × 2.7 mm
TDK株式会社	CLF5030NIT-100M-D	10 μH	−	5.0 mm × 5.3 mm × 2.7 mm
株式会社村田製作所	LQH44PH4R7MPR	4.7 μH	−	4.0 mm × 4.0 mm × 1.65 mm

1. 入力コンデンサ (C_{IN})

C_{IN}はICの安定動作のために使用されます。電源ラインに発生するリップル電圧、スイッチングノイズを抑制する効果があります。4.7 μF以上のセラミックコンデンサを推奨します。

2. 出力コンデンサ (C_{OUT})

C_{OUT}は出力電圧を平滑化するために使用されます。V_{OUT}に発生するリップル電圧 (ΔV_{OUT}) はC_{OUT}に反比例します。ESRが十分に小さいコンデンサを選択した場合、電流連続モード時のΔV_{OUT}は次式で計算できます。

$$\Delta V_{OUT} = \frac{\Delta I_L}{8 \times f_{OSC} \times C_{OUT}}$$

また、C_{OUT}はフィードバックループの安定性に寄与するため、10 μF以上のセラミックコンデンサを推奨します。極端に大きな容量値を選択すると起動時に過電流保護機能が作動し、起動不良を引き起こす可能性があるため、200 μF以下の容量値を選択してください。

3. インダクタ (L)

電流モード制御固有のサブハーモニック発振を抑制するため、最適な値のLを選択する必要があります。IC内部のスロープ補償を考慮して、3.3 μH ~ 10 μHのインダクタをV_{OUT}に応じて選択してください。

Lの選定におきましては、許容電流にご注意ください。許容電流を越える電流がインダクタに流れると、インダクタは磁気飽和を起こし、著しい効率の低下と大電流によるICの破壊を引き起こす可能性があります。
電流連続モード時のインダクタに流れるリップル電流 (ΔI_L)、ピーク電流 (I_{PK}) は、それぞれ次式で計算されます。I_{PK}はインダクタの許容電流を越えないようにしてください。

$$\Delta I_L = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{f_{OSC} \times L \times V_{IN}}$$

$$I_{PK} = I_{OUT} + \frac{\Delta I_L}{2}$$

V_{OUT}がV_{SS}に短絡する等フォールト状態となってもインダクタの許容電流を確保する場合は、許容電流がI_{LIM}の最大値である1.4 A以上のインダクタを選択する必要があります。

4. 内部電源安定化コンデンサ (C_{REG})

C_{REG}はICの内部電源 (V_{REG} = 4.5 V typ.) の安定動作のために使われます。1 μFのセラミックコンデンサを推奨します。

5. 出力電圧設定抵抗 (R_{FB1}, R_{FB2})、位相補償コンデンサ (C_{FB})

V_{OUT}は、R_{FB1}, R_{FB2}により任意の値に設定することができます。V_{OUT}は、V_{FB} = 0.8 V typ.を代入し、以下の式より求めることができます。R_{FB1}, R_{FB2}の値を大きくすると、FB端子がノイズの影響を受けやすくなりますので注意してください。15 kΩ程度のR_{FB2}を推奨します。

$$V_{OUT} = \frac{(R_{FB1} + R_{FB2})}{R_{FB2}} \times 0.8$$

R_{FB1}と並列に接続されるC_{FB}は、位相補償用のコンデンサです。R_{FB1}とC_{FB}を用いてゼロ点 (位相の戻り) を設定することによって、フィードバックループの位相余裕を大きくすることが可能です。
C_{FB}を選択する際は、次式を参考にしてください。また、実際のアプリケーションで十分な評価の上、定数を設定してください。

まず、下式からゼロ点の周波数 (f_z) を求めます。

$$f_Z = 3.94 \times \frac{1}{C_{OUT}} \times \frac{V_{FB}}{V_{OUT}}$$

次にR_{FB1}と上式で得られたf_Zを下式に代入してC_{FB}の値を算出します。

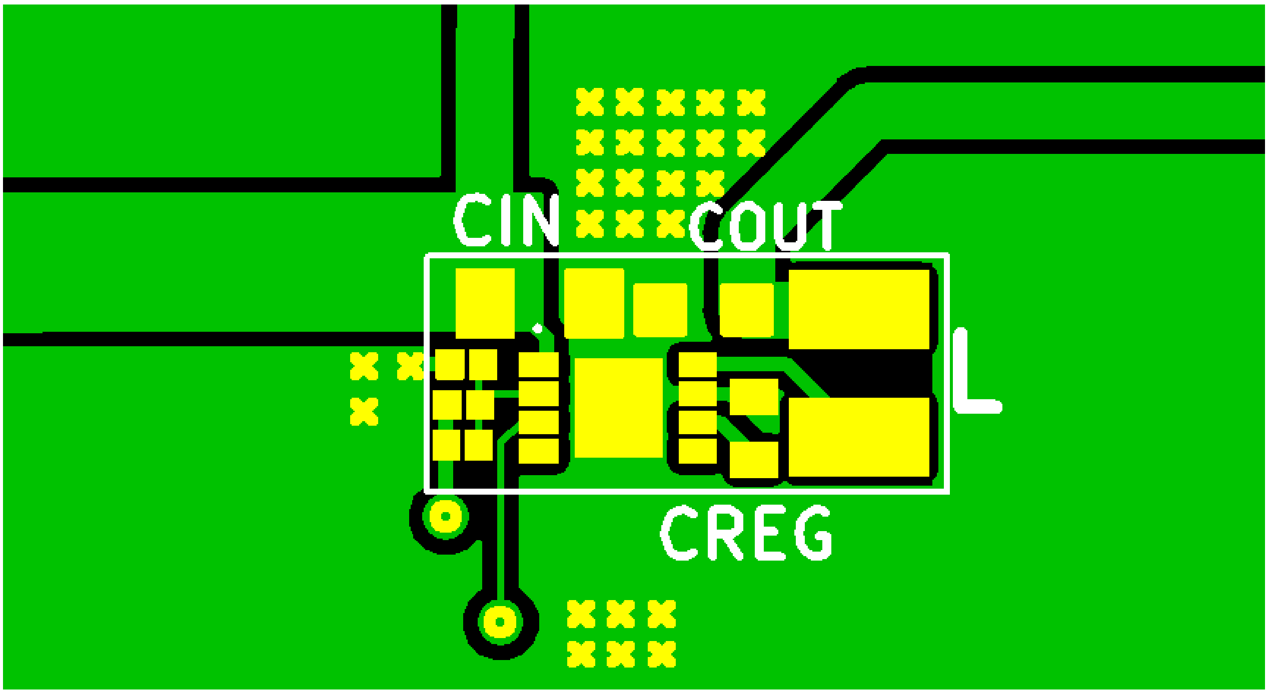
$$C_{FB} = \frac{1}{2 \times \pi \times R_{FB1} \times f_Z}$$

注意　一般に、スイッチングレギュレータでは、外付け部品の選択によっては発振が起こる可能性があります。実際のアプリケーションで温度特性を含めた十分な評価を行い、発振が起こらないことを確認してください。

■ 基板レイアウトのガイドライン

S-8560/8561シリーズの基板レイアウトの際には、以下にご注意ください。

- C_{IN}はできるだけVIN端子とVSS端子の近くに配置してください。C_{IN}の配置を最優先にしてください。
- C_{REG}はできるだけVREG端子とVSS端子の近くに配置してください。
- C_{IN}、C_{REG}は、ICと同じ表面層に実装してください。サーマルビアを介して接続すると、サーマルビアのインピーダンスが影響して動作が不安定になる場合があります。
- FB端子の配線はできるだけ短くしてください。FB端子の寄生容量は、フィードバックループの位相余裕に影響する場合があります。
- 不安定な動作を避けるため、FB端子は、SW端子の配線等、ノイズ源に近づけないでください。
- GNDパターンはできるだけ広くしてください。
- 十分に放熱するようGNDパターンでサーマルビアを配置してください。
- SW端子には大きな電流が流れます。寄生容量と放射ノイズを最小化するためにSW端子に接続するパターンの配線面積を小さくしてください。
- SW端子 → L → C_{OUT} → VSS端子のループ配線を短くしてください。放射ノイズの低減に効果的です。
- SW端子のパターンは、ICの下には配線しないでください。



トータルサイズ　9.0 mm × 4.1 mm = 36.9 mm^2

図12　参考基板パターン

注意　上記パターン図面は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、パターンを決定してください。

■ 注意事項

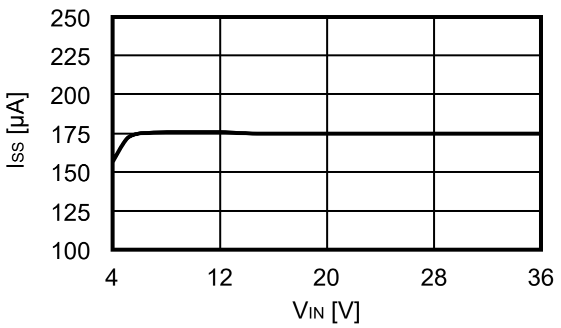
- 外付けのコンデンサ、インダクタ等はできるだけICの近くに実装し、一点アースとなるようにしてください。
- スイッチングレギュレータを含むICでは、特有のリップル電圧、スパイクノイズが生じます。
また電源投入時にラッシュカレントが流れます。これらは使用するインダクタおよびコンデンサ、電源のインピーダンスにより大きく影響されますので、設計する場合は実機で十分評価をしてください。
- VIN端子 – VSS端子間に接続された4.7 μFの容量はバイパスコンデンサです。IC内部の電源を安定化させ、安定したスイッチング動作を促します。バイパスコンデンサはICの近傍に最優先で配置してください。
- 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- 本ICの許容損失は実装する基板のサイズ、材質などによって大きく変動します。設計する場合は実機で十分評価をしてください。
- 弊社ICを使用して製品を作る場合、その製品での当ICの使い方や製品の仕様また、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

■ 諸特性データ (Typicalデータ)

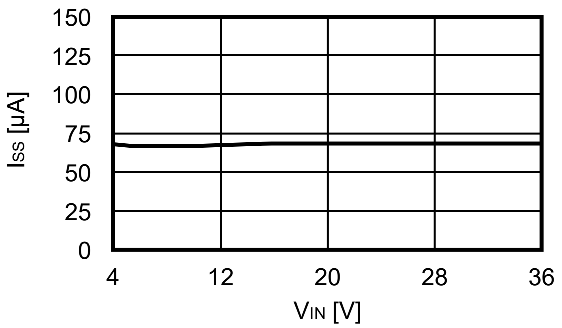
1. 主要項目電源依存特性例 (Ta = +25°C)

1. 1 静止時消費電流 (I_{SS}) – 入力電圧 (V_{IN})

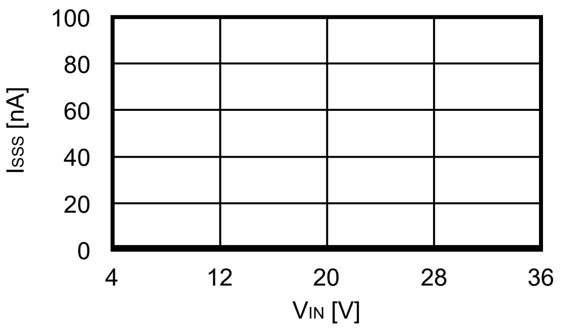
1. 1. 1 S-8560シリーズ



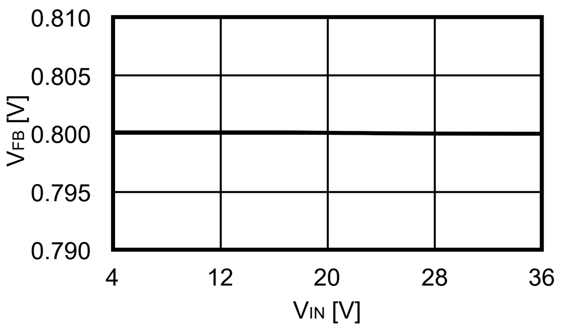
1. 1. 2 S-8561シリーズ



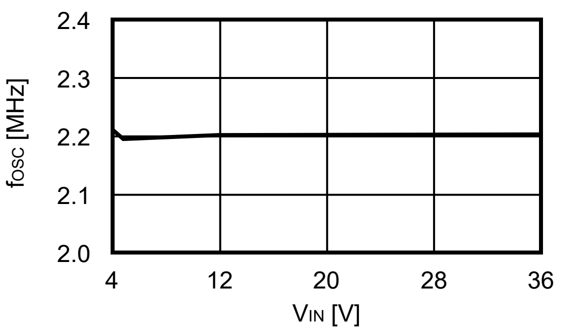
1. 2 パワーオフ時消費電流 (I_{SSS}) – 入力電圧 (V_{IN})



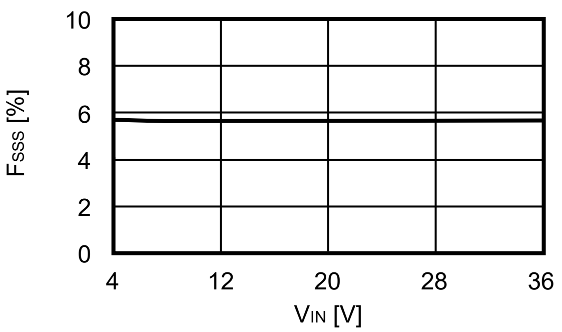
1. 3 FB端子電圧 (V_{FB}) – 入力電圧 (V_{IN})



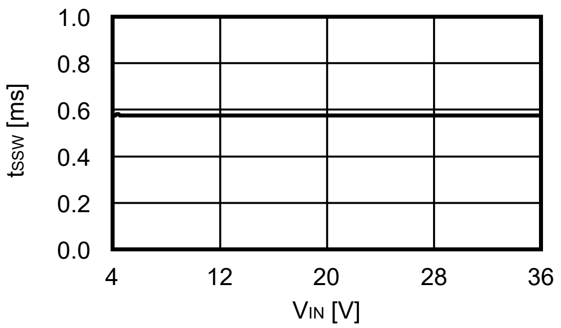
1. 4 発振周波数 (f_{OSC}) – 入力電圧 (V_{IN})



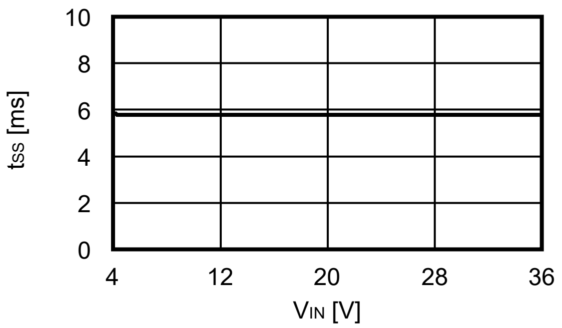
1. 5 発振周波数変調率 (F_{SSS}) – 入力電圧 (V_{IN})



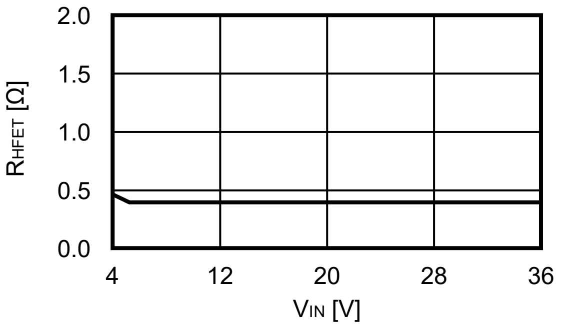
1. 6 ソフトスタートウェイト時間 (t_{SSW}) – 入力電圧 (V_{IN})



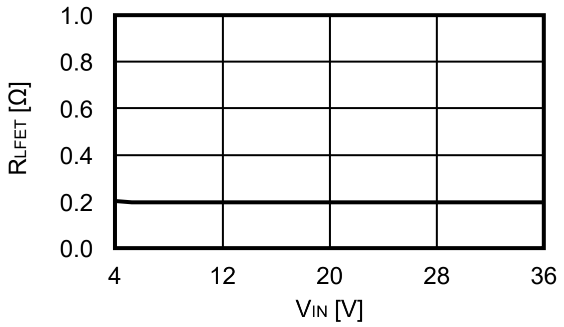
1. 7 ソフトスタート時間 (t_{SS}) – 入力電圧 (V_{IN})



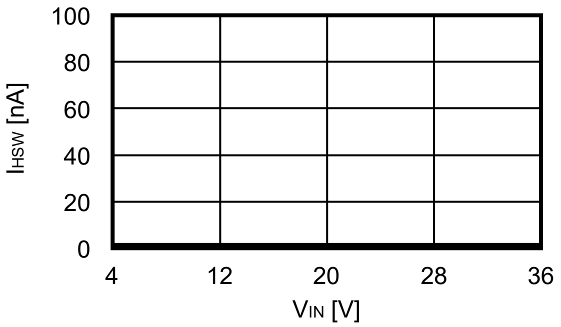
1. 8　ハイサイドパワーMOS FETオン抵抗 (R_{HFET}) – 入力電圧 (V_{IN})



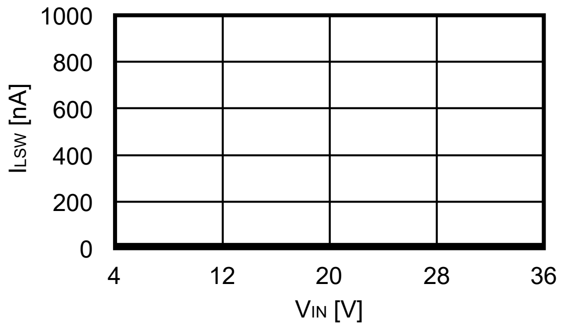
1. 9　ロウサイドパワーMOS FETオン抵抗 (R_{LFET}) – 入力電圧 (V_{IN})



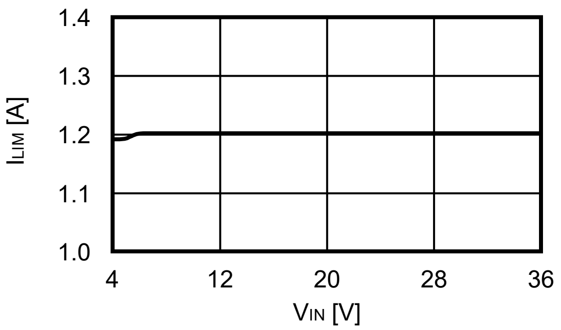
1. 10　ハイサイドパワーMOS FETリーク電流 (I_{HSW}) – 入力電圧 (V_{IN})



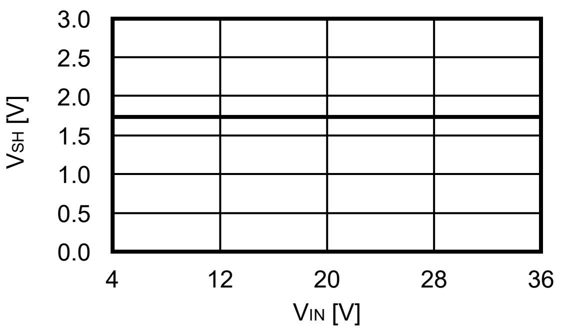
1. 11　ロウサイドパワーMOS FETリーク電流 (I_{LSW}) – 入力電圧 (V_{IN})



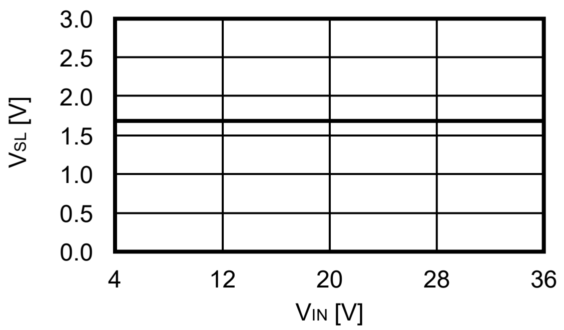
1. 12　制限電流 (I_{LIM}) – 入力電圧 (V_{IN})



1. 13　高レベル入力電圧 (V_{SH}) – 入力電圧 (V_{IN})



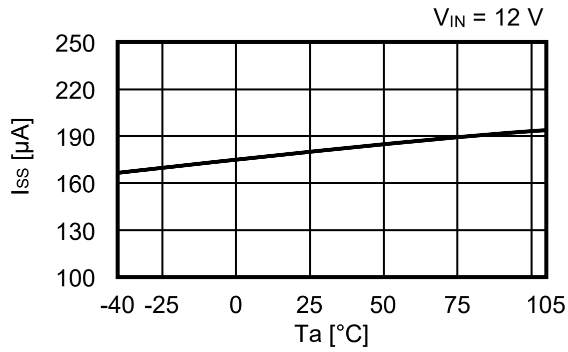
1. 14　低レベル入力電圧 (V_{SL}) – 入力電圧 (V_{IN})



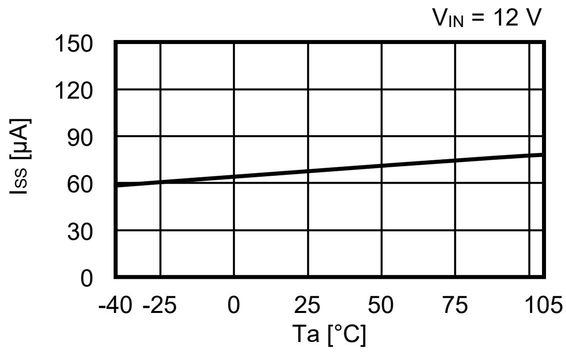
2. 主要項目温度特性例 (Ta = −40°C ~ +105°C)

2. 1 静止時消費電流 (I_{SS}) − 温度 (Ta)

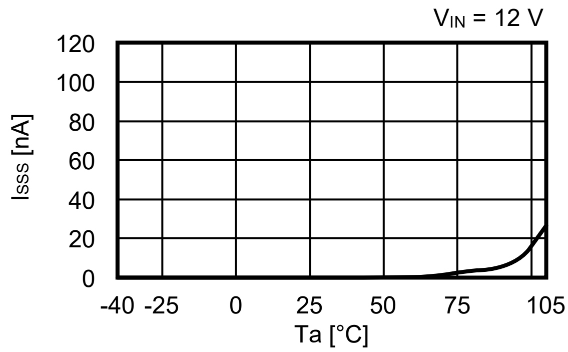
2. 1. 1 S-8560シリーズ



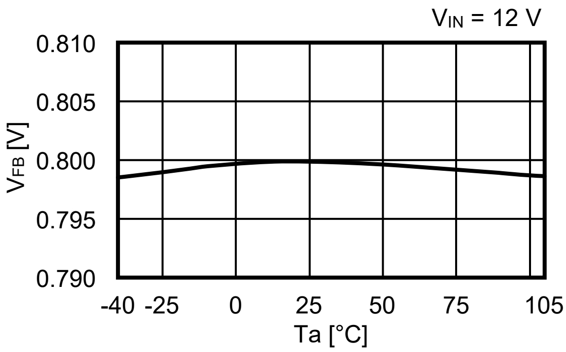
2. 1. 2 S-8561シリーズ



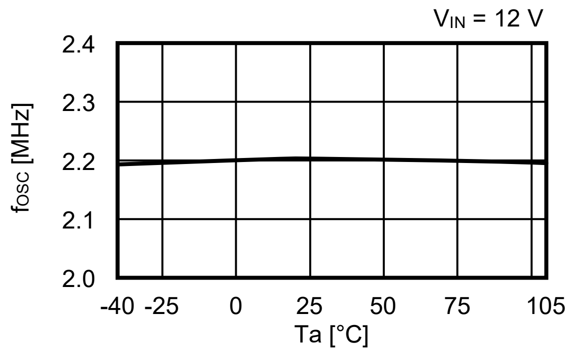
2. 2 パワーオフ時消費電流 (I_{SSS}) − 温度 (Ta)



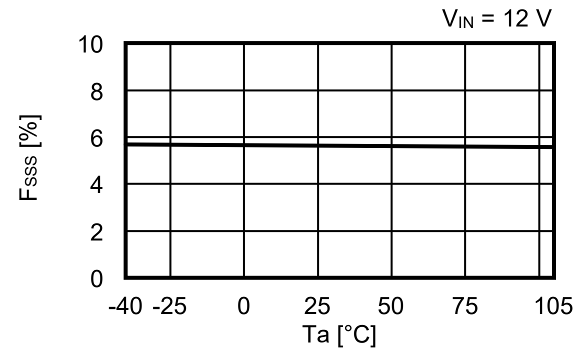
2. 3 FB端子電圧 (V_{FB}) − 温度 (Ta)



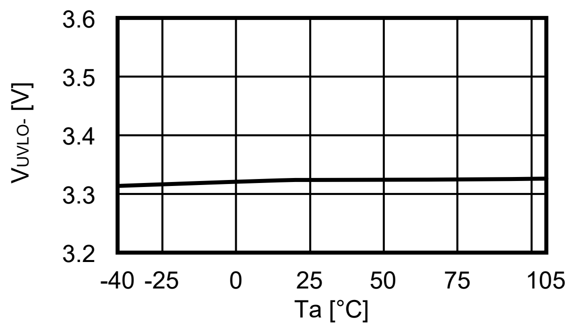
2. 4 発振周波数 (f_{OSC}) − 温度 (Ta)



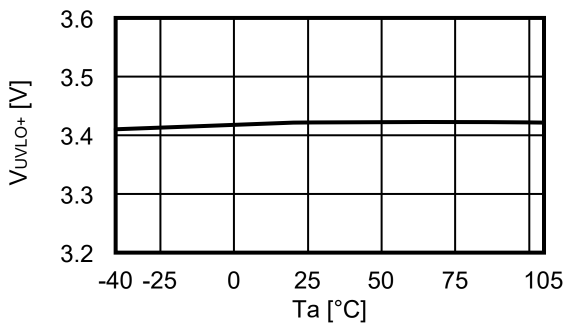
2. 5 発振周波数変調率 (F_{SSS}) − 温度 (Ta)



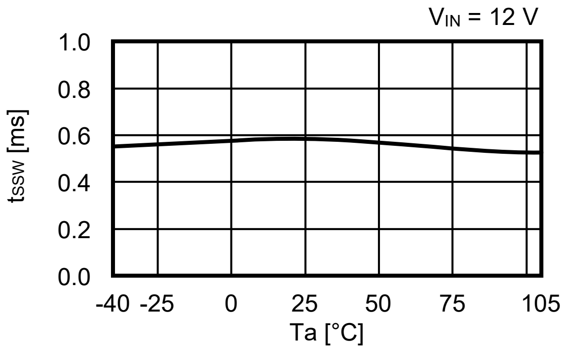
2. 6 UVLO検出電圧 (V_{UVLO-}) − 温度 (Ta)



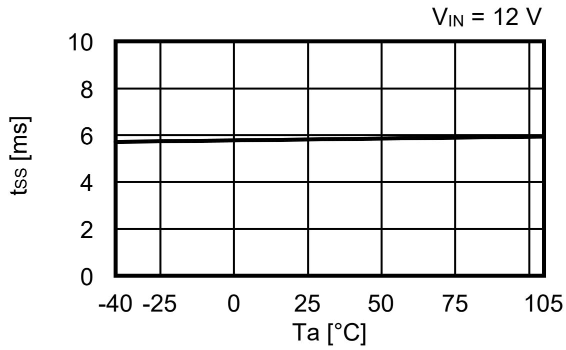
2. 7 UVLO解除電圧 (V_{UVLO+}) − 温度 (Ta)



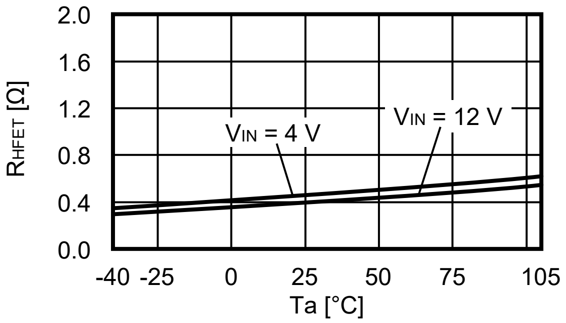
2. 8　ソフトスタートウェイト時間 (t_{SSW}) – 温度 (Ta)



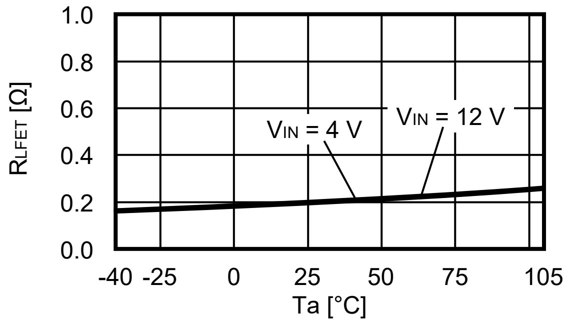
2. 9　ソフトスタート時間 (t_{SS}) – 温度 (Ta)



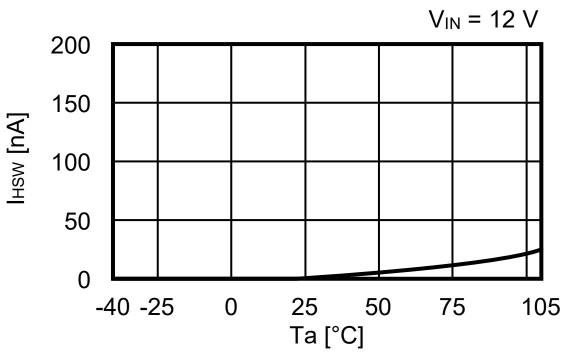
2. 10　ハイサイドパワーMOS FETオン抵抗 (R_{HFET}) – 温度 (Ta)



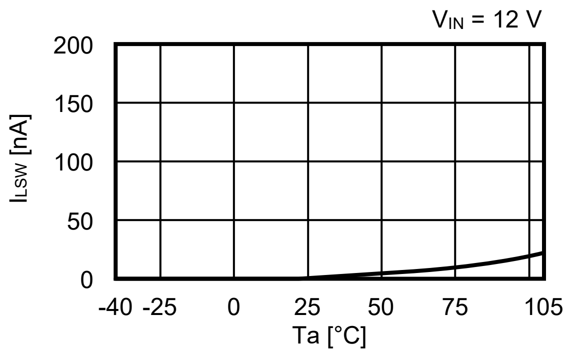
2. 11　ロウサイドパワーMOS FETオン抵抗 (R_{LFET}) – 温度 (Ta)



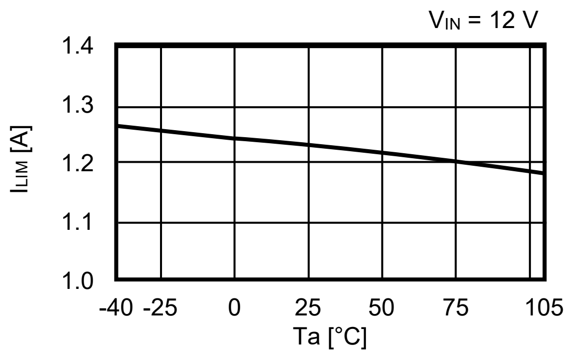
2. 12　ハイサイドパワーMOS FETリーク電流 (I_{HSW}) – 温度 (Ta)



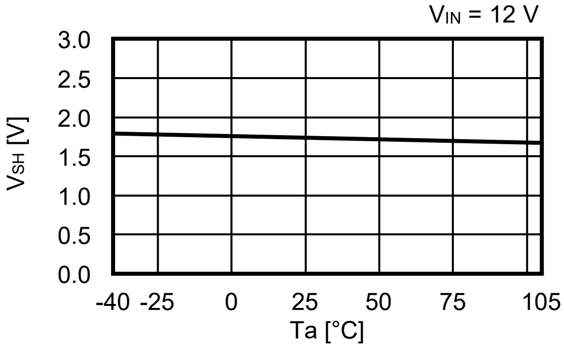
2. 13　ロウサイドパワーMOS FETリーク電流 (I_{LSW}) – 温度 (Ta)



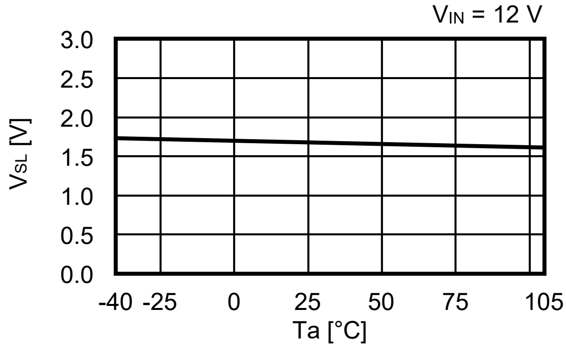
2. 14　制限電流 (I_{LIM}) – 温度 (Ta)



2. 15　高レベル入力電圧 (VSH) – 温度 (Ta)

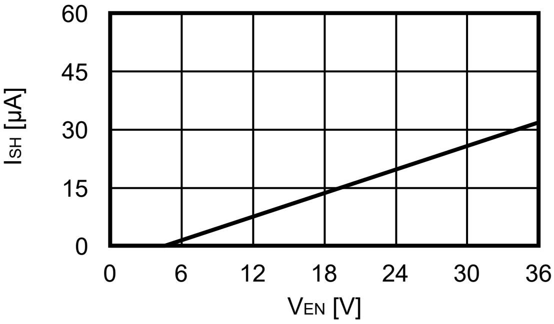


2. 16　低レベル入力電圧 (VSL) – 温度 (Ta)



3.　EN端子特性例 (Ta = +25°C)

3. 1　高レベル入力電流 (ISH) – EN端子電圧 (VEN)



4.　過渡応答特性例

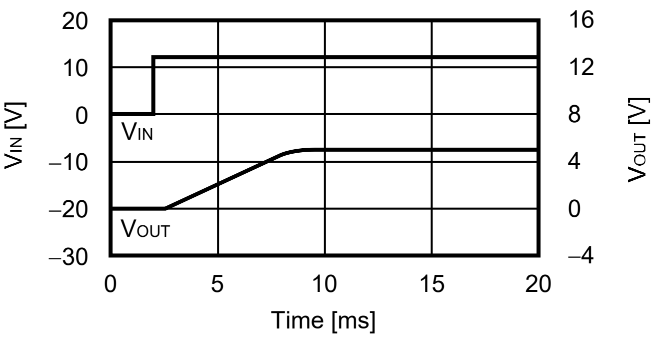
"**4.　過渡応答特性例**" では**表16**に示す外付け部品を使用しています。

表16

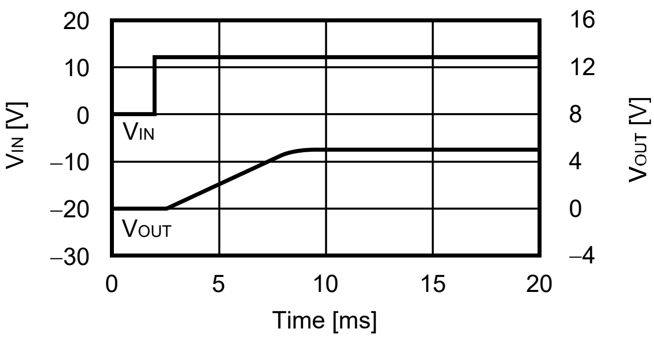
素子名	定数	メーカ	型番
インダクタ	4.7 μH	TDK株式会社	TFM252012ALVA4R7MTAA
入力コンデンサ	4.7 μF	TDK株式会社	CGA5L3X7R1H475K160AB
出力コンデンサ	10 μF	TDK株式会社	CGA5L1X7R1C106K160AC

4. 1　電源投入 (VOUT = 5.0 V, VIN = VEN = 0 V → 12 V, Ta = +25°C)

4. 1. 1　IOUT = 1 mA

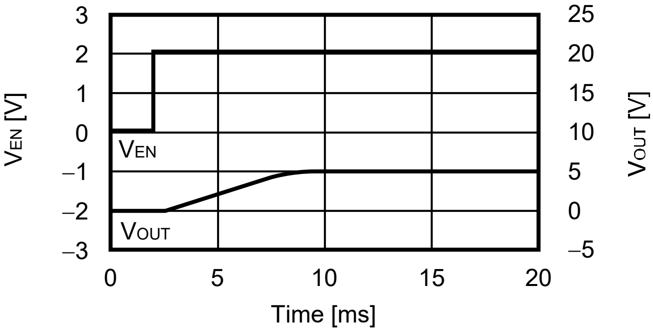


4. 1. 2　IOUT = 600 mA

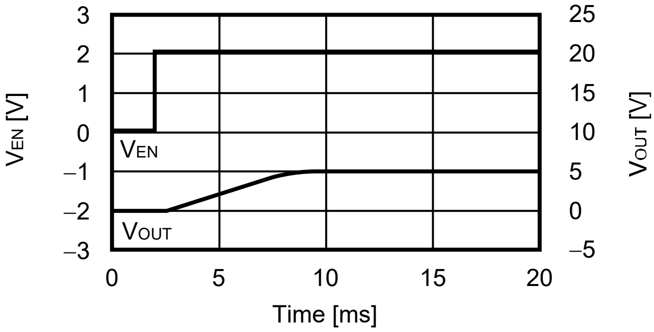


4. 2　EN端子過渡応答特性 (V_{OUT} = 5.0 V, V_{IN} = 12 V, V_{EN} = 0 V → 2.0 V, Ta = +25°C)

4. 2. 1　I_{OUT} = 1 mA

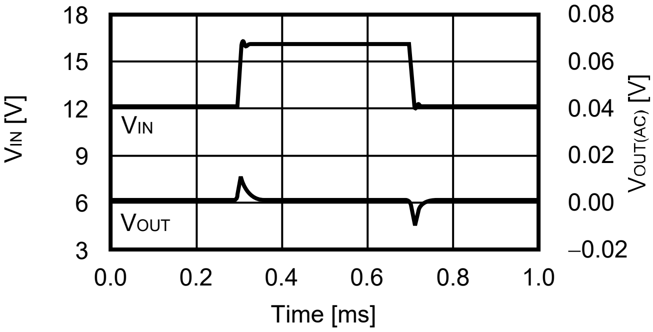


4. 2. 2　I_{OUT} = 600 mA

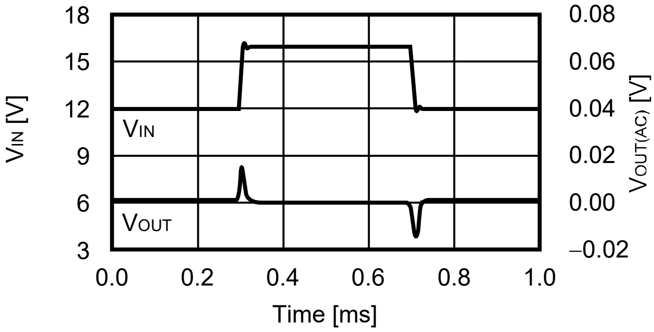


4. 3　電源電圧変動 (V_{OUT} = 5.0 V, V_{IN} = 12 V → 16 V→ 12 V, Ta = +25°C)

4. 3. 1　I_{OUT} = 1 mA

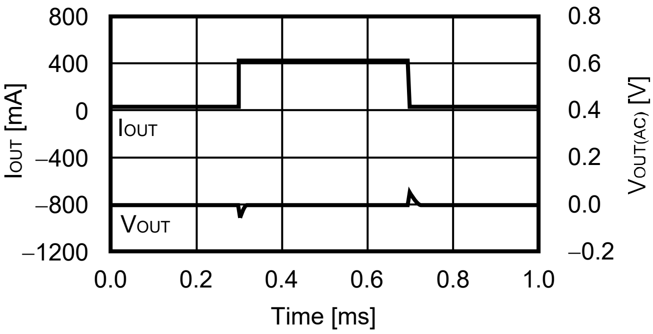


4. 3. 2　I_{OUT} = 600 mA

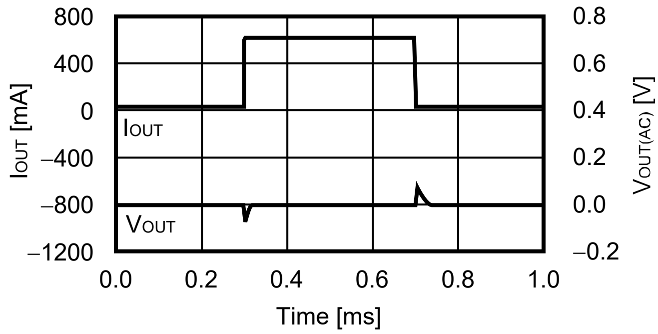


4. 4　負荷変動 (V_{OUT} = 5.0 V, Ta = +25°C)

4. 4. 1　I_{OUT} = 10 mA → 400 mA → 10 mA



4. 4. 2　I_{OUT} = 10 mA → 600 mA → 10 mA



■ 参考データ

"**■ 参考データ**" では、**表17**に示す外付け部品を使用しています。

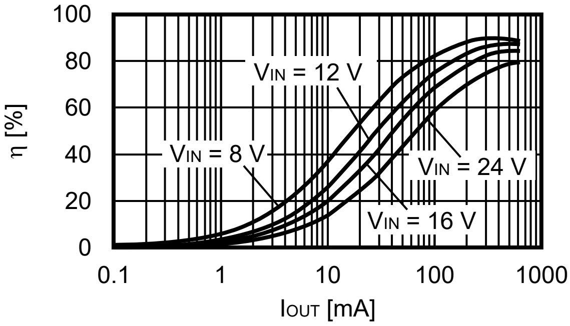
表17

条件	インダクタ (L)	入力コンデンサ (C_{IN})	出力コンデンサ (C_{OUT})
<1>	TFM252012ALVA4R7MTAA (4.7 μH) TDK株式会社	CGA5L3X7R1H475K160AB (4.7 μF) TDK株式会社	CGA5L1X7R1C106K160AC (10 μF) TDK株式会社
<2>	TFM252012ALVA3R3MTAA (3.3 μH) TDK株式会社	CGA5L3X7R1H475K160AB (4.7 μF) TDK株式会社	CGA5L1X7R1C106K160AC (10 μF) TDK株式会社

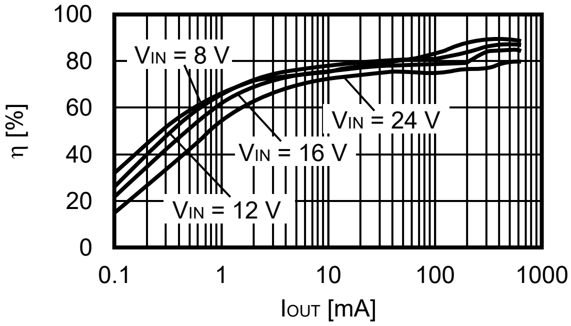
1.　V_{OUT} = 5.0 V (外付け部品 ： 条件<1>)

1. 1　効率 (η) – 出力電流 (I_{OUT})

1. 1. 1　S-8560シリーズ

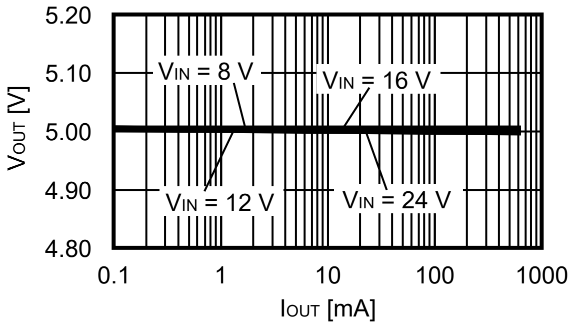


1. 1. 2　S-8561シリーズ

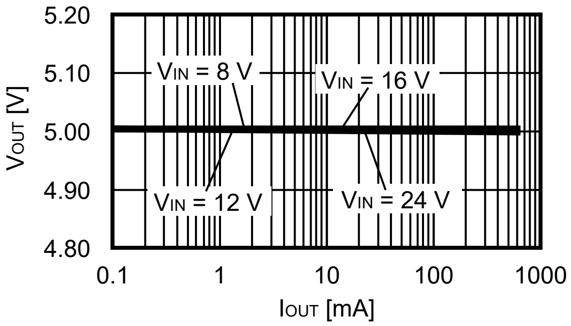


1. 2　出力電圧 (V_{OUT}) – 出力電流 (I_{OUT})

1. 2. 1　S-8560シリーズ

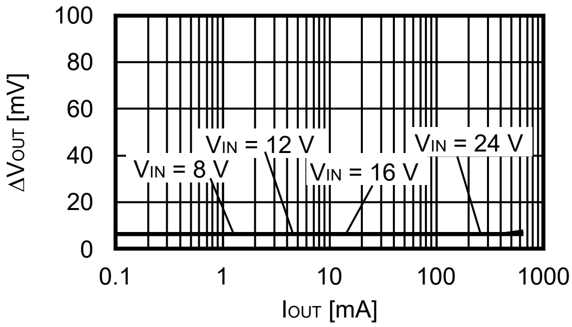


1. 2. 2　S-8561シリーズ

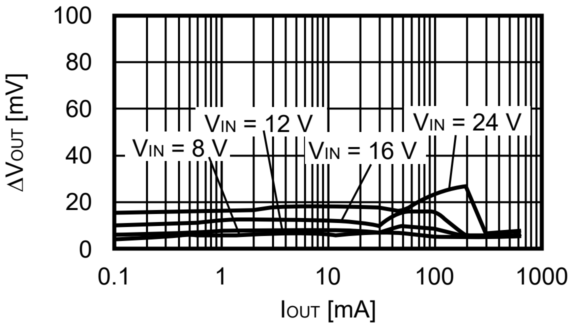


1. 3　リップル電圧 (ΔV_{OUT}) – 出力電流 (I_{OUT})

1. 3. 1　S-8560シリーズ



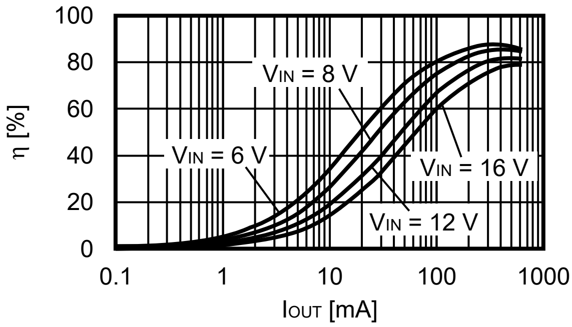
1. 3. 2　S-8561シリーズ



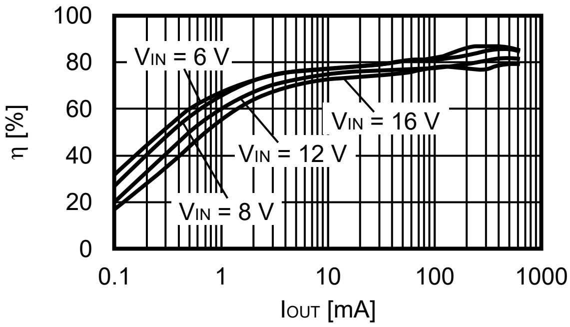
2.　V_{OUT} = 3.3 V (外付け部品 ： 条件<2>)

2. 1　効率 (η) – 出力電流 (I$_{OUT}$)

2. 1. 1　S-8560シリーズ

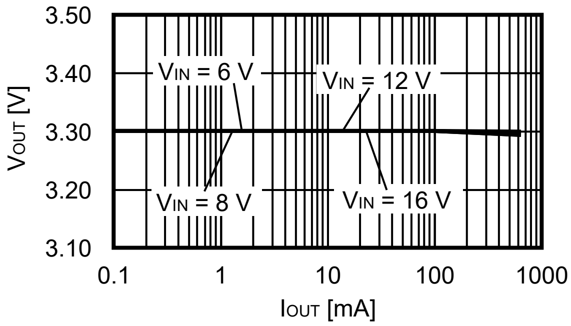


2. 1. 2　S-8561シリーズ

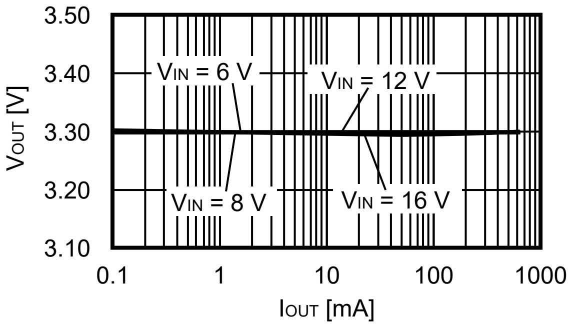


2. 2　出力電圧 (V_{OUT}) – 出力電流 (I_{OUT})

2. 2. 1　S-8560シリーズ

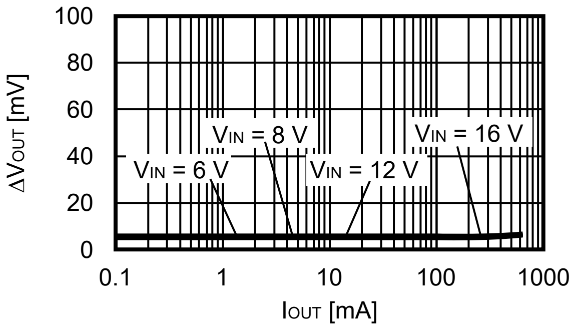


2. 2. 2　S-8561シリーズ

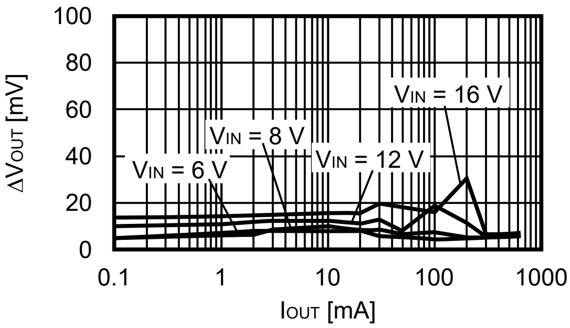


2. 3　リップル電圧 (ΔV_{OUT}) – 出力電流 (I_{OUT})

2. 3. 1　S-8560シリーズ

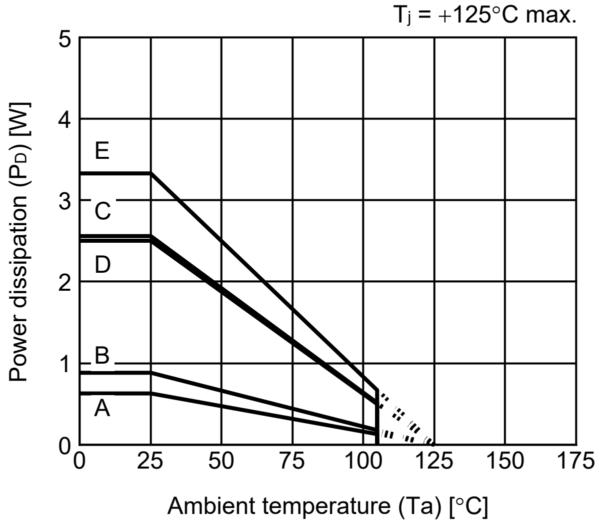


2. 3. 2　S-8561シリーズ



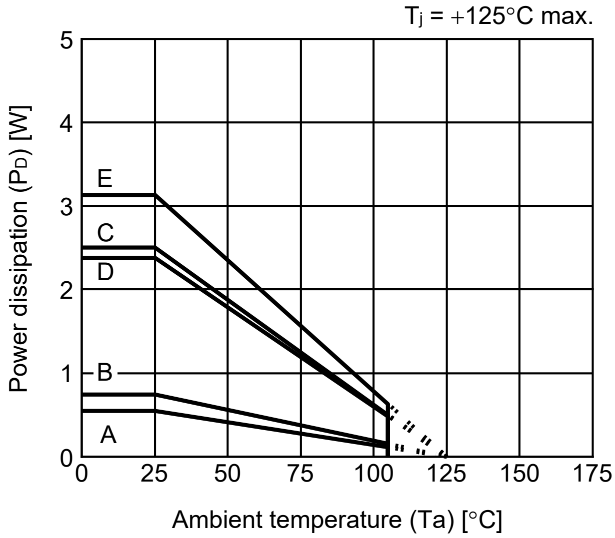
■ Power Dissipation

HTMSOP-8



Board	Power Dissipation (P_D)
A	0.63 W
B	0.88 W
C	2.56 W
D	2.50 W
E	3.33 W

HSNT-8(2030)

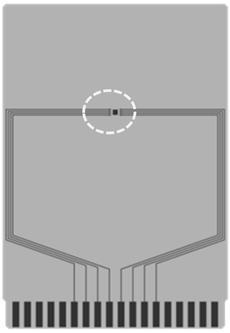


Board	Power Dissipation (P_D)
A	0.55 W
B	0.74 W
C	2.50 W
D	2.38 W
E	3.13 W

HTMSOP-8 Test Board

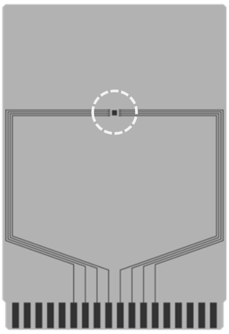
IC Mount Area

(1) Board A



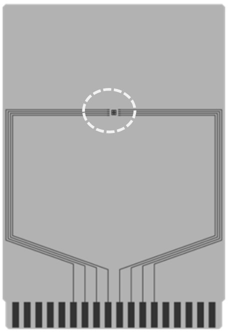
Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		2
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via		-

(2) Board B

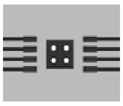


Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-

(3) Board C



Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		Number: 4 Diameter: 0.3 mm



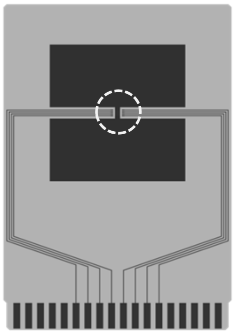
enlarged view

No. HTMSOP8-A-Board-SD-1.0

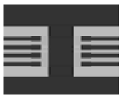
HTMSOP-8 Test Board

IC Mount Area

(4) **Board D**

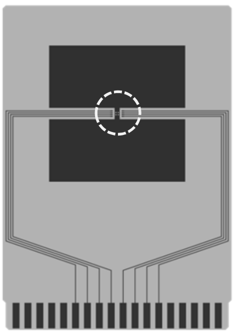


Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Pattern for heat radiation: 2000mm^2 t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-

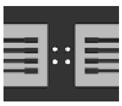


enlarged view

(5) **Board E**



Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Pattern for heat radiation: 2000mm^2 t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		Number: 4 Diameter: 0.3 mm



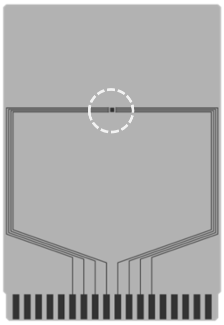
enlarged view

No. HTMSOP8-A-Board-SD-1.0

HSNT-8(2030) Test Board

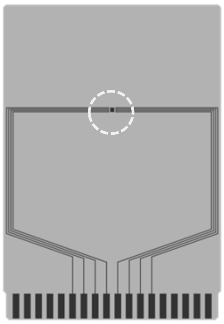
IC Mount Area

(1) Board A



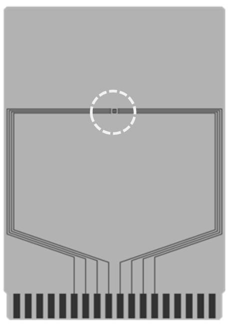
Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		2
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via		-

(2) Board B

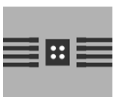


Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-

(3) Board C



Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		Number: 4 Diameter: 0.3 mm



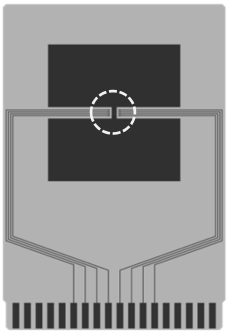
enlarged view

No. HSNT8-A-Board-SD-2.0

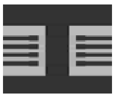
HSNT-8(2030) Test Board

IC Mount Area

(4) Board D

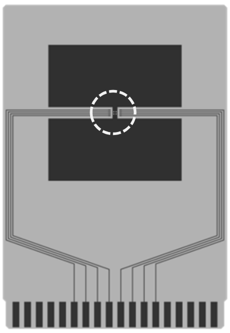


Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Pattern for heat radiation: 2000mm^2 t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-



enlarged view

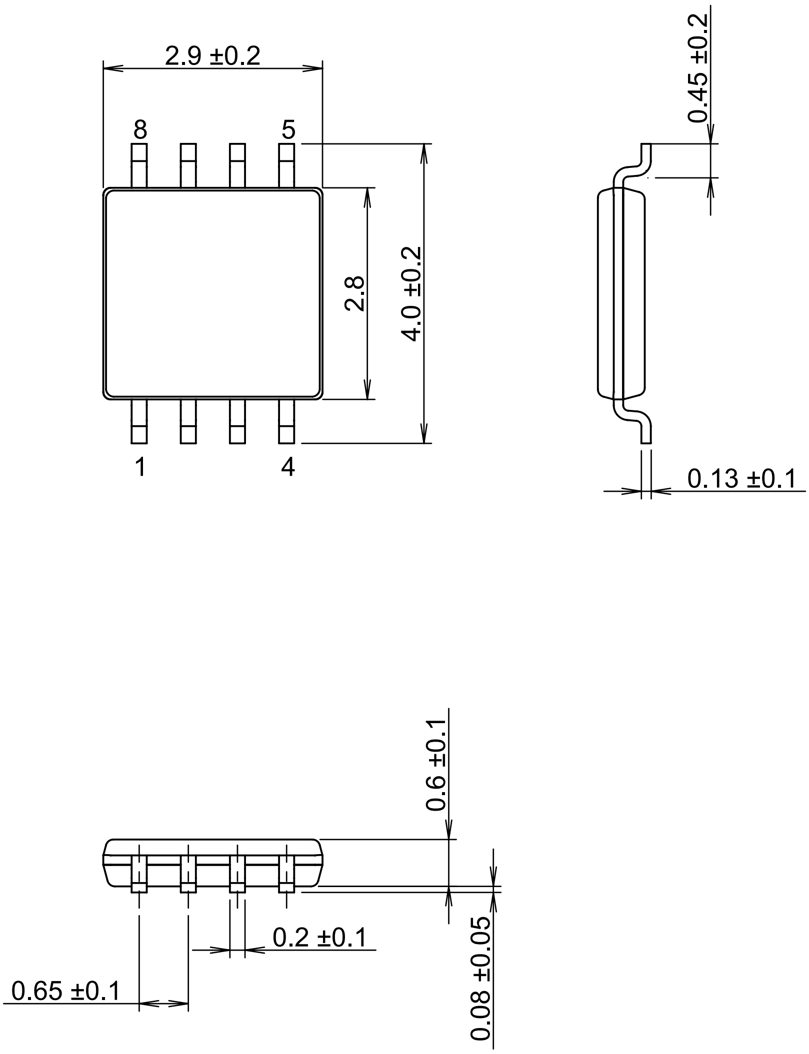
(5) Board E



Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Pattern for heat radiation: 2000mm^2 t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		Number: 4 Diameter: 0.3 mm

enlarged view

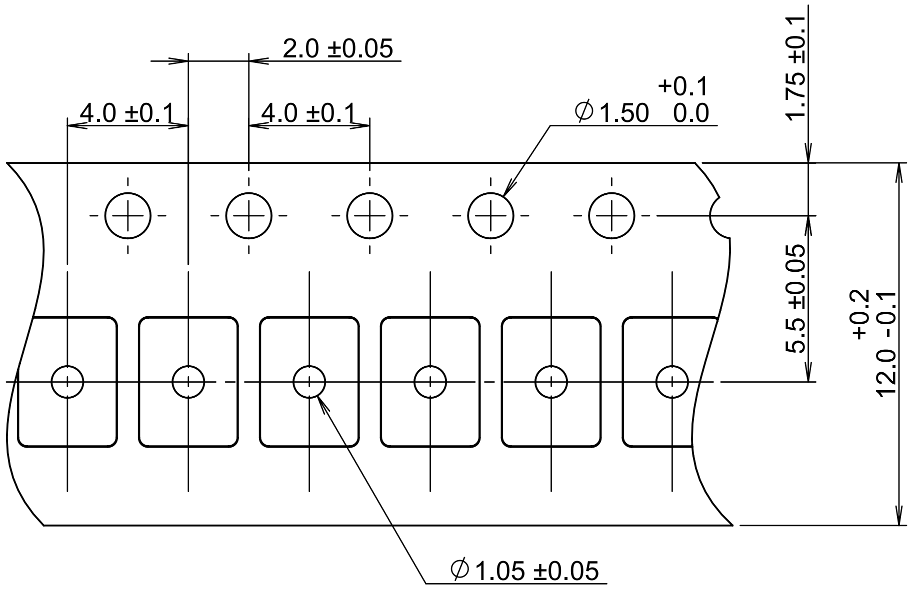
No. HSNT8-A-Board-SD-2.0

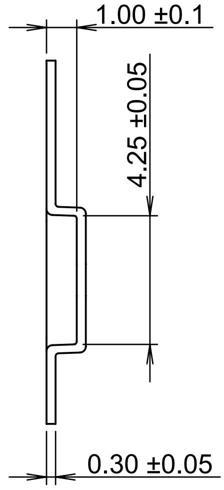


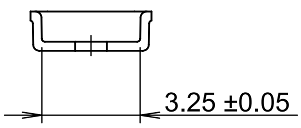
No. FP008-A-P-SD-2.0

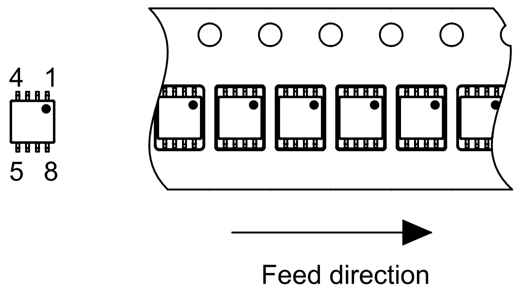
TITLE	HTMSOP8-A-PKG Dimensions
No.	FP008-A-P-SD-2.0
ANGLE	
UNIT	mm

ABLIC Inc.





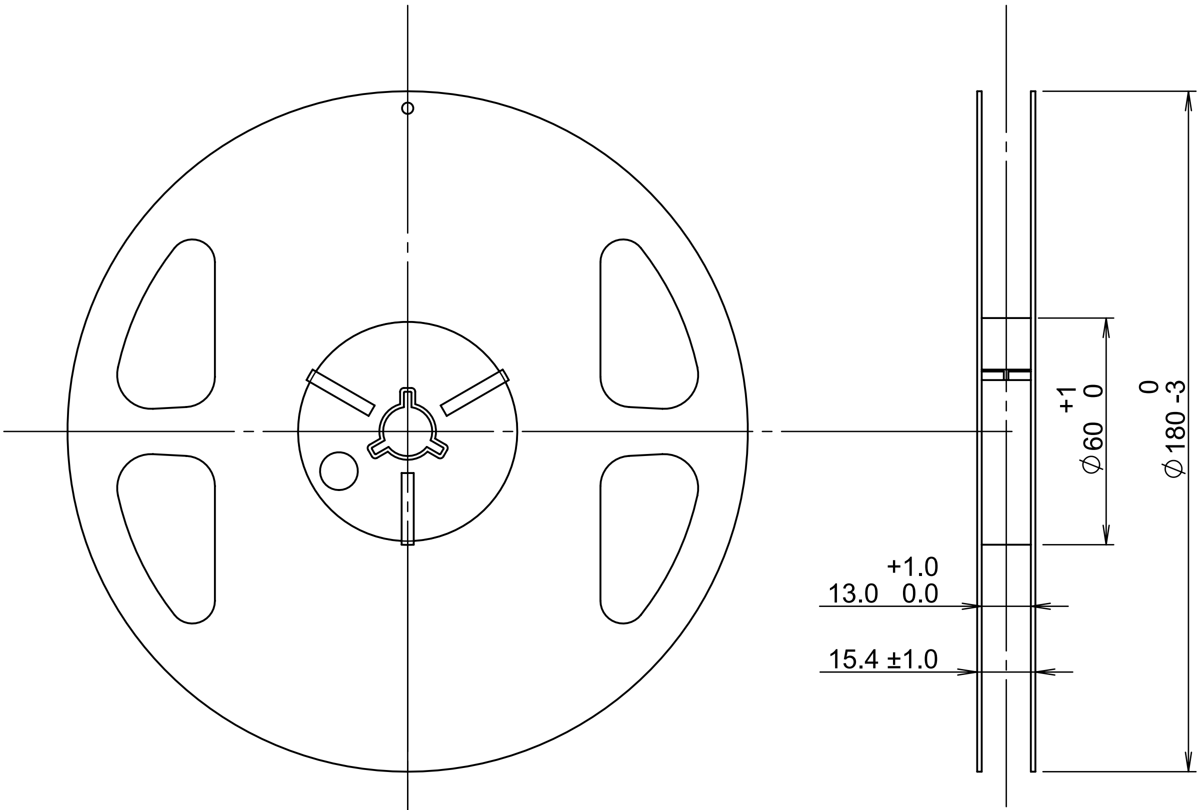




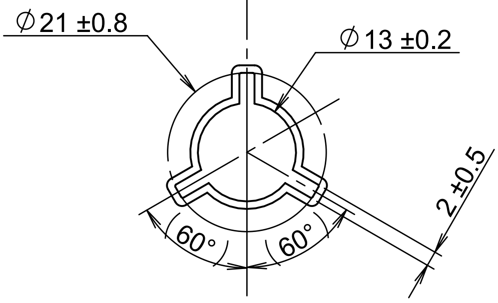
No. FP008-A-C-SD-1.0

TITLE	HTMSOP8-A-Carrier Tape
No.	FP008-A-C-SD-1.0
ANGLE	
UNIT	mm

ABLIC Inc.



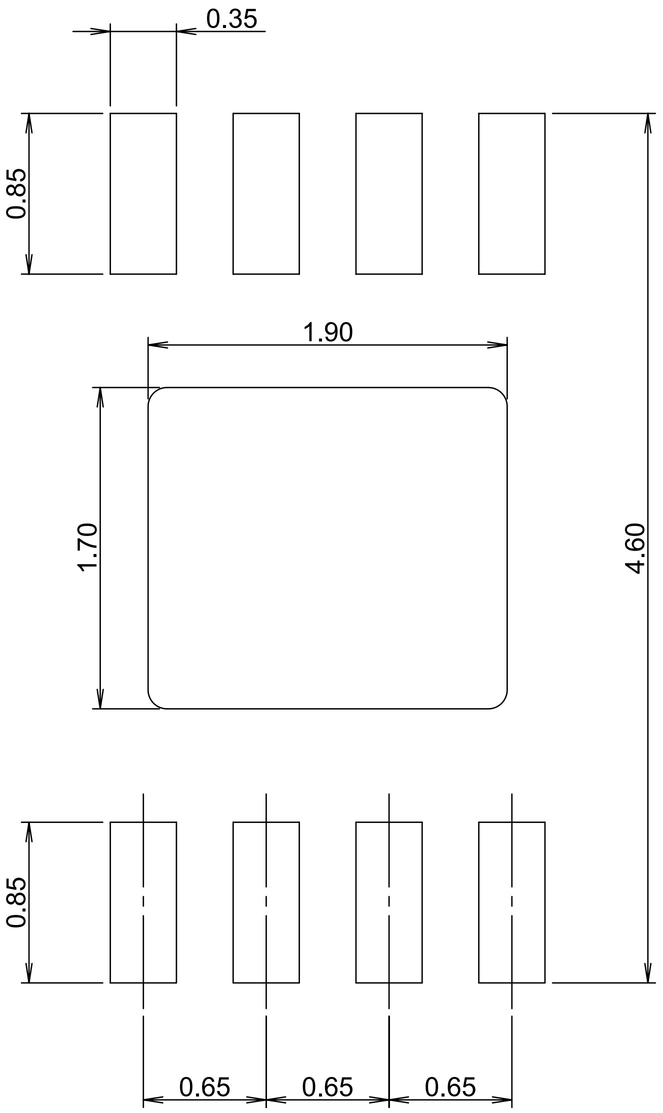
Enlarged drawing in the central part



No. FP008-A-R-SD-2.0

TITLE	HTMSOP8-A-Reel		
No.	FP008-A-R-SD-2.0		
ANGLE		QTY.	4,000
UNIT	mm		

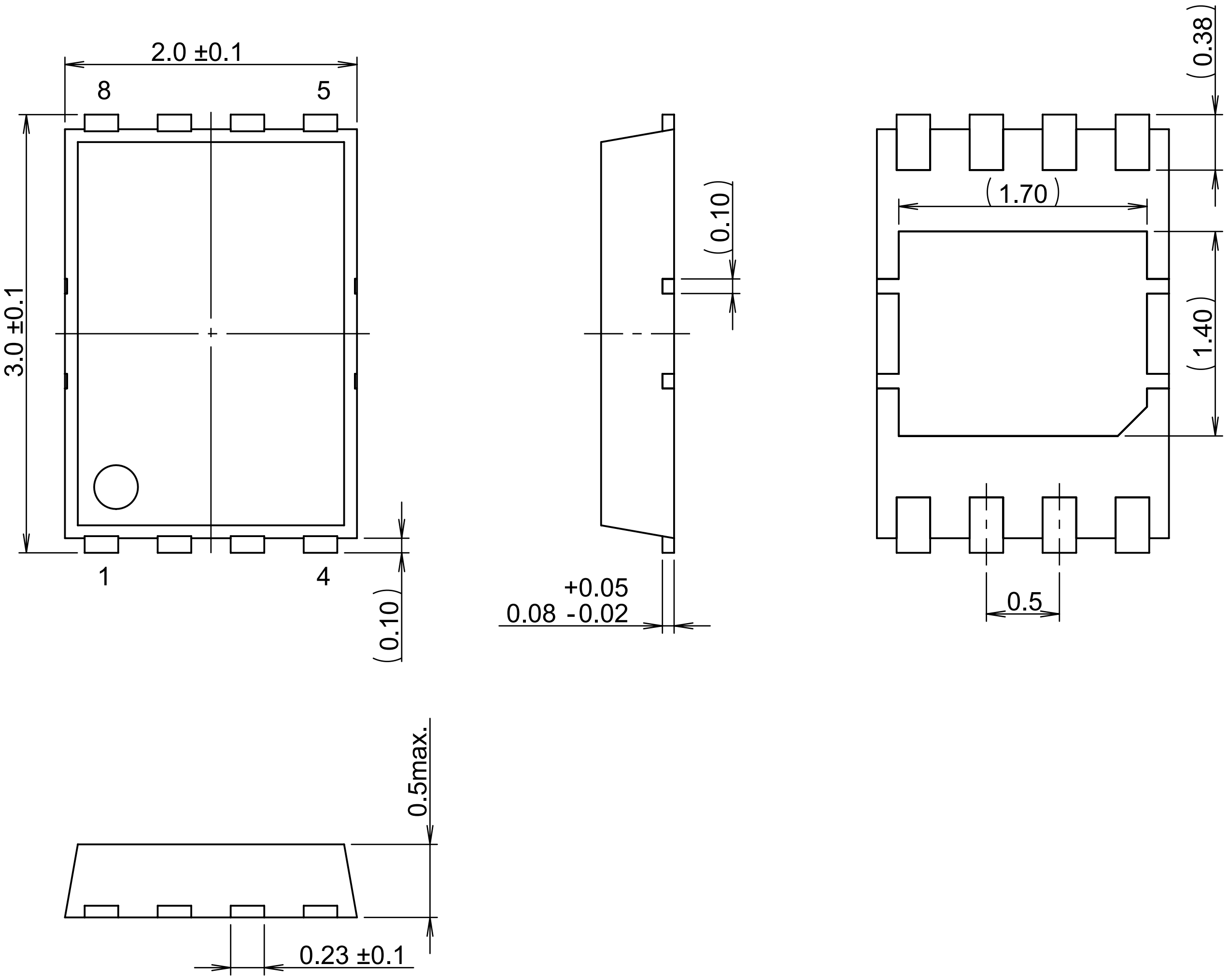
ABLIC Inc.



No. FP008-A-L-SD-2.0

TITLE	HTMSOP8-A -Land Recommendation
No.	FP008-A-L-SD-2.0
ANGLE	
UNIT	mm

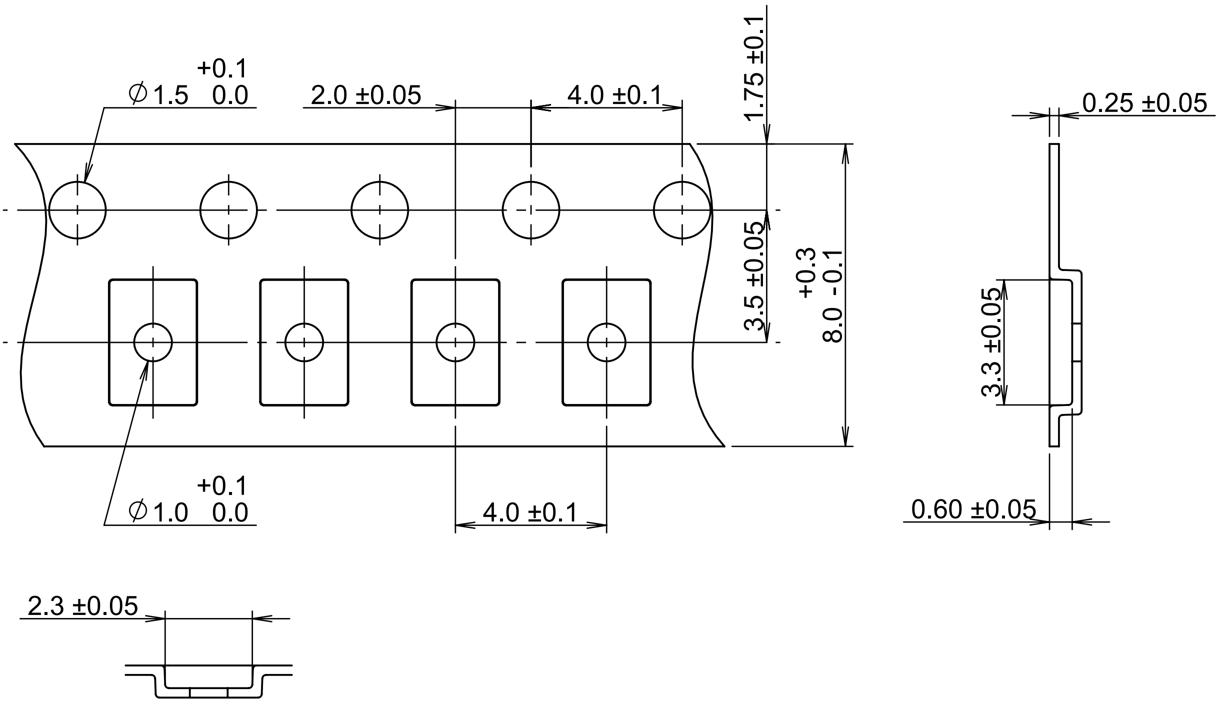
ABLIC Inc.

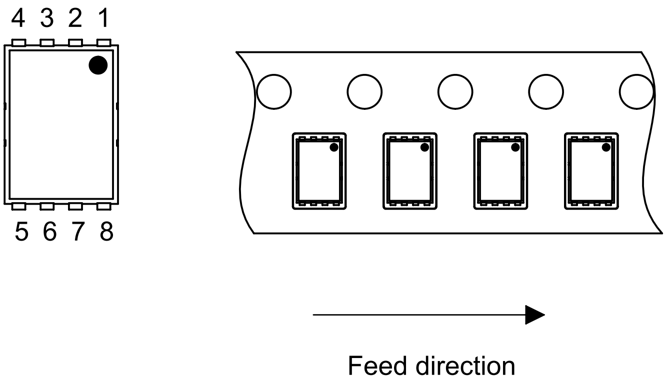


No. PP008-A-P-SD-3.0

TITLE	HSNT-8-A-PKG Dimensions
No.	PP008-A-P-SD-3.0
ANGLE	
UNIT	mm

ABLIC Inc.

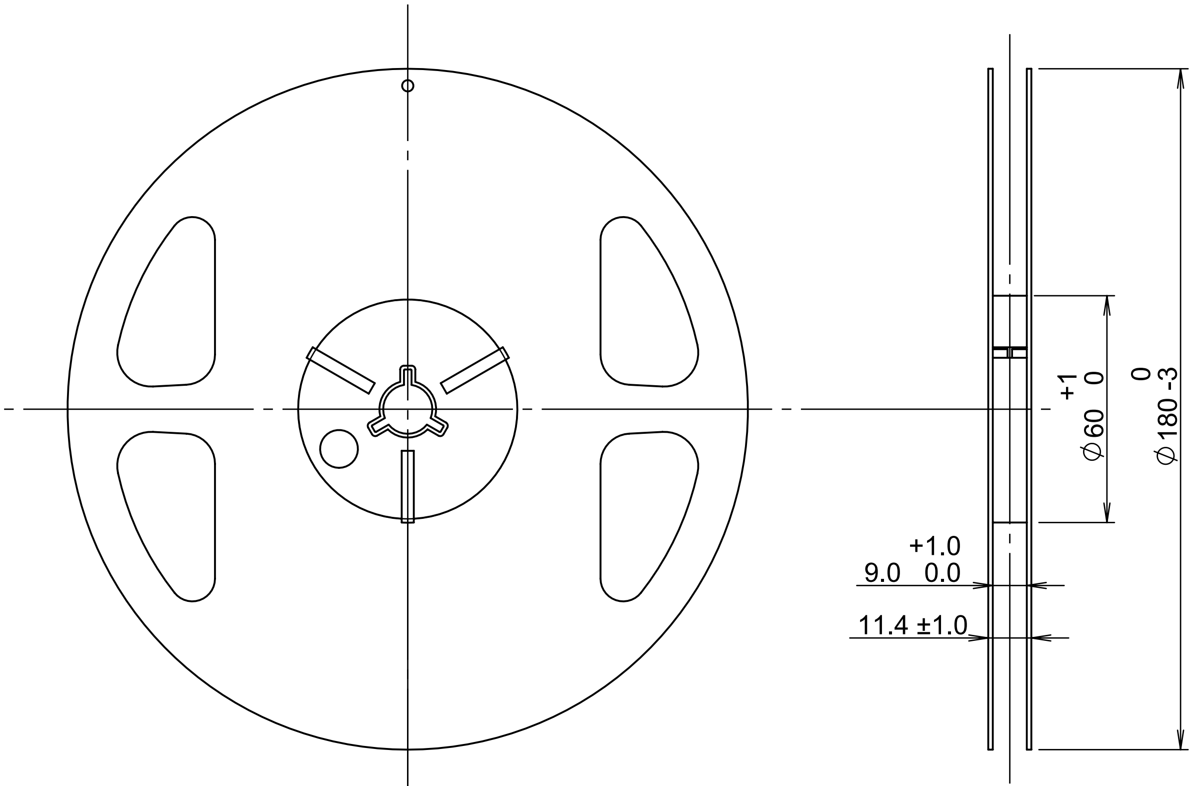




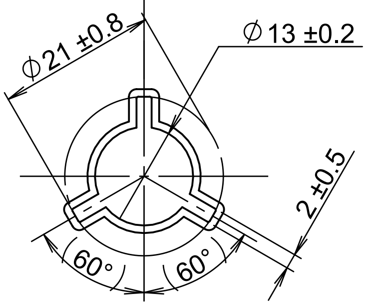
No. PP008-A-C-SD-1.0

TITLE	HSNT-8-A-Carrier Tape
No.	PP008-A-C-SD-1.0
ANGLE	
UNIT	mm

ABLIC Inc.

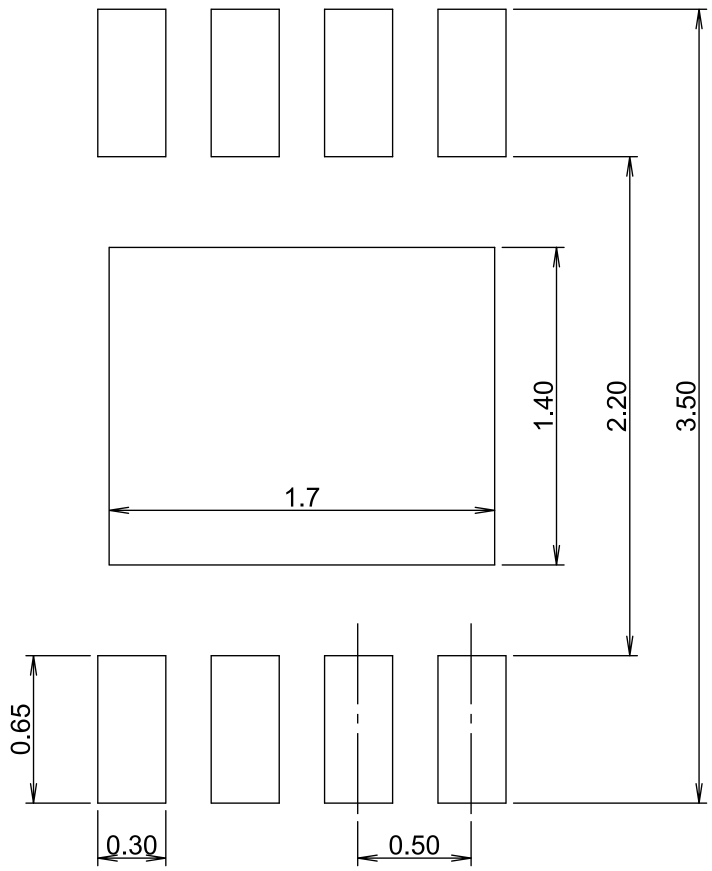


Enlarged drawing in the central part



No. PP008-A-R-SD-2.0

TITLE	HSNT-8-A-Reel		
No.	PP008-A-R-SD-2.0		
ANGLE		QTY.	5,000
UNIT	mm		
ABLIC Inc.			



No. PP008-A-L-SD-2.0

TITLE	HSNT-8-A -Land Recommendation
No.	PP008-A-L-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07