

インターバルタイマICは、一定時間ごとに信号をシステムに入力することで、システムの間欠動作を可能にします。S-35740は、インターバル信号 (定周期割り込み信号) を出力します。ユーザは2ワイヤシリアルインタフェースを介し、インターバル信号 (定周期割り込み信号) の周波数とDuty比を自由に設定できます。S-35740のタイマは24ビットです。タイマは1秒ごとにカウントアップ動作をするため、ユーザはシステムの累積通電時間を把握することなどができます。

■ 特長

- ・ インターバル信号出力機能
(定周期割り込み信号出力機能) : インターバル信号の周波数とDuty比の設定が可能、出力制御端子付き
- ・ 低消費電流 : 0.2 μ A typ.
(水晶振動子 : $C_L = 6.0$ pF、 $V_{DD} = 3.0$ V、ENBL端子 = "H"、 $T_a = +25^\circ\text{C}$)
- ・ 広動作電圧範囲 : 1.8 V ~ 5.5 V
- ・ 2ワイヤ (I²C-bus) によるCPUインタフェース
- ・ 32.768 kHz水晶発振回路内蔵
- ・ 動作温度範囲 : $T_a = -40^\circ\text{C} \sim +85^\circ\text{C}$
- ・ 鉛フリー (Sn 100%)、ハロゲンフリー

■ 用途

- ・ IoT通信機器
- ・ 監視機器
- ・ セキュリティ機器
- ・ 電池駆動システム
- ・ エナジーハーベスティングシステム

■ パッケージ

- ・ TMSOP-8

■ ブロック図

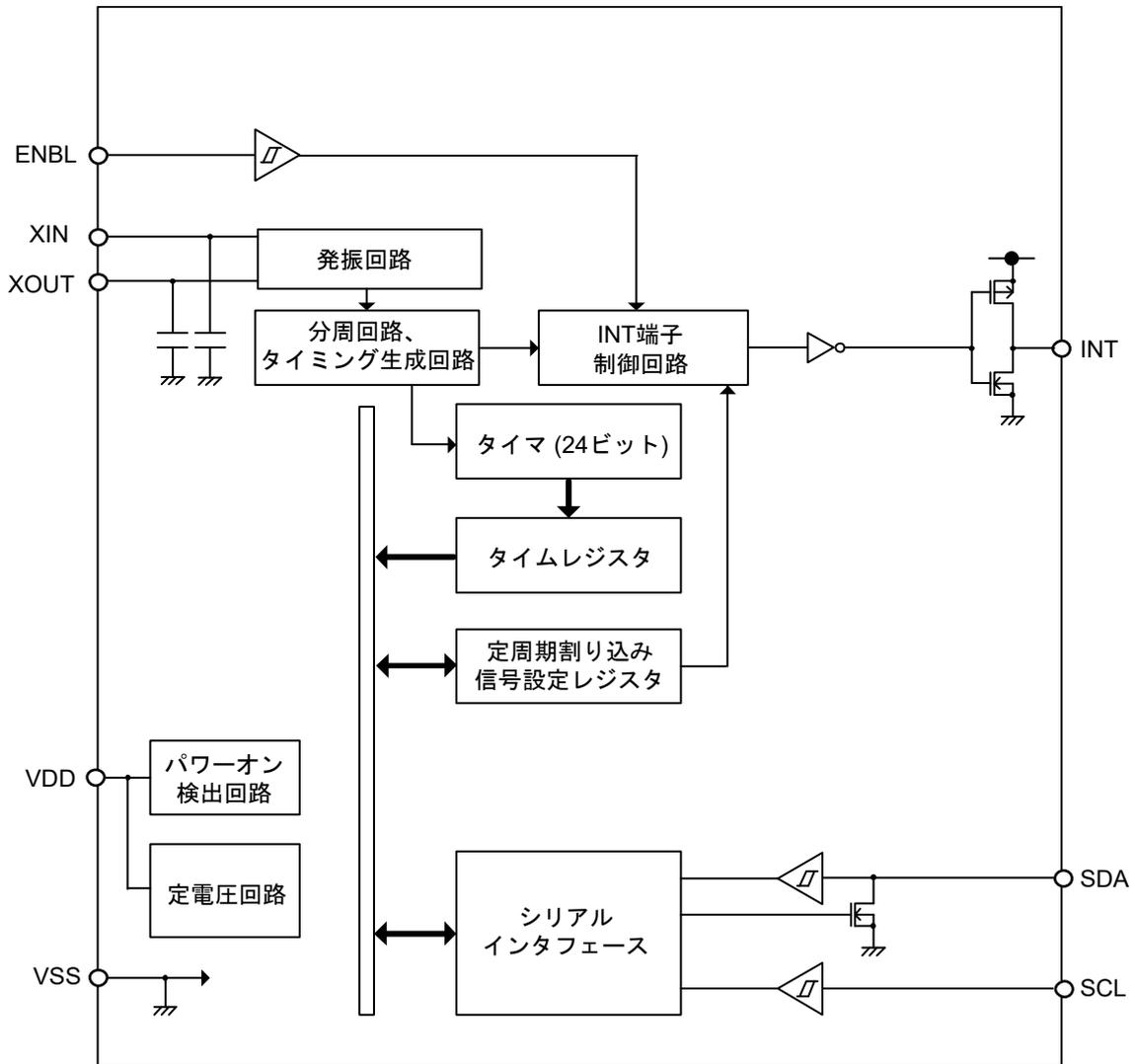
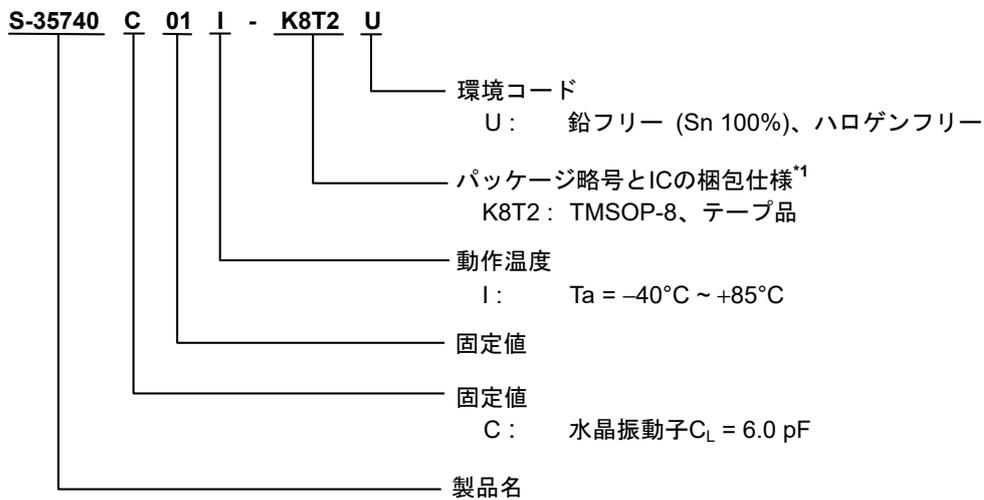


図1

■ 品目コードの構成

1. 製品名



*1. テープ図面を参照してください。

2. パッケージ

表1 パッケージ図面コード

パッケージ名	外形寸法図面	テープ図面	リール図面
TMSOP-8	FM008-A-P-SD	FM008-A-C-SD	FM008-A-R-SD

3. 製品名リスト

表2

製品名	INT端子の出力形態
S-35740C01I-K8T2U	CMOS出力

■ ピン配置図

1. TMSOP-8

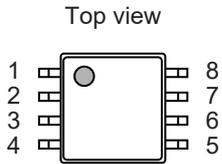


図2

表3 端子一覧

端子番号	端子記号	端子内容	I/O	端子構成
1	ENBL	定周期割り込み信号 出力制御入力端子	入力	CMOS入力
2	XOUT	水晶振動子接続端子	-	-
3	XIN			
4	VSS	GND端子	-	-
5	INT	定周期割り込み信号 出力端子	出力	CMOS出力
6	SDA	シリアルデータ 入出力端子	双方向	Nchオープンドレイン出力、 CMOS入力
7	SCL	シリアルクロック 入力端子	入力	CMOS入力
8	VDD	正電源端子	-	-

■ 各端子の機能説明

1. SDA (シリアルデータ入出力) 端子

I²C-busインタフェースのデータ入出力端子です。SCL端子のクロックパルスに同期して、SDA端子はデータの入出力を行います。この端子はCMOS入力とNchオープンドレイン出力端子で構成されています。通常、SDA端子は抵抗でV_{DD}電位にプルアップし、ほかのオープンドレイン出力、あるいはオープンコレクタ出力のデバイスとワイヤードオア接続して使用します。

2. SCL (シリアルクロック入力) 端子

I²C-busインタフェースのクロック入力端子です。このクロックパルスに同期してSDA端子はデータの入出力を行います。

3. ENBL (定周期割り込み信号出力制御入力) 端子

INT端子からのクロックパルス出力を制御する端子です。ENBL端子が "H" のとき、INT端子から定周期割り込み信号が出力されます。ENBL端子が "L" のとき、INT端子は固定されます。

4. INT (定周期割り込み信号出力) 端子

定周期割り込み信号を出力する端子です。定周期割り込み信号設定レジスタに設定した周波数とDuty比の定周期割り込み信号を出力します。定周期割り込み信号出力の動作については、"■ INT端子定周期割り込み信号出力" を参照してください。

なお、INT端子の出力形態はCMOS出力です。

5. XIN, XOUT (水晶振動子接続) 端子

XIN端子、XOUT端子間に水晶振動子を接続します。

6. VDD (正電源) 端子

正電源に接続してください。印加電圧値については、"■ 推奨動作条件" を参照してください。

7. VSS端子

GNDに接続してください。

■ 端子の等価回路

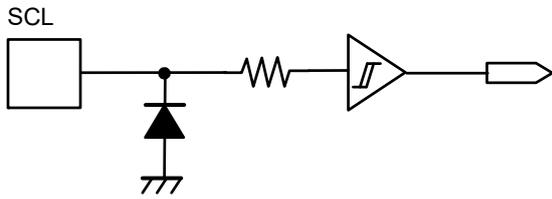


図3 SCL端子

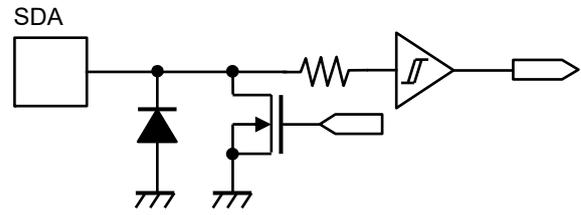


図4 SDA端子

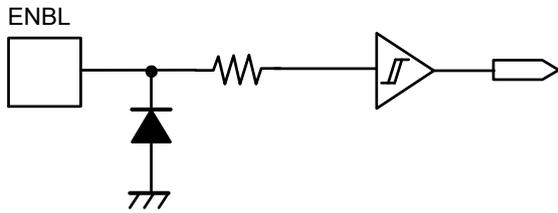


図5 ENBL端子

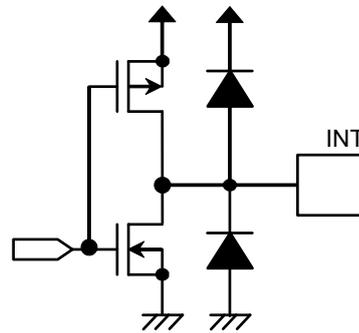


図6 INT端子

■ 絶対最大定格

表4

項目	記号	適用端子	絶対最大定格	単位
電源電圧	V _{DD}	–	V _{SS} – 0.3 ~ V _{SS} + 6.5	V
入力電圧	V _{IN}	SDA, SCL, ENBL	V _{SS} – 0.3 ~ V _{SS} + 6.5	V
出力電圧	V _{OUT}	SDA	V _{SS} – 0.3 ~ V _{SS} + 6.5	V
		INT	V _{SS} – 0.3 ~ V _{DD} + 0.3 ≤ V _{SS} + 6.5	V
動作周囲温度*1	T _{opr}	–	–40 ~ +85	°C
保存温度	T _{stg}	–	–55 ~ +150	°C

*1. 結露や霜がない状態です。結露や霜は、端子間を短絡させるため誤動作の要因となります。

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 推奨動作条件

表5

(V_{SS} = 0 V)

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	V _{DD}	T _a = –40°C ~ +85°C	1.8	–	5.5	V

■ 発振特性

表6

(特記なき場合 : T_a = +25°C, V_{DD} = 3.0 V, V_{SS} = 0 V)

(水晶振動子 : 日本電波工業株式会社製、NX3215SD (C_L = 6.0 pF))

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始電圧	V _{STA}	10秒以内	1.8	–	5.5	V
発振開始時間	t _{STA}	–	–	–	1	s
IC間周波数偏差*1	ΔIC	–	–20	–	+20	ppm

*1. 参考値

■ DC電気的特性

表7

(特記なき場合 : Ta = -40°C ~ +85°C, V_{SS} = 0 V)
(水晶振動子 : 日本電波工業株式会社製、NX3215SD (C_L = 6.0 pF))

項目	記号	適用端子	条件	Min.	Typ.	Max.	単位
消費電流1	I _{DD1}	-	V _{DD} = 3.0 V, 非通信時, ENBL端子 = V _{SS} , INT端子 = 無負荷	-	1.7	3.0	μA
消費電流2	I _{DD2}	-	V _{DD} = 3.0 V, 非通信時, ENBL端子 = V _{DD} , INT端子出力 = 1.024 kHz, INT端子 = 無負荷	-	0.35	0.55	μA
消費電流3	I _{DD3}	-	V _{DD} = 3.0 V, f _{SCL} = 1 MHz, 通信時, ENBL端子 = V _{DD} , INT端子 = 無負荷	-	170	300	μA
高レベル入力リーク電流	I _{IZH}	SDA, SCL, ENBL	V _{IN} = V _{DD}	-0.5	-	0.5	μA
低レベル入力リーク電流	I _{IZL}	SDA, SCL, ENBL	V _{IN} = V _{SS}	-0.5	-	0.5	μA
高レベル出力リーク電流	I _{OZH}	SDA	V _{OUT} = V _{DD}	-0.5	-	0.5	μA
低レベル出力リーク電流	I _{OZL}	SDA	V _{OUT} = V _{SS}	-0.5	-	0.5	μA
高レベル入力電圧	V _{IH}	SDA, SCL, ENBL	-	0.7 × V _{DD}	-	V _{SS} + 5.5	V
低レベル入力電圧	V _{IL}	SDA, SCL, ENBL	-	V _{SS} - 0.3	-	0.3 × V _{DD}	V
高レベル出力電圧	V _{OH}	INT	I _{OH} = -0.4 mA	0.8 × V _{DD}	-	-	V
低レベル出力電圧	V _{OL}	SDA, INT	I _{OL} = 2.0 mA	-	-	0.4	V

■ AC電気的特性

表8 測定条件

入力パルス電圧	$V_{IH} = 0.8 \times V_{DD}, V_{IL} = 0.2 \times V_{DD}$
入力パルス立ち上がり / 立ち下がり時間	20 ns
出力判定電圧	$V_{OH} = 0.7 \times V_{DD}, V_{OL} = 0.3 \times V_{DD}$
出力負荷	100 pF

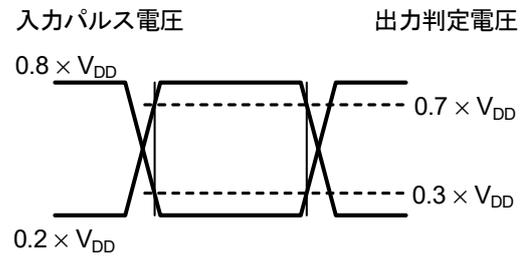


図7 AC測定入出力波形

表9 AC電気的特性

($T_a = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$)

項目	記号	$V_{DD} = 1.8\text{ V} \sim 2.5\text{ V}$		$V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$		単位
		Min.	Max.	Min.	Max.	
SCLクロック周波数	f_{SCL}	0	400	0	1000	kHz
SCLクロック "L" 時間	t_{LOW}	1.3	—	0.4	—	μs
SCLクロック "H" 時間	t_{HIGH}	0.6	—	0.3	—	μs
SDA出力遅延時間*1	t_{AA}	—	0.9	—	0.5	μs
スタートコンディションセットアップ時間	$t_{SU.STA}$	0.6	—	0.25	—	μs
スタートコンディションホールド時間	$t_{HD.STA}$	0.6	—	0.25	—	μs
データ入力セットアップ時間	$t_{SU.DAT}$	100	—	80	—	ns
データ入力ホールド時間	$t_{HD.DAT}$	0	—	0	—	ns
ストップコンディションセットアップ時間	$t_{SU.STO}$	0.6	—	0.25	—	μs
SCL, SDA立ち上がり時間	t_R	—	0.3	—	0.3	μs
SCL, SDA立ち下がり時間	t_F	—	0.3	—	0.3	μs
バス開放時間	t_{BUF}	1.3	—	0.5	—	μs
ノイズサプレッション時間	t_i	—	50	—	50	ns

*1. SDA出力遅延時間は、SDA端子の出力形態がNchオーブンドレイン出力のため、IC外部の負荷抵抗値、負荷容量値により決まります。出力負荷の関係を図9に示します。

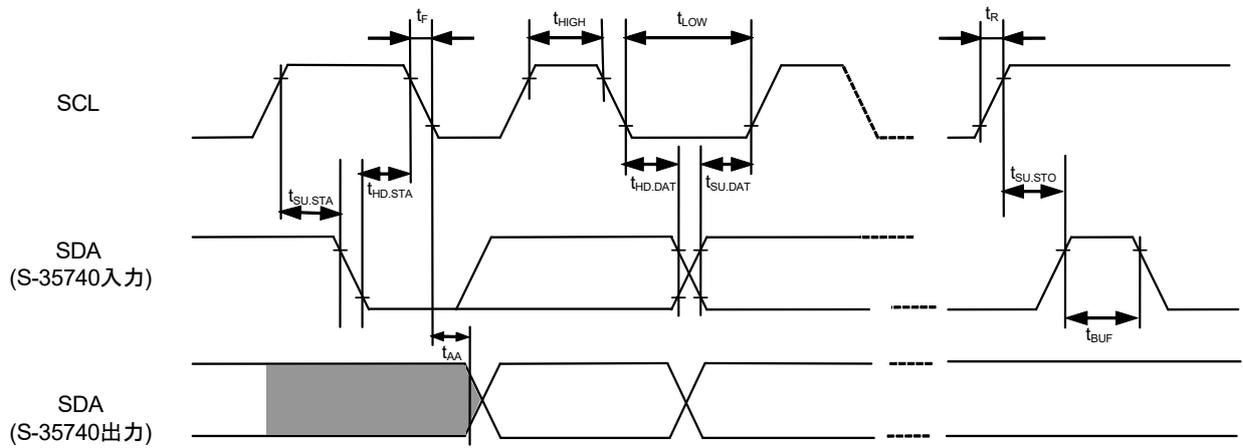


図8 バスタイミング

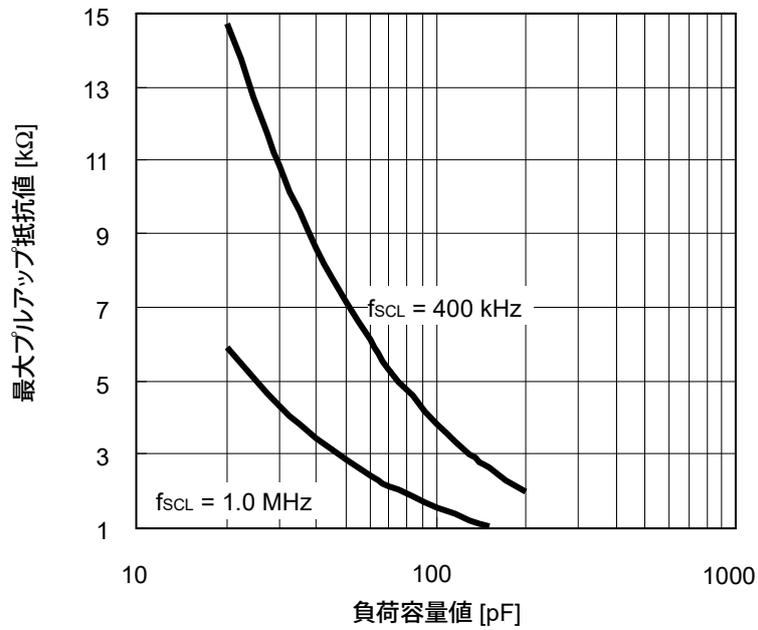


図9 出力負荷

■ INT端子定周期割り込み信号出力

1. 周波数とDuty比

定周期割り込み信号出力の周波数とDuty比は、定周期割り込み信号設定レジスタで設定されます。定周期割り込み信号設定レジスタの各ビットに "1" を設定することにより、各ビットに対応した周波数 (1 Hz ~ 1.024 kHz) がANDされた形で出力され、周波数とDuty比が変更されます。

下記に512 Hz = "1"、256 Hz = "1"、128 Hz = "1"、64 Hz = "1"、その他 = "0" としたときの、定周期割り込み信号出力の例を示します。

また、定周期割り込み信号設定レジスタがすべて "0" のとき、INT端子は "L" に固定されます。

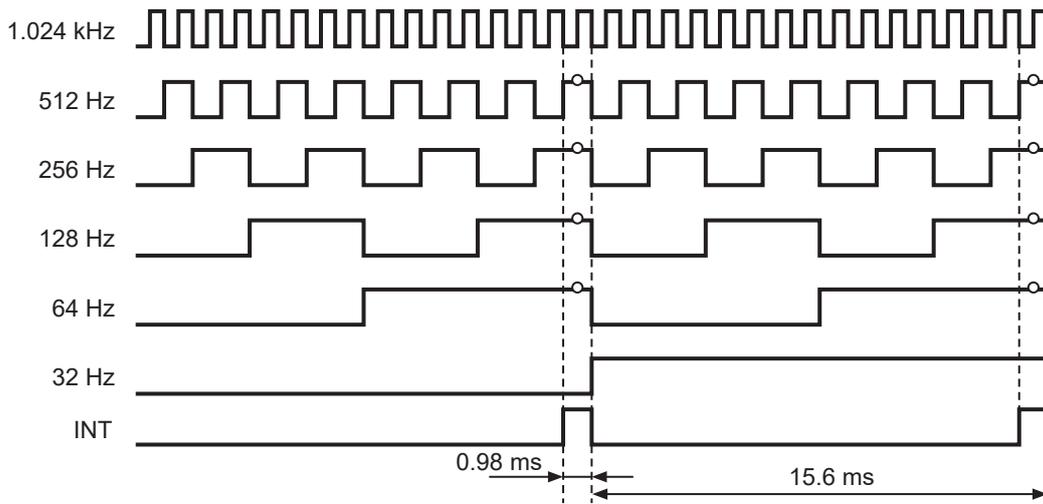


図10 定周期割り込み信号出力の例

2. ENBL端子とINT端子のクロックパルス出力

ENBL端子が "H" のとき、INT端子は定周期割り込み信号を出力します。

ENBL端子が "L" のとき、INT端子は "H" に固定されます。

なお、ENBL端子の "H"、"L" が変化するとINT端子のDuty比が崩れることがあります。下記にINT端子の出力タイミング例を示します。

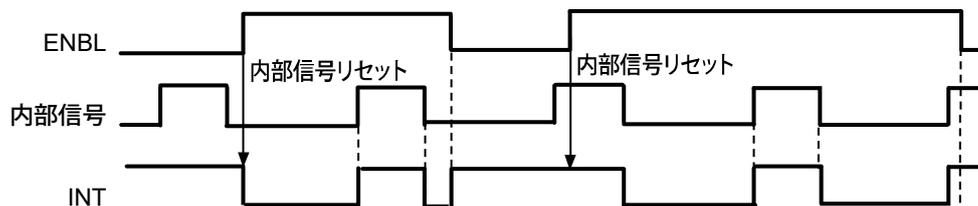


図11 INT端子の出力タイミング例1

3. 定周期割り込み信号設定レジスタの書き込みとINT端子のクロックパルス出力

INT端子が定周期割り込み信号を出力していないときに定周期割り込み信号設定レジスタの書き込みが行われても、INT端子は "H" を保持します。そのため、ENBL端子を "H" にすると、その直前に定周期割り込み信号設定レジスタに書き込みした値に従って、INT端子は定周期割り込み信号を出力します。

INT端子が定周期割り込み信号を出力しているとき定周期割り込み信号設定レジスタの書き込みをすると、分周回路はリセットされます。そのため、INT端子出力のDuty比が崩れることがあります。下記にINT端子の出力タイミング例を示します。

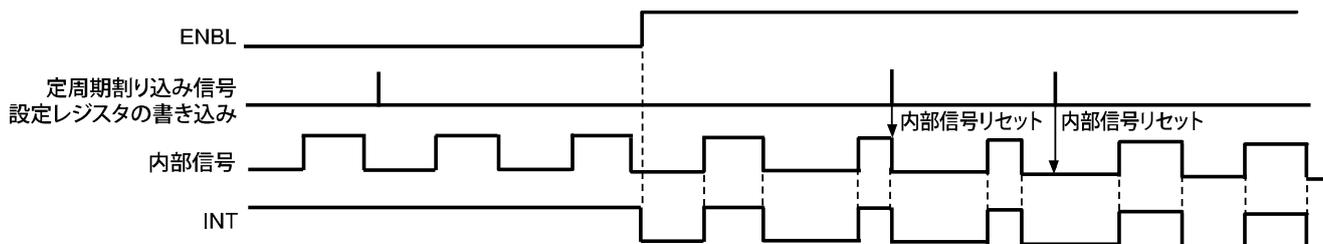


図12 INT端子の出力タイミング例2

また、電源投入直後は水晶発振回路が不安定なため、ENBL端子の状態に関係なく、電源投入から約0.5秒間INT端子は "L" に固定されます。この期間中であっても定周期割り込み信号設定レジスタの書き込みは可能です。電源投入後に定周期割り込み信号設定レジスタの書き込みをせずENBL端子を "H" にした場合、INT端子は "L" に固定されます。そのため、電源投入後には必ず定周期割り込み信号設定レジスタの書き込みをしてください。

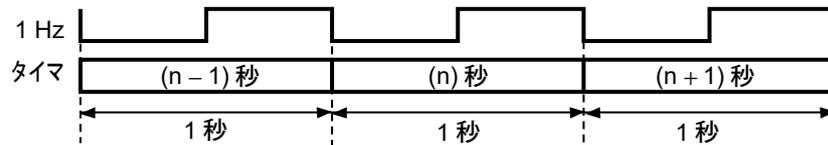
■ タイマ

S-35740のタイマは24ビットです。タイマは1秒ごとにカウントアップ動作し、"FFFFFF h" で停止します。タイマが停止しても、INT端子のクロックパルス出力は影響を受けません。

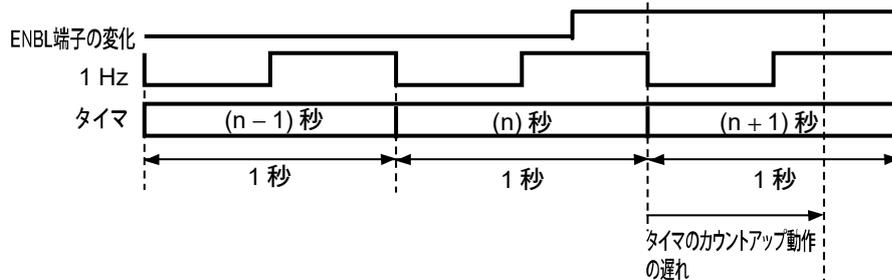
タイマをリセットするためには、S-35740にタイマリセットコマンドを入力してください。それにより、タイマは動作を再開します。タイマリセットコマンドについては "図17 アクノリッジ出力タイミング" と "図18 シリアルインタフェースのデータ転送フォーマット" を参照してください。

"図11 INT端子の出力タイミング例1" と "図12 INT端子の出力タイミング例2" に示したように、定周期割り込み信号設定レジスタの書き込みをしたとき、S-35740は内部信号をリセットします。内部信号はタイマの1秒ごとのカウントアップ信号を生成しています。そのため、定周期割り込み信号設定レジスタの書き込みをしたときには、タイマのカウントアップ動作が最大で1秒遅れることになります。図13に動作概要を示します。

- ENBL 端子の変化がないとき、または定周期割り込み信号設定レジスタの書き込みが行われないとき



- ENBL 端子の変化があるとき



- 定周期割り込み信号設定レジスタの書き込みが行われるとき (ENBL 端子 = "H" 時)

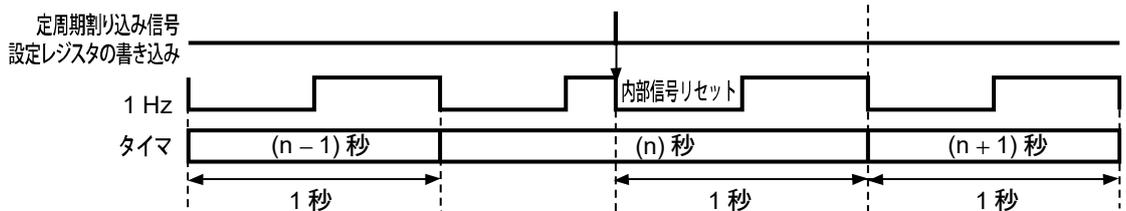


図13 タイマのカウントアップ動作と内部信号リセット

■ レジスタ構成

1. タイムレジスタ

タイムレジスタは、3バイトのレジスタです。タイマの値をバイナリコードで記憶します。タイムレジスタは、読み出しのみ可能です。

タイムレジスタは、TM23からTM0まで3バイト連続して読み出しを行ってください。

例: 3秒 (0000_0000_0000_0000_0000_0011)
 45分 (0000_0000_0000_1010_1000_1100)
 5時間30分 (0000_0000_0100_1101_0101_1000)

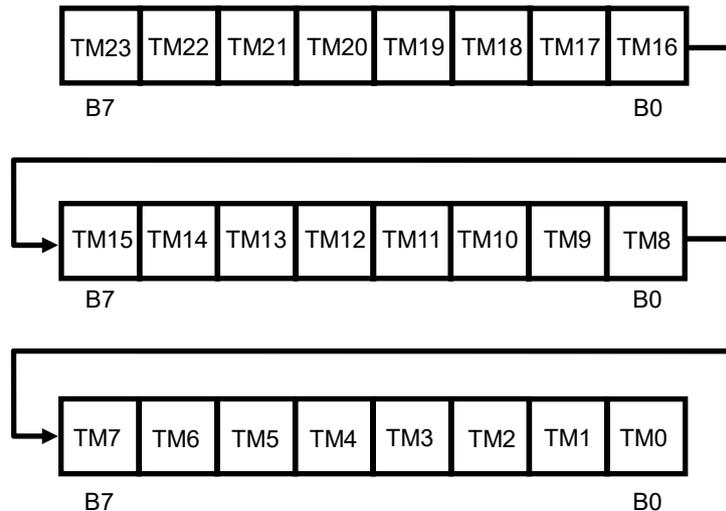


図14

2. 定周期割り込み信号設定レジスタ

定周期割り込み信号設定レジスタは2バイトのレジスタです。定周期割り込み信号の設定は上位10ビットで行います。各ビットを "1" にすることにより、ビットに対応した周波数がANDされた形でINT端子から出力されます。詳細は、"■ INT端子定周期割り込み信号出力" を参照してください。

下位3ビットのRST2~RST0はタイマリセットコマンド入力のレジスタです。RST2 = "0"、RST1 = "1"、RST0 = "0" を書き込むことでタイマはリセットされます。タイマリセットコマンドを入力しても、定周期割り込み信号設定レジスタはリセットされません。したがって、定周期割り込み信号設定レジスタは再度書き込む必要がありません。また、タイマをリセットしないで定周期割り込み信号のみを設定する場合は、RST2 = "1"、RST1 = "1"、RST0 = "1" など上記以外を定周期割り込み信号設定レジスタに書き込みしてください。

DM1、DM0はダミーデータのため "0"、"1" どちらでも構いません。

定周期割り込み信号設定レジスタは、書き込みと読み出しが可能です。

定周期割り込み信号設定レジスタの書き込みと読み出しは、2バイト連続して行ってください。

定周期割り込み信号設定レジスタの読み出しを行う場合、ENBL端子を "H" に設定してください。

ENBL端子を "L" に設定した場合、タイムレジスタのデータが読み出されます。

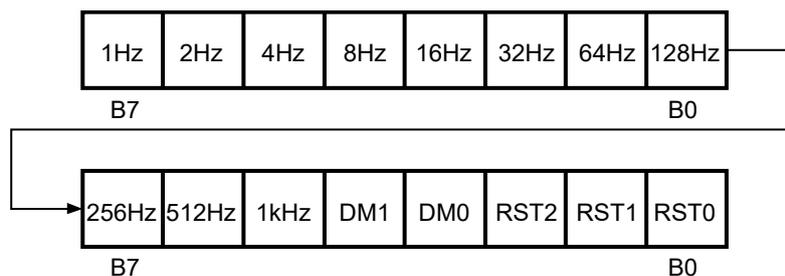


図15

■ シリアルインタフェース

S-35740は、I²C-bus方式のシリアルインタフェースによりコマンドを送受信し、データのリード / ライトを行います。

1. スタートコンディション

SCLが "H" のときに、SDAが "H" から "L" へ変化することで、スタートコンディションとなり、アクセスが開始されます。

2. ストップコンディション

SCLが "H" のときに、SDAが "L" から "H" へ変化することで、ストップコンディションとなり、アクセスが終了し、S-35740はスタンバイ状態となります。

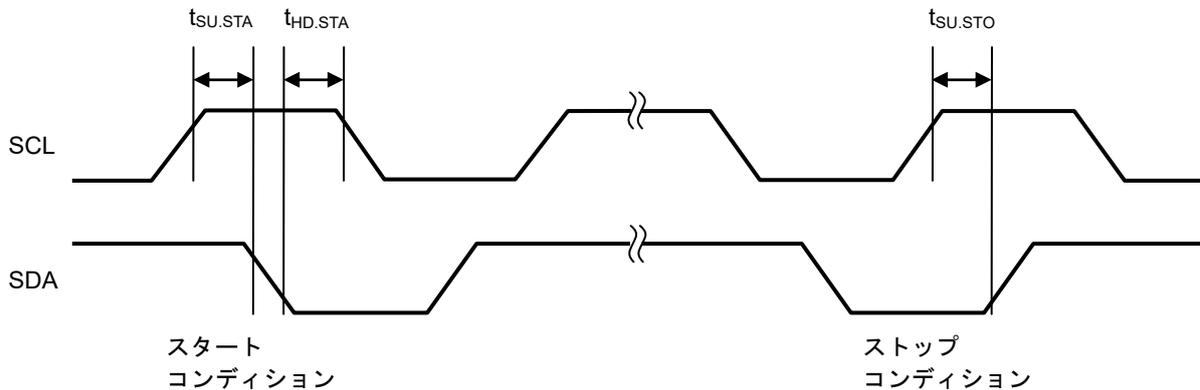


図16 スタート / ストップコンディション

3. データ転送とアクノリッジ

データ転送は、スタートコンディション検出後に1バイトずつ行います。SDAを変化させるときは $t_{SU.DAT}$ と $t_{HD.DAT}$ のスペックに注意し、SCLが "L" のときに行ってください。もし、SCLが "H" のときに、SDAが変化すると、データ転送中であってもスタート / ストップコンディションとして認識されます。これによって、現在のアクセスは中断されるので注意してください。

データ転送時、1バイトのデータを受信するたびに、受信側のデバイスはアクノリッジを返します。例えば、図17のように、S-35740が受信側のデバイスで、マスタデバイスを送信側とします。8ビット目のクロックパルスが立ち下ると、マスタデバイスはSDAを解放します。そして、S-35740はアクノリッジとして、9ビット目のクロックパルス中、SDAを "L" にします。S-35740からアクノリッジの出力がないときは、アクセスが正しく行われていないことを示します。

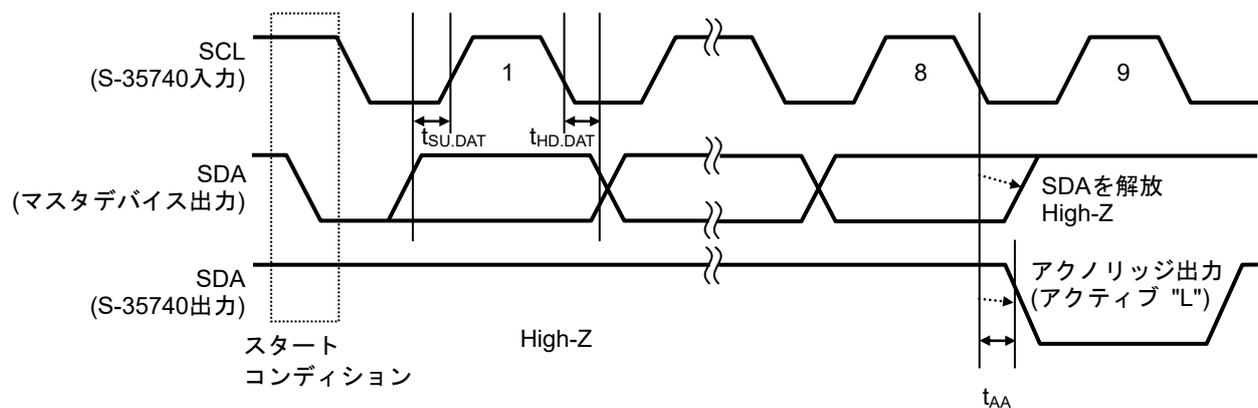


図17 アクノリッジ出力タイミング

4. データ転送フォーマット

スタートコンディション転送後の最初の1バイトは、スレーブアドレスと2バイト目以降のデータの転送方向を表すコマンド（リードライトビット）に割り付けられています。

S-35740のスレーブアドレスは、"0110010" に規定しています。続いて、リードライトビットが "0" のときは定周期割り込み時間設定レジスタにデータを書き込み可能となり、"1" のときは定周期割り込み時間設定レジスタまたはタイムレジスタのデータが読み出し可能となります。

定周期割り込み信号設定レジスタにデータを書き込み可能な場合、B7からB0の順にマスタデバイスからデータを入力してください。1バイトのデータが入力されるごとに、S-35740からアクノリッジ ("L") が出力されます。

定周期割り込み信号設定レジスタまたはタイムレジスタのデータが読み出し可能な場合、1バイト単位でB7からB0の順にS-35740からデータが出力されます。1バイトのデータが入力されるごとに、マスタデバイスからアクノリッジ ("L") を入力してください。ただし、最後のデータバイトに対しては、アクノリッジを入力しないでください (NO_ACK)。これにより、データ読み出しの終了を知らせます。

マスタデバイスは最後のバイトデータに対する、アクノリッジを受信、または送信後、ストップコンディションをS-35740へ入力しアクセスを終了してください。

このとき、マスタデバイスがストップコンディションを入力せず、スタートコンディションを入力した場合は、リスタート条件となり、続けてスレーブアドレスを入力すると続けて送受信が可能です。

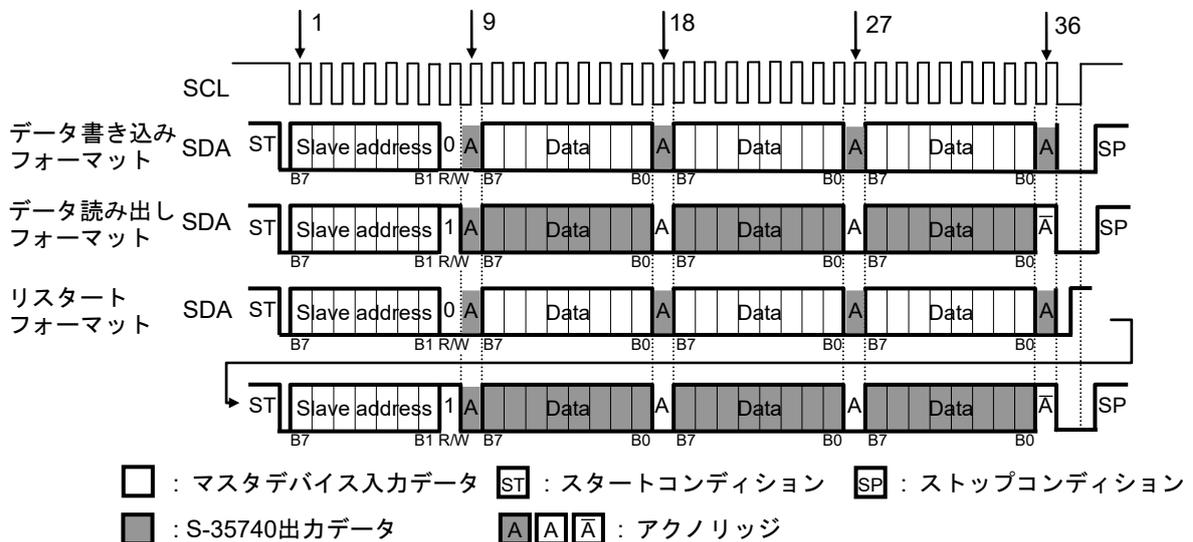


図18 シリアルインタフェースのデータ転送フォーマット

5. タイムレジスタの読み出し

はじめに、マスタデバイスからスタートコンディションとスレーブアドレスを転送します。S-35740のスレーブアドレスは、"0110010" に規定しています。続いて、リードライトビットが "1" のときは、タイムレジスタのデータが読み出し可能となります。

2バイト目~4バイト目が、タイムレジスタとなります。データはB7から1バイトずつ転送されます。

タイムレジスタの読み出しを終了するときは、マスタデバイスからB0出力後のアックノリッジに "1" (NO_ACK) を転送し、その後ストップコンディションを転送します。

タイムレジスタは3バイトのレジスタです。タイムレジスタを3バイト読み出した後、さらに読み出しを続けると "1" が読み出されます。タイムレジスタについては、"■ レジスタ構成" を参照してください。

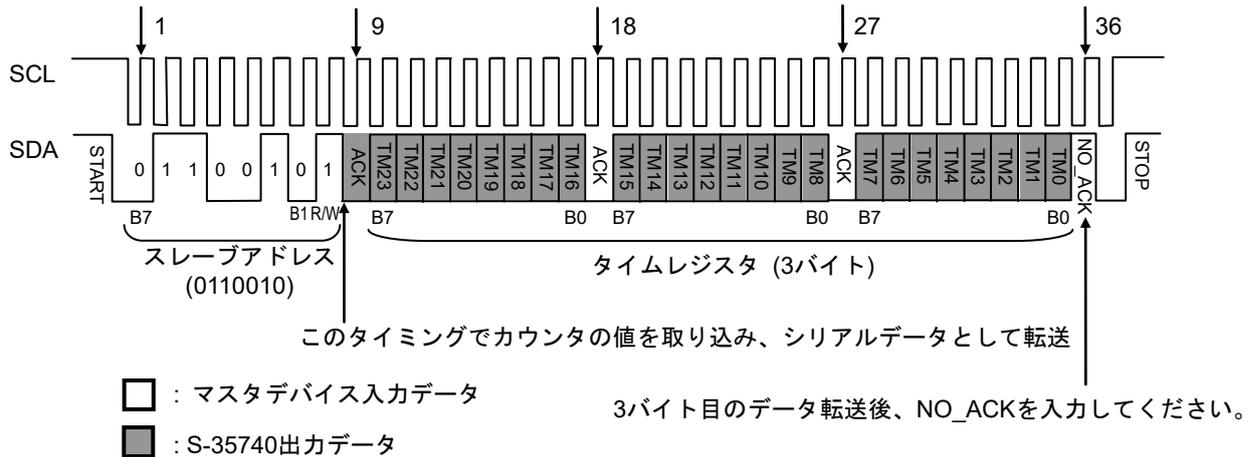


図19 タイムレジスタの読み出しタイミング

6. 定周期割り込み信号設定レジスタの書き込み

はじめに、マスタデバイスからスタートコンディションとスレーブアドレスを転送します。S-35740のスレーブアドレスは、"0110010" に規定しています。続いて、リードライトビットに "0" を転送します。

2バイト目はダミーデータを転送してください。ただし、B0はテストビットのため、必ず "1" としてください。

3バイト目のB7~B0と4バイト目のB7~B5は、定周期割り込み信号設定レジスタです。

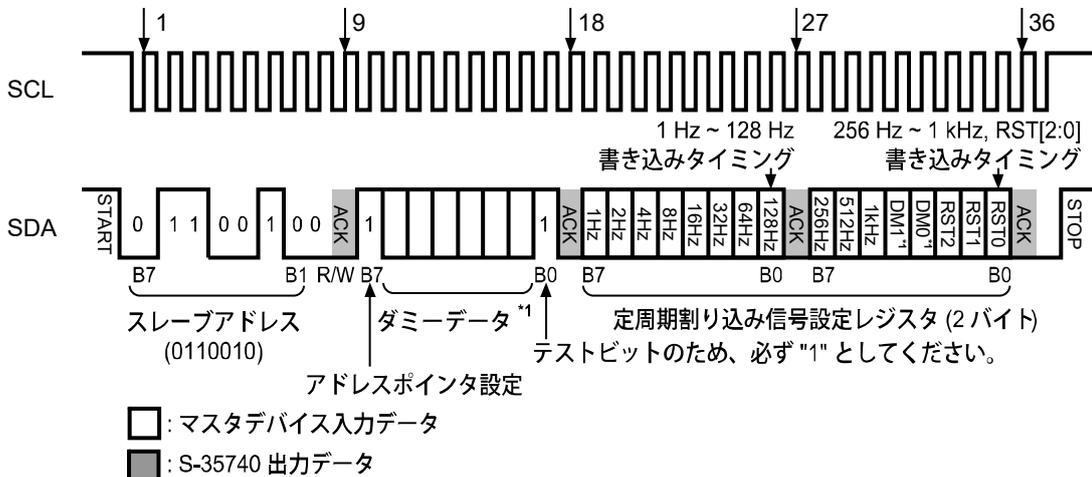
2バイト目のB6~B1と4バイト目のB4~B3はダミーデータのため、"0"、"1" どちらでもかまいません。

4バイト目のB2~B0 (RST2~RST0) はタイマリセットコマンド入力のレジスタです。RST2="0"、RST1="1"、RST0="0" を転送することでタイマをリセットします。タイマをリセットしない場合は、RST2="1"、RST1="1"、RST0="1" など上記以外を転送してください。

その後マスタデバイスからストップコンディションを転送することで、アクセスが終了します。

定周期割り込み信号設定レジスタについては、"■ レジスタ構成" を参照してください。

定周期割り込み信号設定レジスタの書き込みは、1バイトごとに実行します。そのため、2バイト連続で転送してください。2バイト単位で転送しない場合、S-35740は意図した通りの動作をしない可能性がありますのでご注意ください。



*1. ダミーデータのため "0"、"1" どちらでもかまいません。

図20 定周期割り込み信号設定の書き込みタイミング

7. 定周期割り込み信号設定レジスタの読み出し

定周期割り込み信号設定レジスタの読み出しは、リスタートフォーマットで行います。リスタートフォーマットについては「4. データ転送フォーマット」を参照してください。

定周期割り込み信号設定レジスタの読み出しを行う場合、ENBL端子を "H" に設定してください。ENBL端子を "L" に設定した場合、タイムレジスタのデータが読み出されます。

はじめに、マスタデバイスからスタートコンディションとスレーブアドレスを転送します。S-35740のスレーブアドレスは、「0110010」に規定しています。続いて、リードライトビットに "0" を転送します。

2バイト目のB7はアドレスポインタです。定周期割り込み信号設定レジスタ読み出しの場合は、「0」としてください。続いて、B6～B1はダミーデータを転送してください。B0はテストビットのため、必ず「1」としてください。この処理を「ダミーライト」と呼びます。

続いて、スタートコンディションとスレーブアドレス、リードライトビットを転送します。リードライトビットを「1」とすると、定周期割り込み信号設定レジスタのデータが読み出し可能となります。

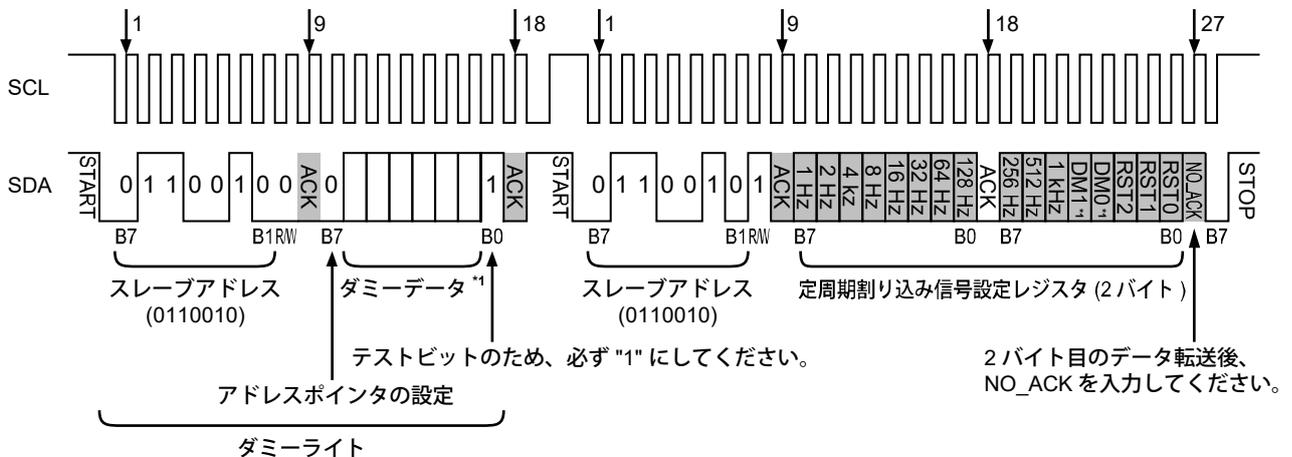
その後、定周期割り込み信号設定レジスタのデータがS-35740から出力されます。データはB7から1バイトずつ転送されます。

定周期割り込み信号設定レジスタの読み出しを終了するときは、マスタデバイスからB0出力後のACKノリッジに「1」(NO_ACK)を転送し、その後ストップコンディションを転送します。

定周期割り込み信号設定レジスタは2バイトのレジスタです。定周期割り込み信号設定レジスタを2バイト読み出した後、さらに読み出しを続けると「1」が読み出されます。

定周期割り込み信号設定レジスタについては、「■ レジスタ構成」を参照してください。

また、内部アドレスポインタは、ストップコンディションを認識するとリセットされます。そのため、ダミーライトのあとにストップコンディションを転送しないでください。ストップコンディションを転送後にレジスタの読み出しを行うとタイムレジスタが読み出されます。



□: マスタデバイス入力データ

■: S-35740 出力データ

*1. ダミーデータのため "0"、"1" どちらでもかまいません。

図21 定周期割り込み信号設定レジスタの読み出しタイミング

■ SDAの解放

S-35740のENBL端子は、通信インターフェースのリセット動作を行いません。そのため、通常はストップコンディションを入力し内部インターフェース回路をリセットします。

しかし、SDAが "L" を出力した状態 (アクノリッジ出力時または読み出し時) であるとS-35740はマスタデバイスからのストップコンディションを受け付けません。そのためアクノリッジ出力動作または読み出し動作を終了させる必要があります。図22にSDAの解放方法を示します。

はじめに、マスタデバイスはスタートコンディションを入力します (S-35740のSDAは "L" を出力しているので、S-35740はスタートコンディションを検出できません)。続けて、1バイトデータアクセス分のクロック (9クロック) をSCLより入力します。この間、マスタデバイス側のSDAを解放してください。これにより通信中断前のSDAの入出力が終了し、S-35740のSDAは解放状態になります。続けて、ストップコンディションを入力すると、内部回路がリセットし、通常の通信が可能な状態に復帰します。

SDAの解放方法は、マスタデバイス側の電源電圧立ち上げ後、システムの初期化の際に実行することを強く推奨します。

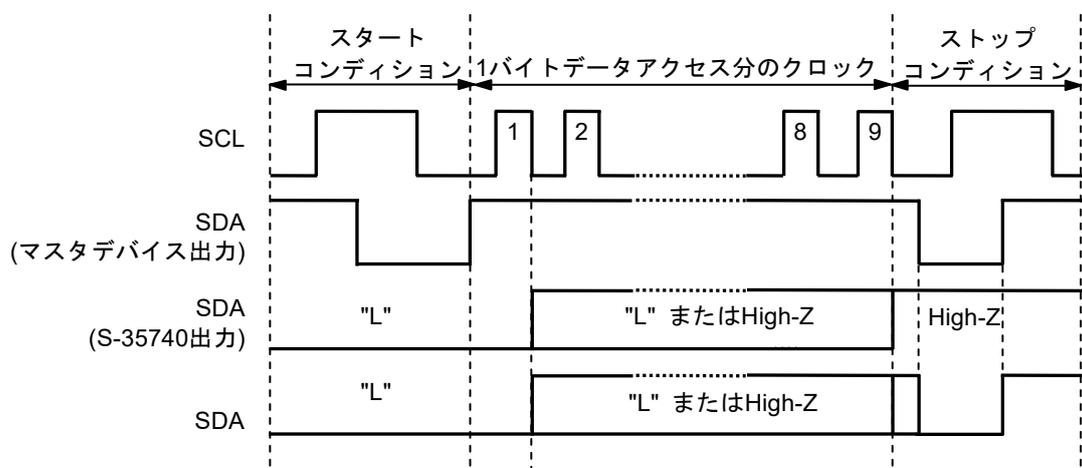
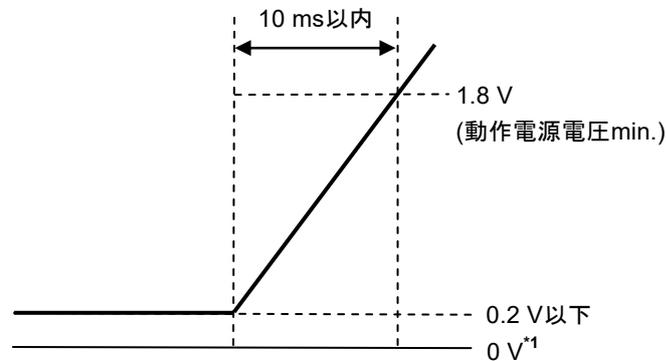


図22 SDAの解放方法

■ パワーオン検出回路

パワーオン検出回路が正常に動作するためには、図23に示すように、ICの電源電圧は0.2 V以下から立ち上げ、動作電源電圧min.値の1.8 Vまでの到達時間を10 ms以内で立ち上げてください。



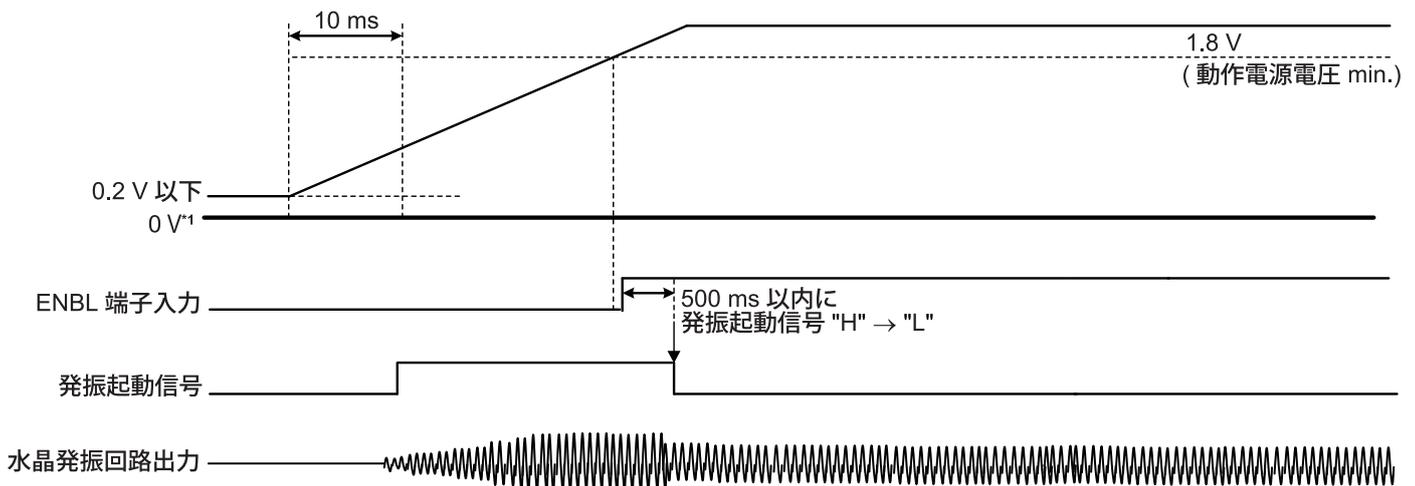
*1. 0 Vは、S-35740のVDD端子とVSS端子の電位差がないことを意味します。

図23 電源電圧の立ち上げ方

上記の条件でS-35740の電源電圧の立ち上げができない場合、パワーオン検出回路が正常に動作せず、発振が開始しない可能性があります。その場合、「1. ENBL端子 = "L" で電源電圧を立ち上げる場合」および「2. ENBL端子 = "H" で電源電圧を立ち上げる場合」で示す動作を行ってください。

1. ENBL端子 = "L" で電源電圧を立ち上げる場合

電源電圧が1.8 V以上に到達するまで、ENBL端子を "L" に設定してください。ENBL端子が "L" に設定されている間に発振起動信号は "H" となり、水晶発振回路は正常に発振します。電源電圧が1.8 Vに到達した後ENBL端子が "H" に設定されると、500 ms以内に発振起動信号が "L" になり、発振状態は維持されます。ENBL端子が "L" に設定されている間は、消費電流が1.7 μ A typ.増加します。



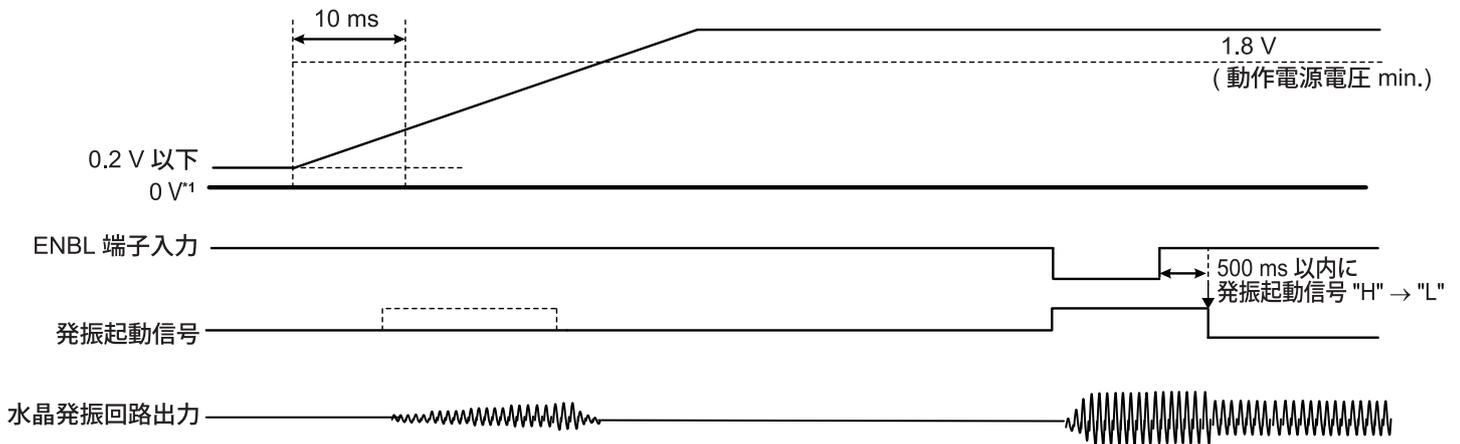
*1. 0 Vは、S-35740のVDD端子とVSS端子の電位差がないことを意味します。

図24 ENBL端子="L" で電源電圧を立ち上げる場合

2. ENBL端子 = "H" で電源電圧を立ち上げる場合

電源電圧が1.8 V以上に到達した後、ENBL端子を "L" に設定してください。ENBL端子が500 ms以上 "L" に設定されると、発振起動信号が "H" となり、水晶発振回路は正常に発振します。その後ENBL端子が "H" に設定されると、500 ms以内に発振起動信号が "L" になり、発振状態は維持されます。

ENBL端子が "L" に設定されている間は、消費電流が1.7 μ A typ.増加します。



*1. 0 Vは、S-35740のVDD端子とVSS端子の電位差がないことを意味します。

図25 ENBL端子 = "H" で電源電圧を立ち上げる場合

■ 応用回路例

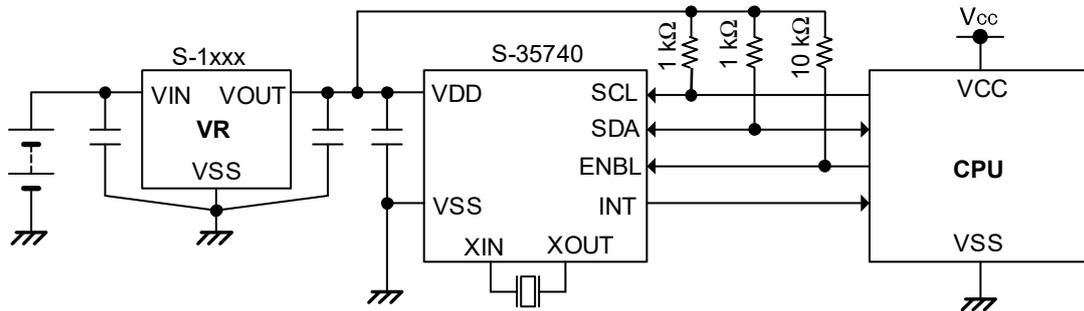


図26

- 注意 1. システム電源を立ち上げて安定状態になってから通信を行ってください。
2. 上記接続図は動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

■ 水晶発振回路の構成

S-35740はコンデンサ (C_g 、 C_d) が内蔵されています。そのため、発振周波数の調整は必要ありません。しかし、水晶発振回路は外部ノイズや寄生容量 (C_p) の影響を受けやすく、これらの影響は時計精度を悪化させる要因になります。そのため、水晶発振回路の構成は下記のような対策を推奨します。

- ・ バイパスコンデンサをS-35740の電源ピンに近接して配置する。
- ・ S-35740と水晶振動子は、極力近くに配置し配線を短くする。
- ・ XINとXOUT間の基板および端子間絶縁抵抗を高くする。
- ・ 水晶発振回路の近くに信号線および電源線を通さない。
- ・ 水晶発振回路の直下にGND層を配置する。
(多層基板の場合は、水晶発振回路から一番離れた層のみをGND層として配置する。中間層には回路パターンを配置しない。)

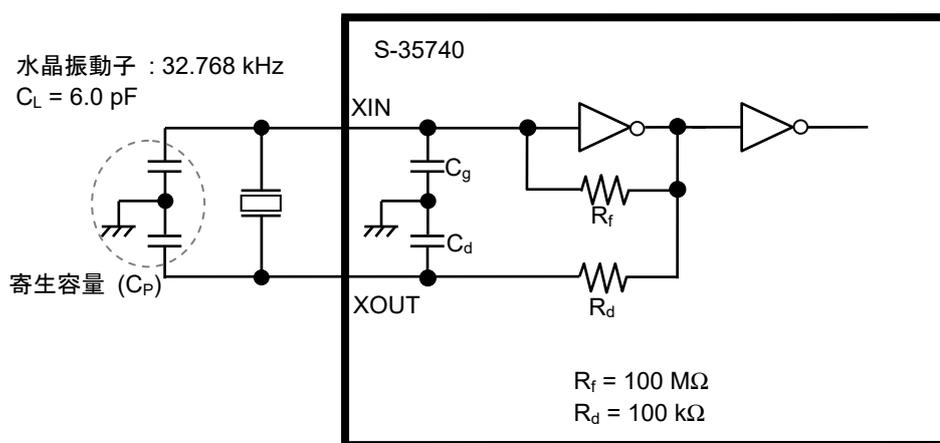


図27 水晶発振回路の構成

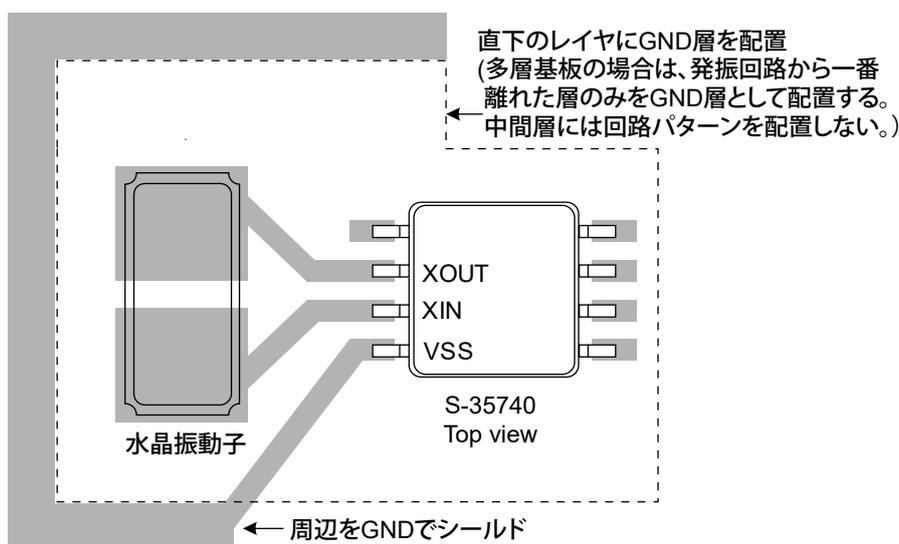


図28 接続パターン図の推奨例

注意 発振特性は、基板の寄生容量、寄生抵抗、水晶振動子、外付け容量など各部品の特性バラツキの影響を受けます。水晶発振回路の構成は、これらの影響を考慮してください。

■ 水晶振動子使用時の注意

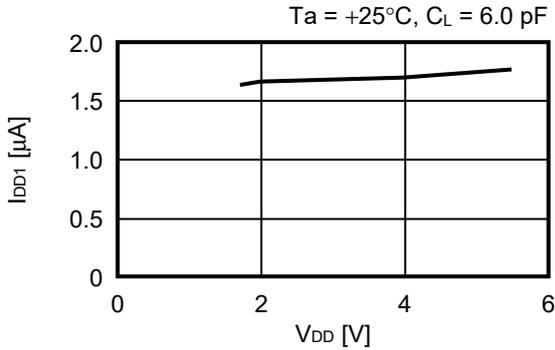
ICと水晶振動子のマッチング評価を水晶振動子メーカーに依頼してください。

■ 注意事項

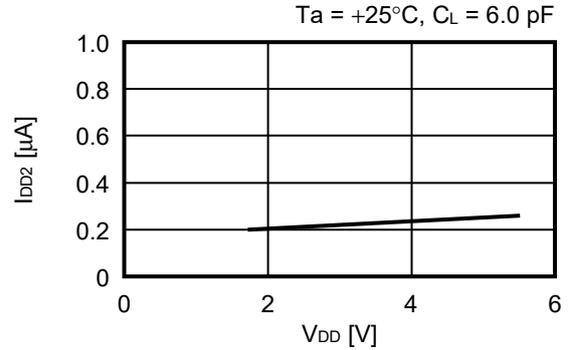
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

■ 諸特性データ (Typicalデータ)

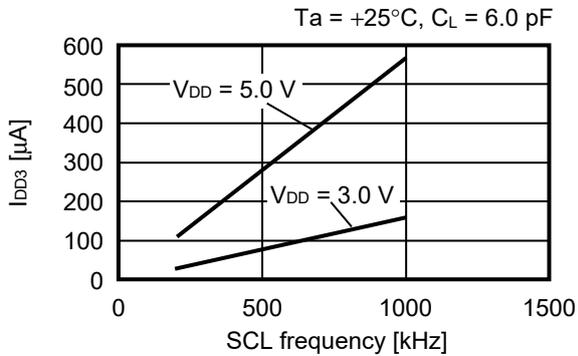
1. 消費電流1 – 電源電圧特性



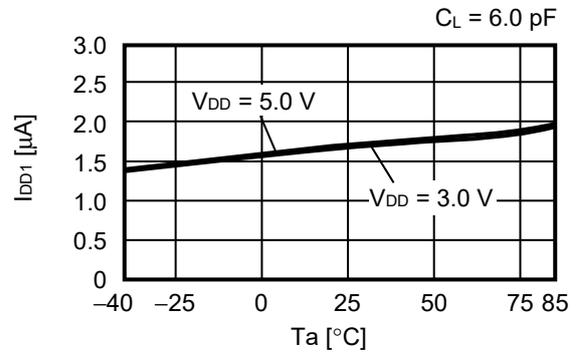
2. 消費電流2 – 電源電圧特性



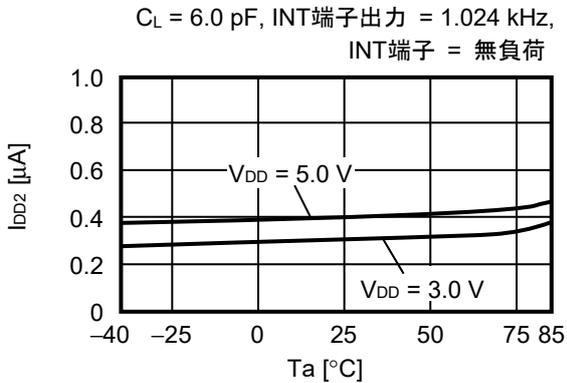
3. 消費電流3 – SCL周波数特性



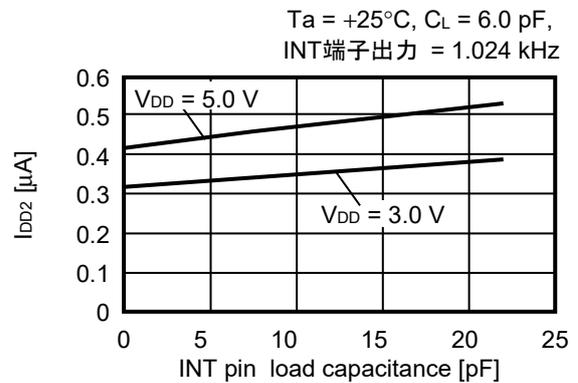
4. 消費電流1 – 温度特性



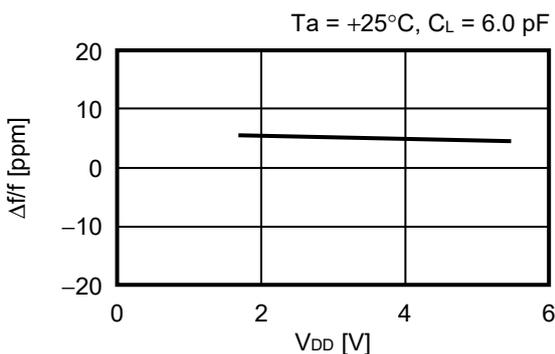
5. 消費電流2 – 温度特性



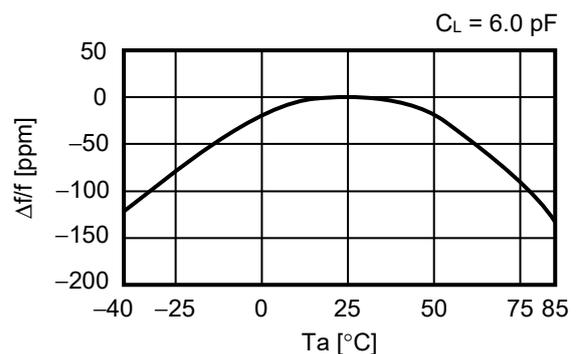
6. 消費電流2 – INT端子負荷容量特性



7. 発振周波数 – 電源電圧特性

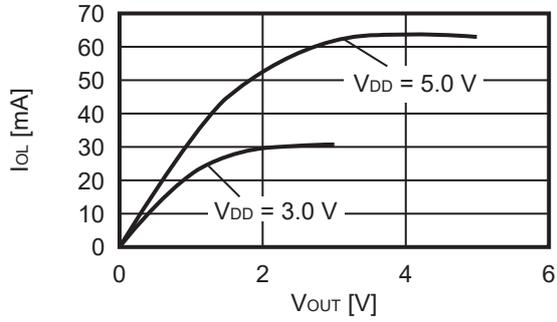


8. 発振周波数 – 温度特性



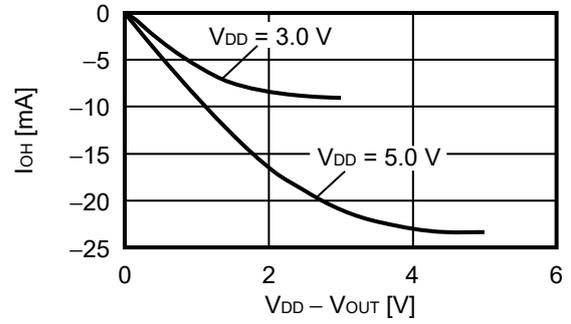
9. 低レベル出力電流 - 出力電圧特性

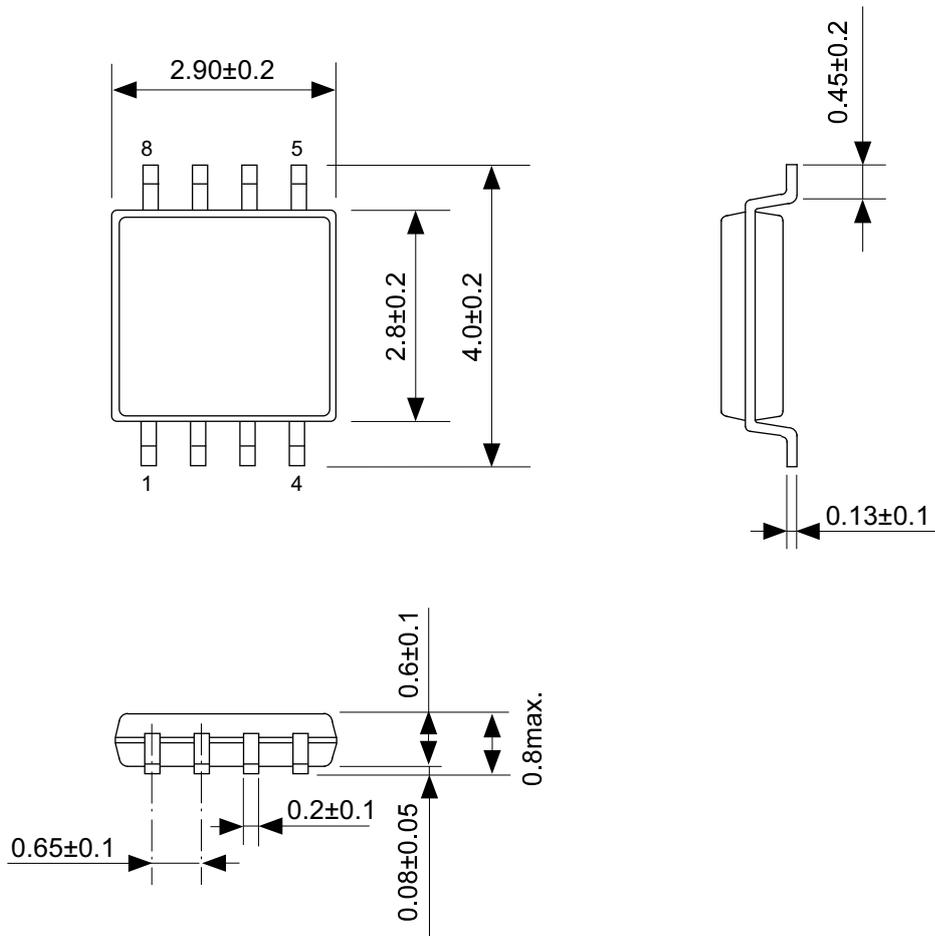
INT端子, SDA端子,
Ta = +25°C



10. 高レベル出力電流 - $V_{DD} - V_{OUT}$ 特性

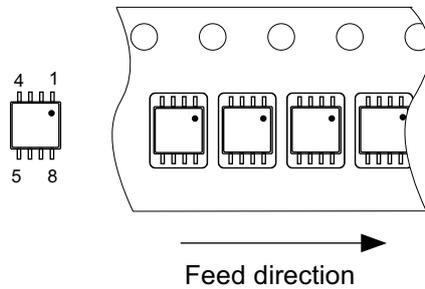
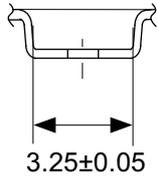
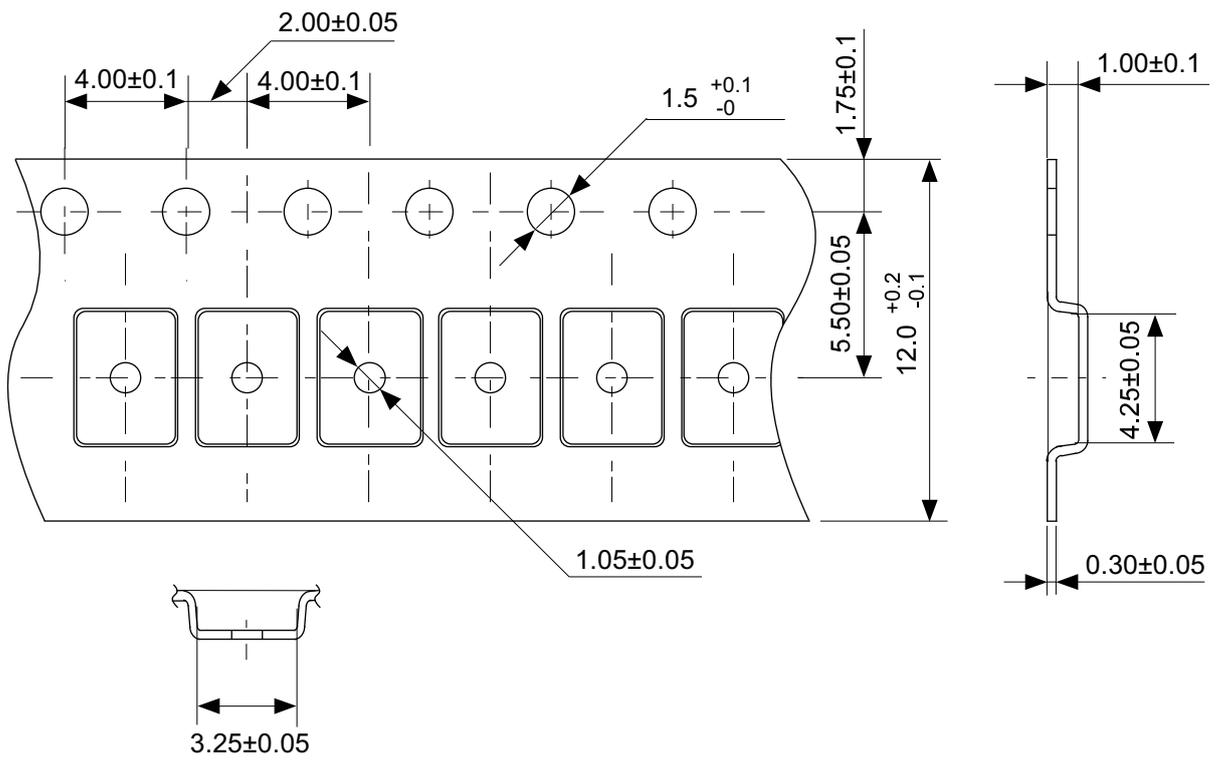
INT端子, Ta = +25°C





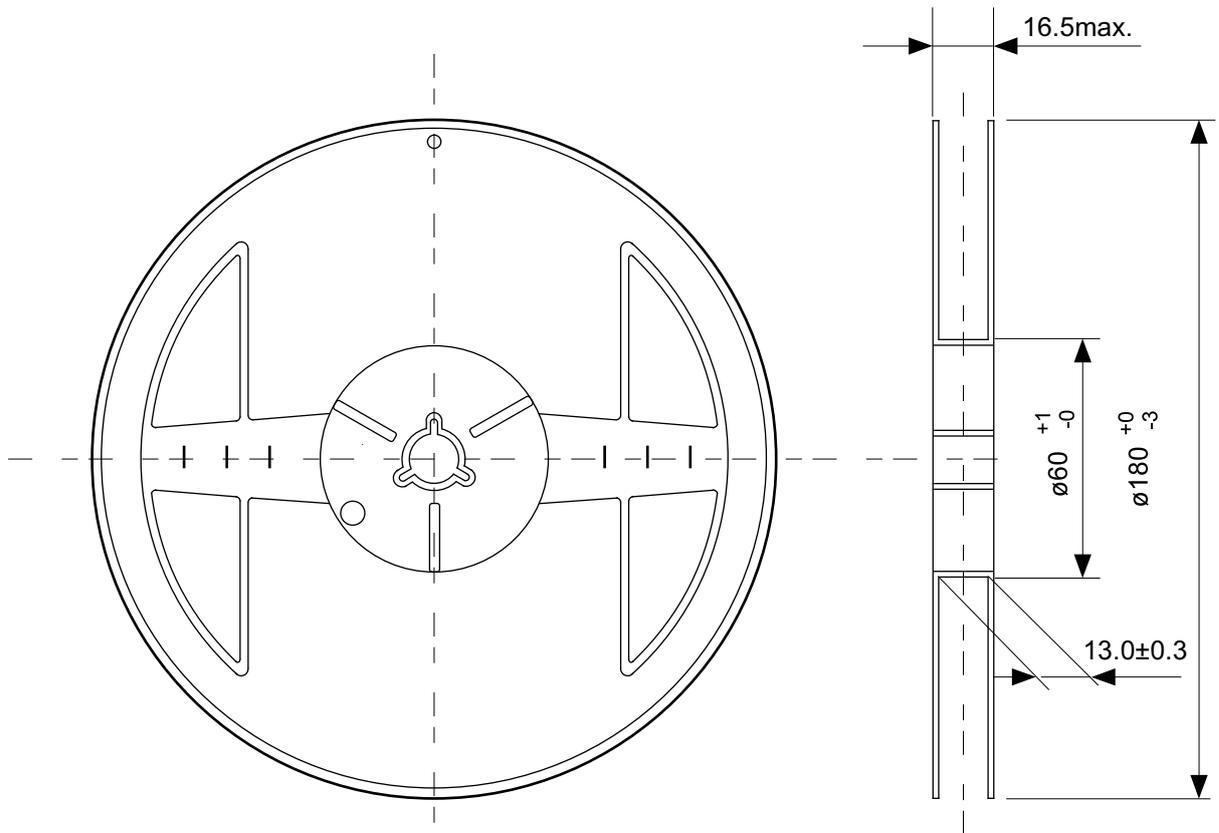
No. FM008-A-P-SD-1.2

TITLE	TMSOP8-A-PKG Dimensions
No.	FM008-A-P-SD-1.2
ANGLE	
UNIT	mm
ABLIC Inc.	

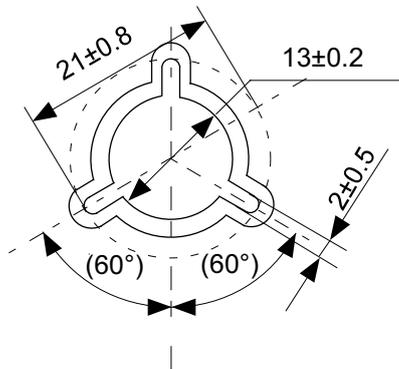


No. FM008-A-C-SD-2.0

TITLE	TMSOP8-A-Carrier Tape
No.	FM008-A-C-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	



Enlarged drawing in the central part



No. FM008-A-R-SD-1.0

TITLE	TMSOP8-A-Reel		
No.	FM008-A-R-SD-1.0		
ANGLE		QTY.	4,000
UNIT	mm		
ABLIC Inc.			

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com