

本ICは、高精度電圧検出回路と遅延回路を内蔵し、3セル～5セル直列のリチウムイオン二次電池の状態を8ピンの小型パッケージで監視することが可能です。

各セル間をショートすることにより、3セル～5セル直列接続に対応できます。

■ 特長

- ・ 各セルに対する高精度電圧検出回路

過充電検出電圧 n	3.500 V ~ 4.700 V (5 mVステップ)	精度 ± 20 mV ($T_a = +25^\circ\text{C}$)
		精度 ± 25 mV ($T_a = -10^\circ\text{C} \sim +60^\circ\text{C}$)
過充電解除電圧 n^{*1}	3.100 V ~ 4.700 V	精度 ± 50 mV
過放電検出電圧 n	1.500 V ~ 3.200 V (50 mVステップ)	精度 ± 80 mV
過放電解除電圧 n^{*2}	1.500 V ~ 3.900 V (100 mVステップ)	精度 ± 100 mV
- ・ 遅延時間は内蔵回路のみで実現 (外付け容量は不要)

過充電検出遅延時間	: 0.5 s, 1 s, 2 s, 4 s, 6 s, 8 s
過放電検出遅延時間	: 128 ms, 256 ms, 0.5 s, 1 s
- ・ CO端子、DO端子出力電圧を7.5 V max.に制限
- ・ CO端子、DO端子出力形態 : CMOS出力、Nchオープンドレイン出力
- ・ CO端子、DO端子出力論理 : アクティブ "H"、アクティブ "L"
- ・ 高耐圧 : 絶対最大定格28 V
- ・ 広動作電圧範囲 : 3.6 V ~ 24 V
- ・ 広動作温度範囲 : $T_a = -40^\circ\text{C} \sim +85^\circ\text{C}$
- ・ 低消費電流

動作時 (各セル3.4 V)	: 7.0 μA max.
----------------	--------------------------
- ・ 鉛フリー (Sn 100%)、ハロゲンフリー

*1. 過充電解除電圧 = 過充電検出電圧 - 過充電ヒステリシス電圧
(過充電ヒステリシス電圧は、0 mV ~ 400 mVの範囲内にて50 mVステップで選択可能)

*2. 過放電解除電圧 = 過放電検出電圧 + 過放電ヒステリシス電圧
(過放電ヒステリシス電圧は、0 mV ~ 700 mVの範囲内にて100 mVステップで選択可能)

備考 $n = 1, 2, 3, 4, 5$

■ 用途

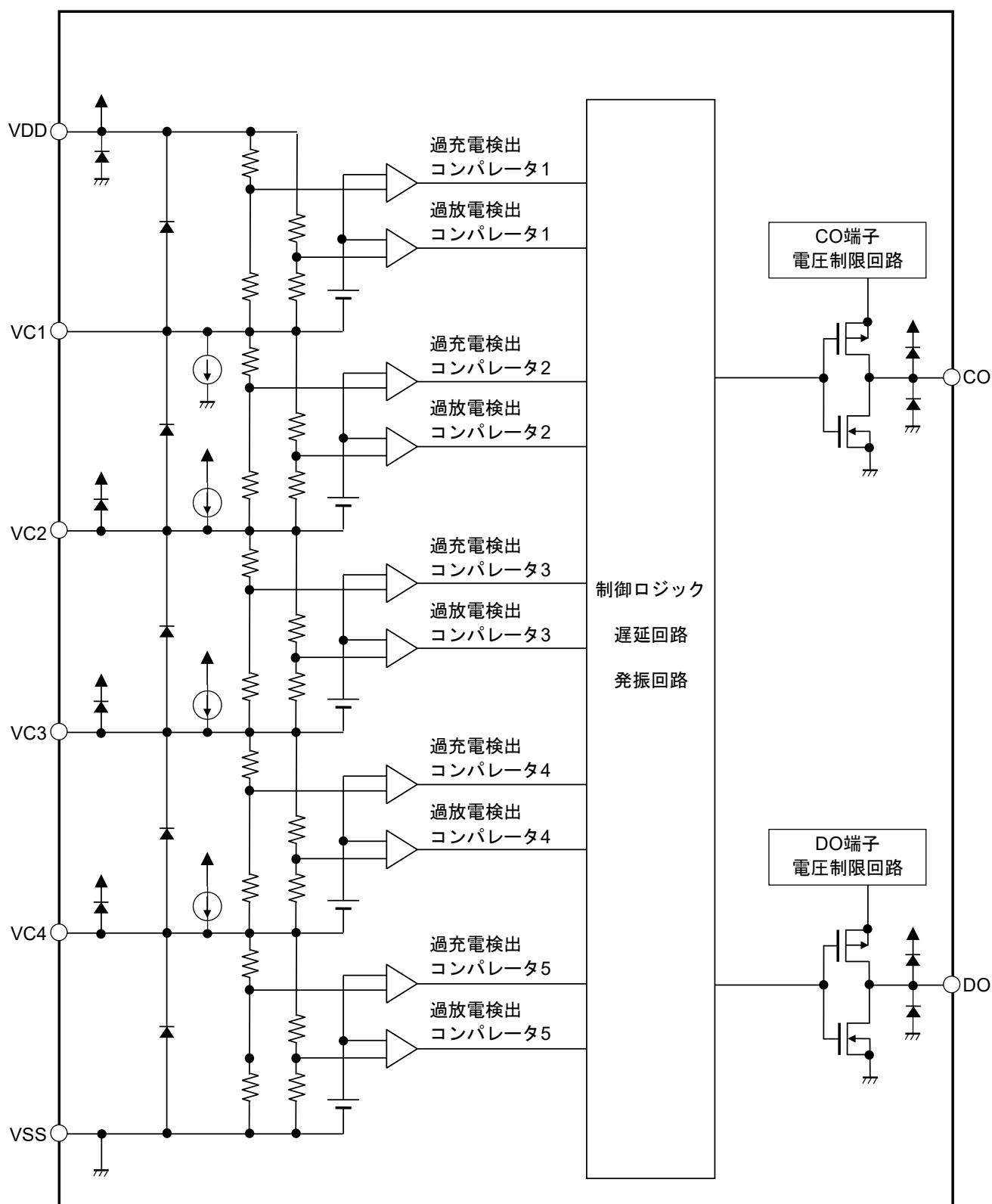
- ・ リチウムイオン二次電池パック

■ パッケージ

- ・ TMSOP-8
- ・ SNT-8A

■ ブロック図

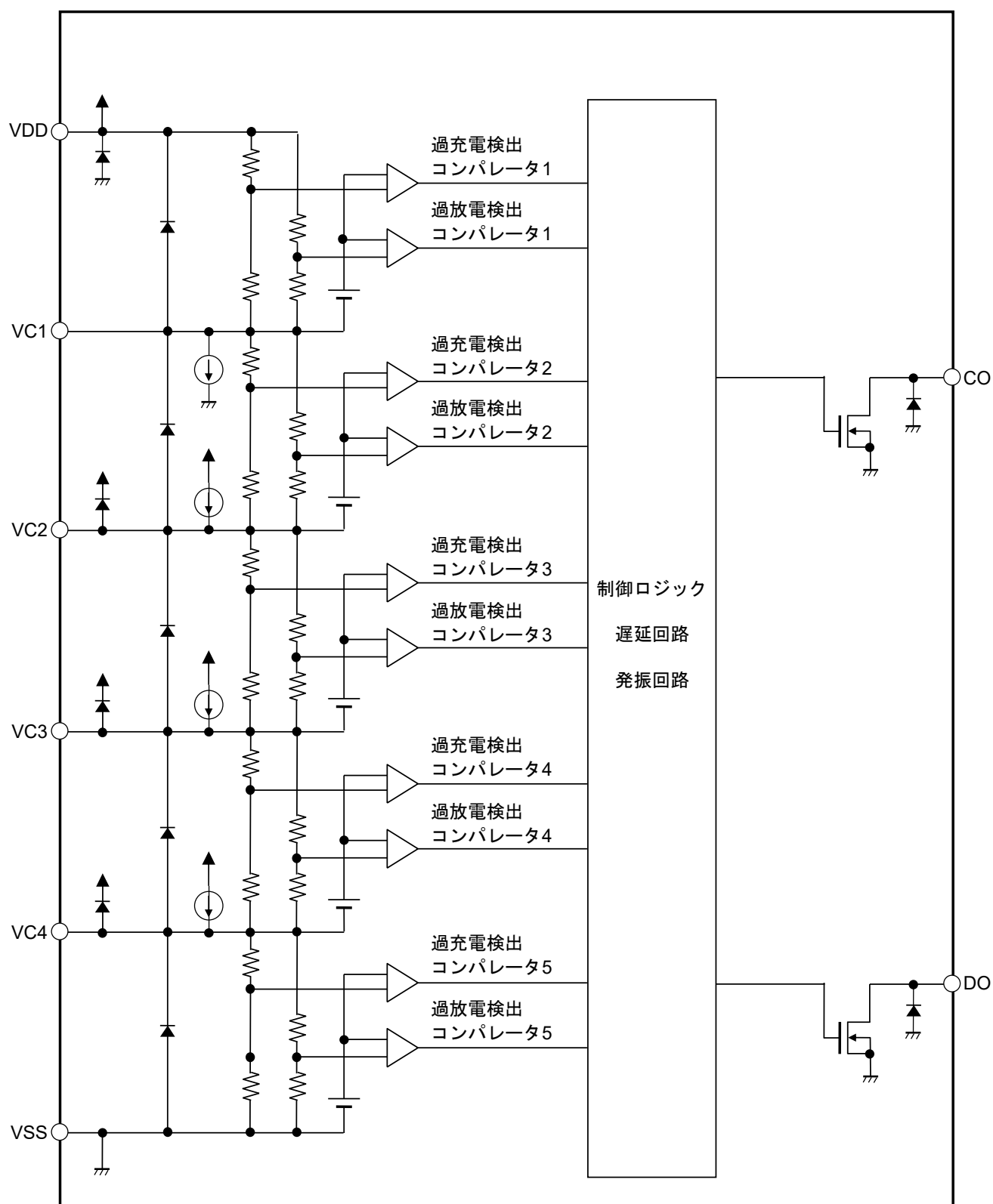
1. CMOS出力品



備考 図中に示されたダイオードは寄生ダイオードです。

図1

2. Nchオープンドレイン出力品

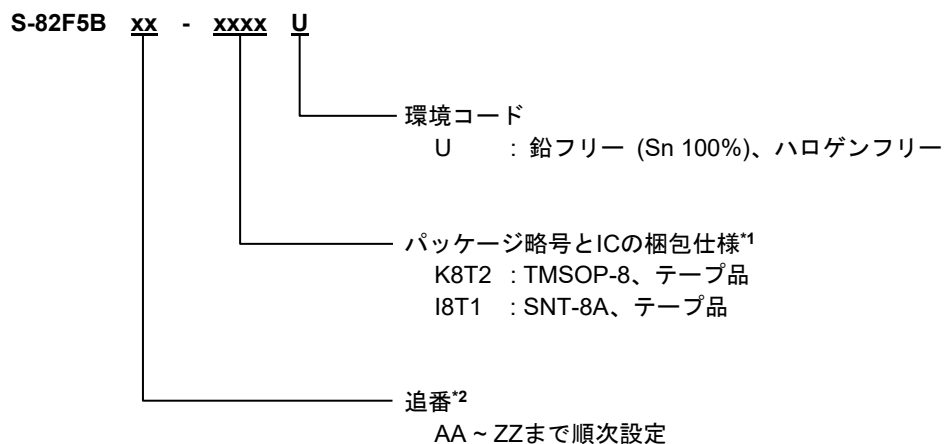


備考 図中に示されたダイオードは寄生ダイオードです。

図2

■ 品目コードの構成

1. 製品名



*1. テープ図面を参照してください。

*2. "3. 製品名リスト"を参照してください。

2. パッケージ

表1 パッケージ図面コード

パッケージ名	外形寸法図面	テープ図面	リール図面	ランド図面
TMSOP-8	FM008-A-P-SD	FM008-A-C-SD	FM008-A-R-SD	—
SNT-8A	PH008-A-P-SD	PH008-A-C-SD	PH008-A-R-SD	PH008-A-L-SD

3. 製品名リスト

3.1 TMSOP-8

表2 (1 / 2)

製品名	過充電 検出電圧 [V _{CU}]	過充電 解除電圧 [V _{CL}]	過放電 検出電圧 [V _{DL}]	過放電 解除電圧 [V _{DU}]	過充電検出 遅延時間*1 [t _{CU}]	過放電検出 遅延時間*2 [t _{DL}]
S-82F5BAA-K8T2U	4.275 V	4.225 V	2.000 V	2.200 V	1.0 s	1.0 s

表2 (2 / 2)

製品名	CO端子 出力形態	CO端子 出力論理	DO端子 出力形態	DO端子 出力論理
S-82F5BAA-K8T2U	Nchオープン ドレイン出力	アクティブ "L"	CMOS出力	アクティブ "H"

*1. 過充電検出遅延時間 : 0.5 s, 1 s, 2 s, 4 s, 6 s, 8 s

*2. 過放電検出遅延時間 : 128 ms, 256 ms, 0.5 s, 1 s

備考 上記以外の製品をご希望のときは、販売窓口までお問い合わせください。

3.2 SNT-8A

表3 (1 / 2)

製品名	過充電 検出電圧 [V _{CU}]	過充電 解除電圧 [V _{CL}]	過放電 検出電圧 [V _{DL}]	過放電 解除電圧 [V _{DU}]	過充電検出 遅延時間*1 [t _{CU}]	過放電検出 遅延時間*2 [t _{DL}]
S-82F5BAA-I8T1U	4.275 V	4.225 V	2.000 V	2.200 V	1.0 s	1.0 s

表3 (2 / 2)

製品名	CO端子 出力形態	CO端子 出力論理	DO端子 出力形態	DO端子 出力論理
S-82F5BAA-I8T1U	Nchオープン ドレイン出力	アクティブ "L"	CMOS出力	アクティブ "H"

*1. 過充電検出遅延時間 : 0.5 s, 1 s, 2 s, 4 s, 6 s, 8 s

*2. 過放電検出遅延時間 : 128 ms, 256 ms, 0.5 s, 1 s

備考 上記以外の製品をご希望のときは、販売窓口までお問い合わせください。

■ ピン配置図

1. TMSOP-8

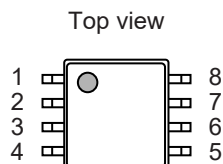


図3

表4

端子番号	端子記号	端子説明
1	VDD	正電源入力端子、 バッテリー1の正電圧接続端子
2	VC1	バッテリー1の負電圧接続端子、 バッテリー2の正電圧接続端子
3	VC2	バッテリー2の負電圧接続端子、 バッテリー3の正電圧接続端子
4	VC3	バッテリー3の負電圧接続端子、 バッテリー4の正電圧接続端子
5	VC4	バッテリー4の負電圧接続端子、 バッテリー5の正電圧接続端子
6	VSS	負電源入力端子、 バッテリー5の負電圧接続端子
7	DO	過放電検出出力端子
8	CO	過充電検出出力端子

2. SNT-8A

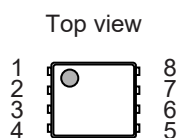


図4

表5

端子番号	端子記号	端子説明
1	VDD	正電源入力端子、 バッテリー1の正電圧接続端子
2	VC1	バッテリー1の負電圧接続端子、 バッテリー2の正電圧接続端子
3	VC2	バッテリー2の負電圧接続端子、 バッテリー3の正電圧接続端子
4	VC3	バッテリー3の負電圧接続端子、 バッテリー4の正電圧接続端子
5	VC4	バッテリー4の負電圧接続端子、 バッテリー5の正電圧接続端子
6	VSS	負電源入力端子、 バッテリー5の負電圧接続端子
7	DO	過放電検出出力端子
8	CO	過充電検出出力端子

■ 絶対最大定格

表6

(特記なき場合 : Ta = +25°C)

項目		記号	適用端子	絶対最大定格	単位
VDD端子 - VSS端子間入力電圧		V _{DS}	VDD	V _{SS} - 0.3 ~ V _{SS} + 28	V
入力端子電圧		V _{IN1}	VC1	V _{DD} - 6.0 ~ V _{DD} + 0.3, V _{IN2} - 0.3 ~ V _{IN2} + 6.0	V
		V _{IN2}	VC2	V _{IN3} - 0.3 ~ V _{IN3} + 6.0, V _{IN3} - 0.3 ~ V _{DD} + 0.3	V
		V _{IN3}	VC3	V _{IN4} - 0.3 ~ V _{IN4} + 6.0, V _{IN4} - 0.3 ~ V _{DD} + 0.3	V
		V _{IN4}	VC4	V _{SS} - 0.3 ~ V _{SS} + 6.0, V _{SS} - 0.3 ~ V _{DD} + 0.3	V
出力端子電圧	CMOS出力品	V _{OUT}	DO	V _{SS} - 0.3 ~ V _{DD} + 0.3	V
			CO	V _{SS} - 0.3 ~ V _{DD} + 0.3	V
	Nchオープンドレイン出力品		DO	V _{SS} - 0.3 ~ V _{SS} + 28	V
			CO	V _{SS} - 0.3 ~ V _{SS} + 28	V
動作周囲温度		T _{opr}	—	-40 ~ +85	°C
保存温度		T _{stg}	—	-40 ~ +125	°C

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 熱抵抗値

表7

項目	記号	条件		Min.	Typ.	Max.	単位
ジャンクション温度 – 周囲温度間 熱抵抗値*1	θ_{JA}	TMSOP-8	Board A	–	160	–	°C/W
			Board B	–	133	–	°C/W
			Board C	–	–	–	°C/W
			Board D	–	–	–	°C/W
			Board E	–	–	–	°C/W
		SNT-8A	Board A	–	211	–	°C/W
			Board B	–	173	–	°C/W
			Board C	–	–	–	°C/W
			Board D	–	–	–	°C/W
			Board E	–	–	–	°C/W

*1. 測定環境 : JEDEC STANDARD JESD51-2A準拠

備考 詳細については、"■ Power Dissipation"、"Test Board" を参照してください。

■ 電気的特性

表8

(特記なき場合 : Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
検出電圧							
過充電検出電圧n (n = 1, 2, 3, 4, 5)	V _{CU_n}	V1 = V2 = V3 = V4 = V5 = V _{CU} - 0.1 V	V _{CU} - 0.020	V _{CU}	V _{CU} + 0.020	V	1
		Ta = -10°C ~ +60°C*1, V1 = V2 = V3 = V4 = V5 = V _{CU} - 0.1 V	V _{CU} - 0.025	V _{CU}	V _{CU} + 0.025	V	1
過充電解除電圧n (n = 1, 2, 3, 4, 5)	V _{CL_n}	—	V _{CL} - 0.050	V _{CL}	V _{CL} + 0.050	V	2
過放電検出電圧n (n = 1, 2, 3, 4, 5)	V _{DL_n}	—	V _{DL} - 0.08	V _{DL}	V _{DL} + 0.08	V	2
過放電解除電圧n (n = 1, 2, 3, 4, 5)	V _{DU_n}	—	V _{DU} - 0.10	V _{DU}	V _{DU} + 0.10	V	2
入力電圧							
VDD端子 - VSS端子間動作電圧	V _{DSOP}	—	3.6	—	24	V	—
出力電圧							
CO端子電圧 "H"	V _{COH}	CMOS出力品	5.0	6.0	7.5	V	2
DO端子電圧 "H"	V _{DOH}	CMOS出力品	5.0	6.0	7.5	V	2
入力電流							
動作時消費電流	I _{OPE}	V1 = V2 = V3 = V4 = V5 = 3.4 V	—	2.5	7.0	μA	2
VC _n 端子電流 (n = 1, 2, 3, 4)	I _{VC_n}	V1 = V2 = V3 = V4 = V5 = 3.4 V	-1.0	0	1.0	μA	2
出力電流							
DO端子シンク電流	I _{DOL}	—	20	—	—	μA	2
DO端子ソース電流	I _{DOH}	CMOS出力品	—	—	-20	μA	2
DO端子リーク電流	I _{DOLL}	Nchオープンドレイン出力品	—	—	0.1	μA	2
CO端子シンク電流	I _{COL}	—	20	—	—	μA	2
CO端子ソース電流	I _{COH}	CMOS出力品	—	—	-20	μA	2
CO端子リーク電流	I _{COLL}	Nchオープンドレイン出力品	—	—	0.1	μA	2
遅延時間							
過充電検出遅延時間	t _{CU}	—	t _{CU} × 0.7	t _{CU}	t _{CU} × 1.3	—	2
過放電検出遅延時間	t _{DL}	—	t _{DL} × 0.7	t _{DL}	t _{DL} × 1.3	—	2

*1. 高温および低温での選別はしておりませんので、この温度範囲での規格は設計保証とします。

■ 測定回路

測定回路の初期状態は下記の設定としてください。

表9

測定項目	CO端子出力形態	DO端子出力形態	SW1	SW2	SW3	SW4	SW5	SW6
動作時消費電流、 CO端子シンク電流、 CO端子リーク電流、 DO端子シンク電流、 DO端子リーク電流	—	—	OFF	OFF	OFF	OFF	OFF	OFF
上記以外	CMOS出力	CMOS出力	OFF	OFF	OFF	OFF	OFF	OFF
	CMOS出力	Nchオープンドレイン出力	ON	OFF	OFF	OFF	OFF	OFF
	Nchオープンドレイン出力	CMOS出力	OFF	ON	OFF	OFF	OFF	OFF
	Nchオープンドレイン出力	Nchオープンドレイン出力	ON	ON	OFF	OFF	OFF	OFF

1. 過充電検出電圧 n (V_{CU_n}) (測定回路1)

$V1 = V2 = V3 = V4 = V5 = V_{CU} - 0.1$ Vに設定し、 $V1$ を徐々に上げ、CO端子出力が反転する $V1$ の電圧を過充電検出電圧1 (V_{CU1}) とします。ほかの過充電検出電圧 n (V_{CU_n}) も $n = 1$ の場合と同様に求めることができます。

2. 過充電解除電圧 n (V_{CL_n}) (測定回路2)

$V1 = V_{CU} + 0.1$ V, $V2 = V3 = V4 = V5 = V_{CL} - 0.1$ Vに設定し、CO端子出力を反転させます。その後、 $V1$ を徐々に下げ、CO端子出力が再度反転する $V1$ の電圧を過充電解除電圧1 (V_{CL1}) とします。ほかの過充電解除電圧 n (V_{CL_n}) も $n = 1$ の場合と同様に求めることができます。

3. 過放電検出電圧 n (V_{DL_n})、過放電解除電圧 n (V_{DU_n}) (測定回路2)

$V1 = V2 = V3 = V4 = V5 = V_{DL} + 0.1$ Vに設定し、 $V1$ を徐々に下げ、DO端子出力が反転する $V1$ の電圧を過放電検出電圧1 (V_{DL1}) とします。その後、 $V2 = V3 = V4 = V5 = V_{DU} + 0.15$ Vに設定し、 $V1$ を徐々に上げ、DO端子出力が再度反転する $V1$ の電圧を過放電解除電圧1 (V_{DU1}) とします。

ほかの過放電検出電圧 n (V_{DL_n})、過放電解除電圧 n (V_{DU_n}) も $n = 1$ の場合と同様に求めることができます。

備考 $n = 1, 2, 3, 4, 5$

4. CO端子出力電圧 "H" (V_{COH})、DO端子出力電圧 "H" (V_{DOH}) (測定回路2)

4.1 CO端子出力論理アクティブ "H"

$V1 = 4.8\text{ V}$, $V2 = V3 = V4 = V5 = 3.05\text{ V}$, $I2 = 0.1\text{ }\mu\text{A}$, SW6をONに設定したときのCO端子 – VSS端子間電圧をCO端子出力電圧 "H" (V_{COH}) とします。

4.2 CO端子出力論理アクティブ "L"

$V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $I2 = 0.1\text{ }\mu\text{A}$, SW6をONに設定したときのCO端子 – VSS端子間電圧をCO端子出力電圧 "H" (V_{COH}) とします。

4.3 DO端子出力論理アクティブ "H"

$V1 = 1.4\text{ V}$, $V2 = V3 = V4 = V5 = 3.9\text{ V}$, $I1 = 0.1\text{ }\mu\text{A}$, SW5をONに設定したときのDO端子 – VSS端子間電圧をDO端子出力電圧 "H" (V_{DOH}) とします。

4.4 DO端子出力論理アクティブ "L"

$V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $I1 = 0.1\text{ }\mu\text{A}$, SW5をONに設定したときのDO端子 – VSS端子間電圧をDO端子出力電圧 "H" (V_{DOH}) とします。

5. CO端子ソース電流 (I_{COH})、CO端子シンク電流 (I_{COL})、CO端子リーク電流 (I_{COLL})、 DO端子ソース電流 (I_{DOH})、DO端子シンク電流 (I_{DOL})、DO端子リーク電流 (I_{DOLL}) (測定回路2)

5.1 CO端子CMOS出力品

5.1.1 CO端子出力論理アクティブ "H"

$V1 = 4.8\text{ V}$, $V2 = V3 = V4 = V5 = 3.05\text{ V}$, $V7 = V_{COH} - 0.5\text{ V}$ に設定したあと、SW4をONにします。このときのCO端子の電流をCO端子ソース電流 (I_{COH}) とします。

$V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V7 = 0.5\text{ V}$ に設定したあと、SW4をONにします。このときのCO端子の電流をCO端子シンク電流 (I_{COL}) とします。

5.1.2 CO端子出力論理アクティブ "L"

$V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V7 = V_{COH} - 0.5\text{ V}$ に設定したあと、SW4をONにします。このときのCO端子の電流をCO端子ソース電流 (I_{COH}) とします。

$V1 = 4.8\text{ V}$, $V2 = V3 = V4 = V5 = 3.05\text{ V}$, $V7 = 0.5\text{ V}$ に設定したあと、SW4をONにします。このときのCO端子の電流をCO端子シンク電流 (I_{COL}) とします。

5.2 CO端子Nchオープンドレイン出力品

5.2.1 CO端子出力論理アクティブ "H"

$V1 = 4.8\text{ V}$, $V2 = V3 = V4 = V5 = 3.05\text{ V}$, $V7 = 17\text{ V}$ に設定したあと、SW4をONにします。このときのCO端子の電流をCO端子リーク電流 (I_{COLL}) とします。

$V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V7 = 0.5\text{ V}$ に設定したあと、SW4をONにします。このときのCO端子の電流をCO端子シンク電流 (I_{COL}) とします。

5.2.2 CO端子出力論理アクティブ "L"

$V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V7 = 17\text{ V}$ に設定したあと、SW4をONにします。このときのCO端子の電流をCO端子リーク電流 (I_{COLL}) とします。

$V1 = 4.8\text{ V}$, $V2 = V3 = V4 = V5 = 3.05\text{ V}$, $V7 = 0.5\text{ V}$ に設定したあと、SW4をONにします。このときのCO端子の電流をCO端子シンク電流 (I_{COL}) とします。

5.3 DO端子CMOS出力品

5.3.1 DO端子出力論理アクティブ "H"

$V1 = 1.4\text{ V}$, $V2 = V3 = V4 = V5 = 3.9\text{ V}$, $V6 = V_{\text{DOH}} - 0.5\text{ V}$ に設定したあと、SW3をONにします。このときのDO端子の電流をDO端子ソース電流 (I_{DOH}) とします。

$V1 = 4.8\text{ V}$, $V2 = 4.1\text{ V}$, $V3 = 4.1\text{ V}$, $V4 = 4.0\text{ V}$, $V5 = 0\text{ V}$, $V6 = 0.5\text{ V}$ に設定したあと、SW3をONにします。このときのDO端子の電流をDO端子シンク電流 (I_{DOL}) とします。

5.3.2 DO端子出力論理アクティブ "L"

$V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V6 = V_{\text{DOH}} - 0.5\text{ V}$ に設定したあと、SW3をONにします。このときのDO端子の電流をDO端子ソース電流 (I_{DOH}) とします。

$V1 = 1.4\text{ V}$, $V2 = V3 = V4 = V5 = 3.9\text{ V}$, $V6 = 0.5\text{ V}$ に設定したあと、SW3をONにします。このときのDO端子の電流をDO端子シンク電流 (I_{DOL}) とします。

5.4 DO端子Nchオープンドレイン出力品

5.4.1 DO端子出力論理アクティブ "H"

$V1 = 1.4\text{ V}$, $V2 = V3 = V4 = V5 = 3.9\text{ V}$, $V6 = 17\text{ V}$ に設定したあと、SW3をONにします。このときのDO端子の電流をDO端子リーク電流 (I_{DOLL}) とします。

$V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V6 = 0.5\text{ V}$ に設定したあと、SW3をONにします。このときのDO端子の電流をDO端子シンク電流 (I_{DOL}) とします。

5.4.2 DO端子出力論理アクティブ "L"

$V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V6 = 17\text{ V}$ に設定したあと、SW3をONにします。このときのDO端子の電流をDO端子リーク電流 (I_{DOLL}) とします。

$V1 = 1.4\text{ V}$, $V2 = V3 = V4 = V5 = 3.9\text{ V}$, $V6 = 0.5\text{ V}$ に設定したあと、SW3をONにします。このときのDO端子の電流をDO端子シンク電流 (I_{DOL}) とします。

6. 過充電検出遅延時間 (t_{CU}) (測定回路2)

$V5 = V_{\text{CU}} - 0.2\text{ V}$, $V1 = V2 = V3 = V4 = 3.4\text{ V}$ に設定したあと、 $V5 = V_{\text{CU}} + 0.2\text{ V}$ に立ち上げ、CO端子出力が反転するまでの時間を過充電検出遅延時間 (t_{CU}) とします。

7. 過放電検出遅延時間 (t_{DL}) (測定回路2)

$V5 = V_{\text{DL}} + 0.2\text{ V}$, $V2 = V3 = V4 = V5 = 3.4\text{ V}$ に設定したあと、 $V5 = V_{\text{DL}} - 0.2\text{ V}$ に立ち下げ、DO端子出力が反転するまでの時間を過放電検出遅延時間 (t_{DL}) とします。

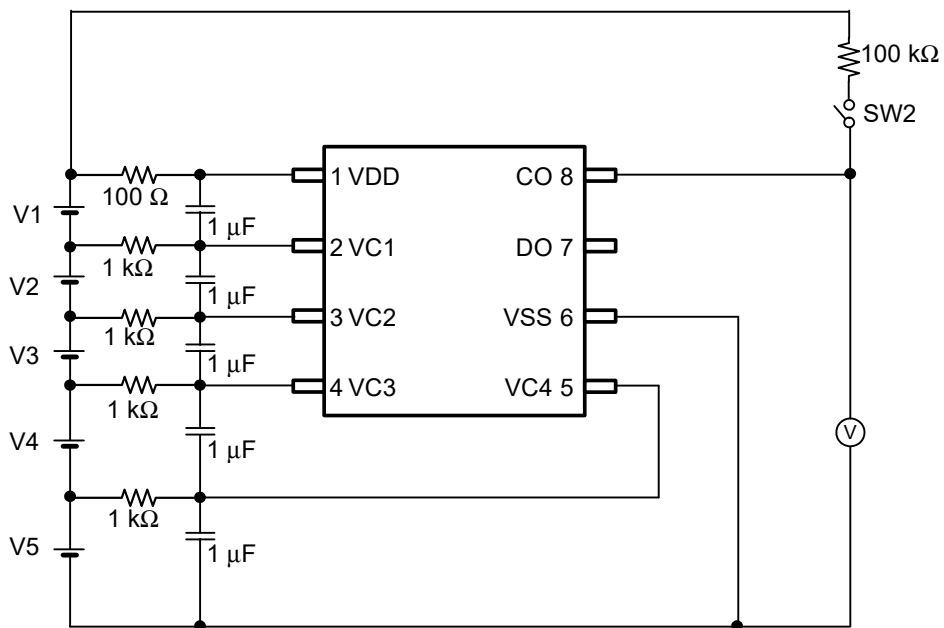


図5 測定回路1

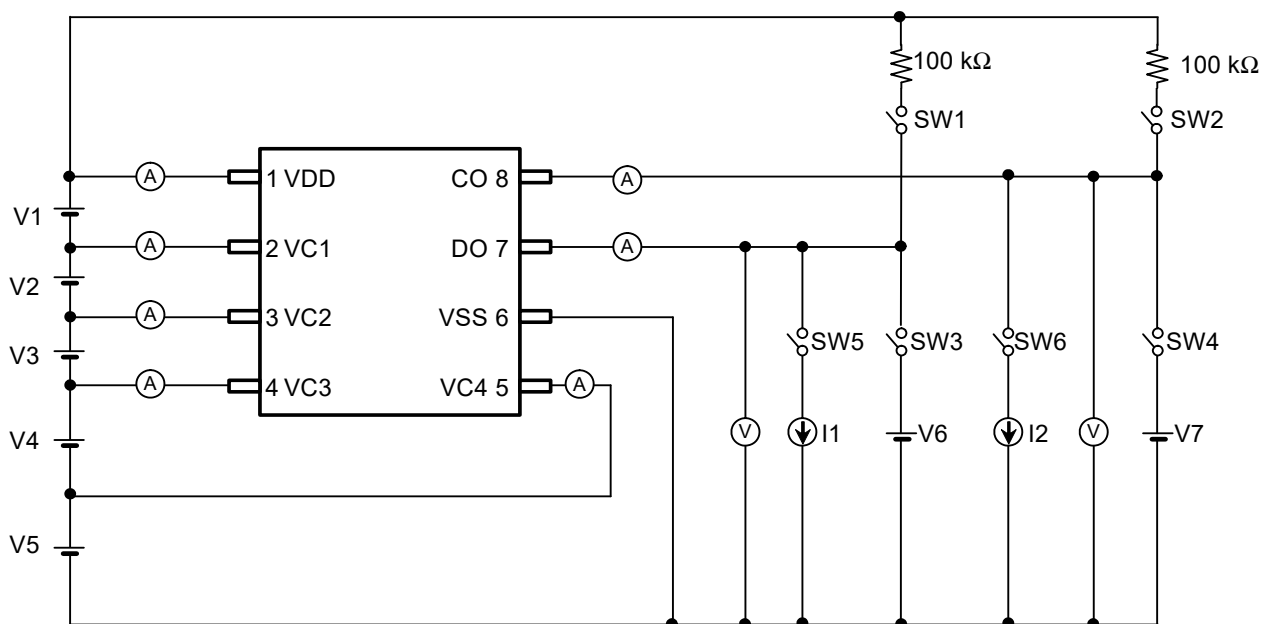


図6 測定回路2

■ 動作説明

1. 通常状態

すべての電池電圧が過放電検出電圧 n (V_{DLn}) と過充電検出電圧 n (V_{CUn}) の間にある場合、CO端子出力は表10のように、DO端子出力は表11のようになります。この状態を通常状態と言います。

表10

CO端子論理	CO端子出力
アクティブ "H"	"L"
アクティブ "L"	"H"

表11

DO端子論理	DO端子出力
アクティブ "H"	"L"
アクティブ "L"	"H"

2. 過充電状態

いずれかの電池電圧が充電中に過充電検出電圧 n (V_{CUn}) を越え、その状態を過充電検出遅延時間 (t_{CU}) 以上保持すると、CO端子出力が反転します。この状態を過充電状態と言います。

すべての電池電圧が過充電解除電圧 n (V_{CLn}) 未満となった場合、過充電状態を解除し通常状態へ復帰します。

3. 過放電状態

いずれかの電池電圧が放電中に過放電検出電圧 n (V_{DLn}) を下回り、その状態を過放電検出遅延時間 (t_{DL}) 以上保持すると、DO端子出力が反転します。この状態を過放電状態と言います。

すべての電池電圧が過放電解除電圧 n (V_{DUn}) 以上になると、通常状態へ復帰します。

4. テストモード

本ICは、テストモードに移行することで、過充電検出遅延時間 (t_{CU}) および過放電遅延時間 (t_{DL}) を短くすることが可能です。

本ICが通常状態中にDO端子電圧を以下の電圧にすることで、テストモードに移行できます。

表12

DO端子出力形態	DO端子出力論理	DO端子電圧
CMOS出力	アクティブ "L"	0 V
CMOS出力	アクティブ "H"	5 V
Nchオープンドレイン	—	$V_{DD} + 5 V$

テストモードでは過放電状態の出力はDO端子ではなく、CO端子より出力されます。

テストモードへの移行後は、DO端子電圧を保持することで、過充電状態もしくは過放電状態へ遷移してもテストモードを保持します。

DO端子電圧の入力を通常状態の出力に戻すとテストモードを解除します。

注意 テストモードへの移行は、すべての電池が過充電かつ過放電ではない状態で行ってください。

備考 $n = 1, 2, 3, 4, 5$

5. VCn端子

VCn端子には定電流回路が接続されています。電池とICの接続が切断された場合、この定電流回路によりVCn端子をプルアップ/プルダウンし、切断を検出することが可能です。

ただし、外付けされる他の部品との関係でこの切断の検出が正常に動作できない場合があります。検出動作が必要な場合は実際のアプリケーションで十分な評価を行ってください。また、この定電流回路が不要な場合はS-82F5Aシリーズを選択してください。

備考 $n = 1, 2, 3, 4$

■ タイミングチャート

1. 過充電検出動作

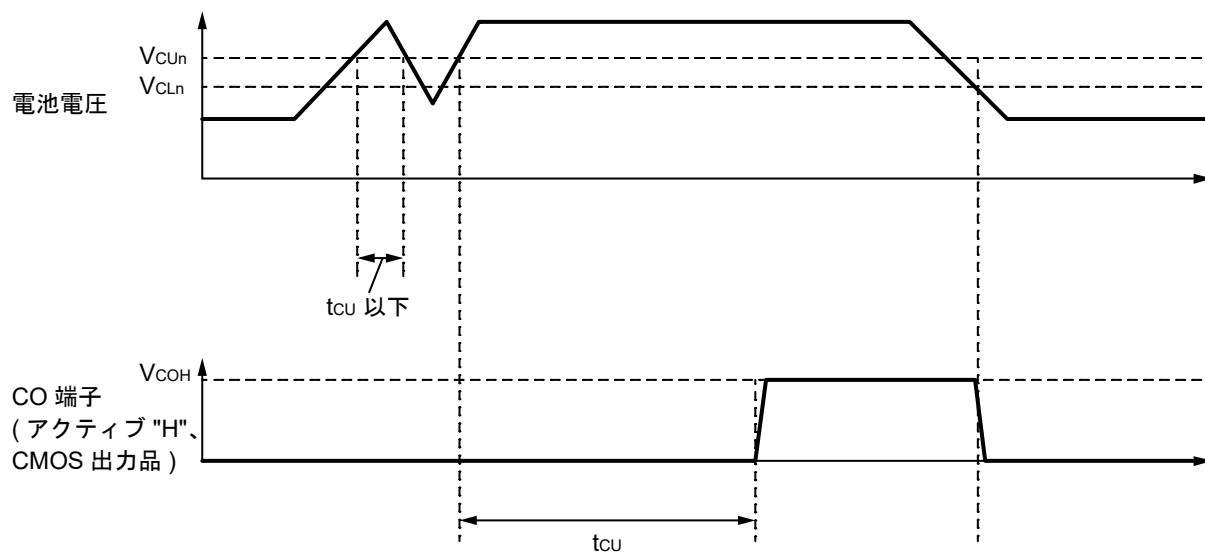


図7

2. 過放電検出動作

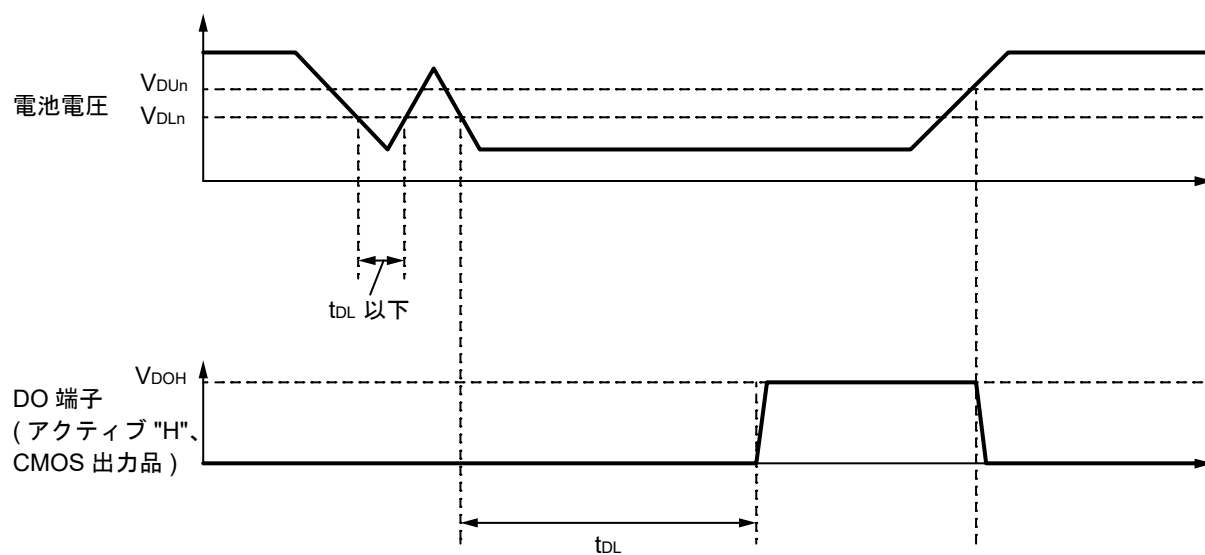


図8

備考 $n = 1, 2, 3, 4, 5$

■ バッテリー監視ICの接続例

1. 5セル直列 (CO端子出力形態：CMOS出力、DO端子出力形態：CMOS出力)

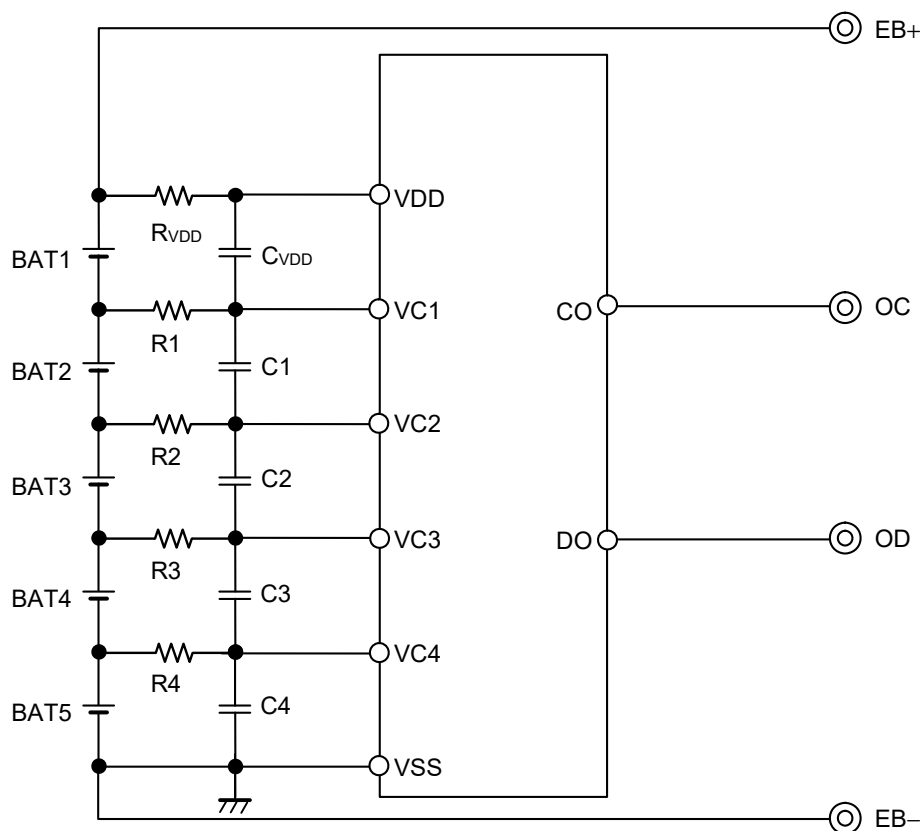


図9

表13 外付け部品定数

No.	部品	Typ.	単位
1	R1 ~ R4	1	k Ω
2	C1 ~ C4, C _{VDD}	1	μ F
3	R _{VDD}	100	Ω

- 注意 1. 定数は予告なく変更することがあります。
2. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

2. 4セル直列 (CO端子出力形態：CMOS出力、DO端子出力形態：CMOS出力)

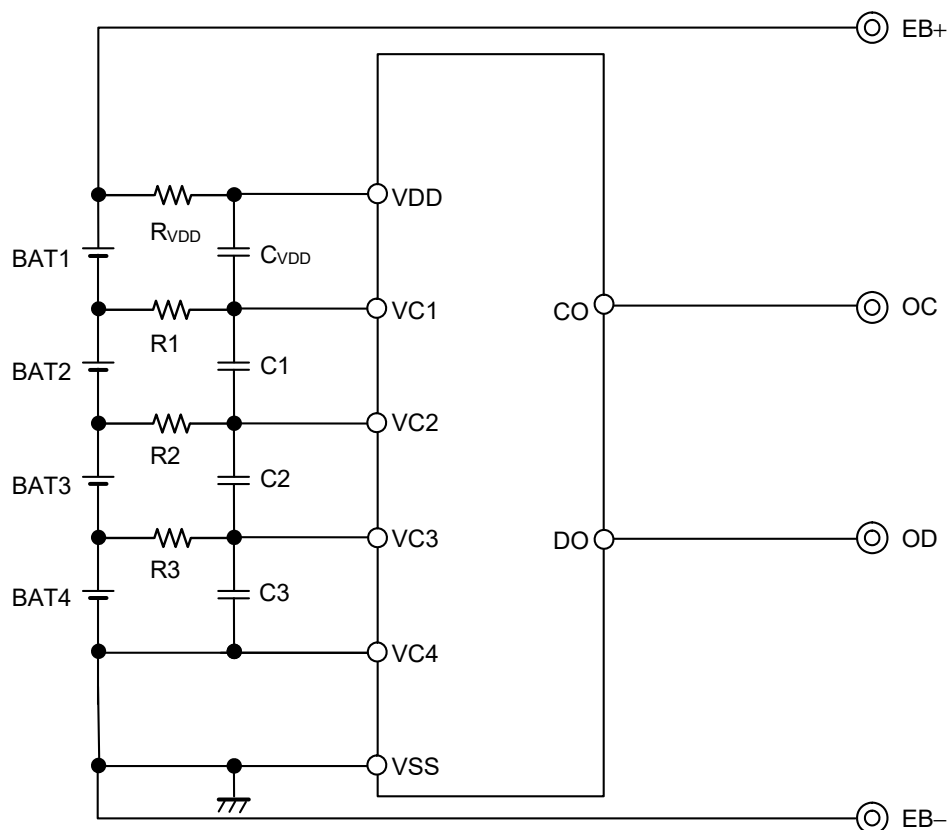


図10

表14 外付け部品定数

No.	部品	Typ.	単位
1	R1 ~ R3	1	kΩ
2	C1 ~ C3, CVDD	1	μF
3	RVDD	100	Ω

- 注意 1. 定数は予告なく変更することがあります。
2. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

3. 3セル直列 (CO端子出力形態 : CMOS出力、DO端子出力形態 : CMOS出力)

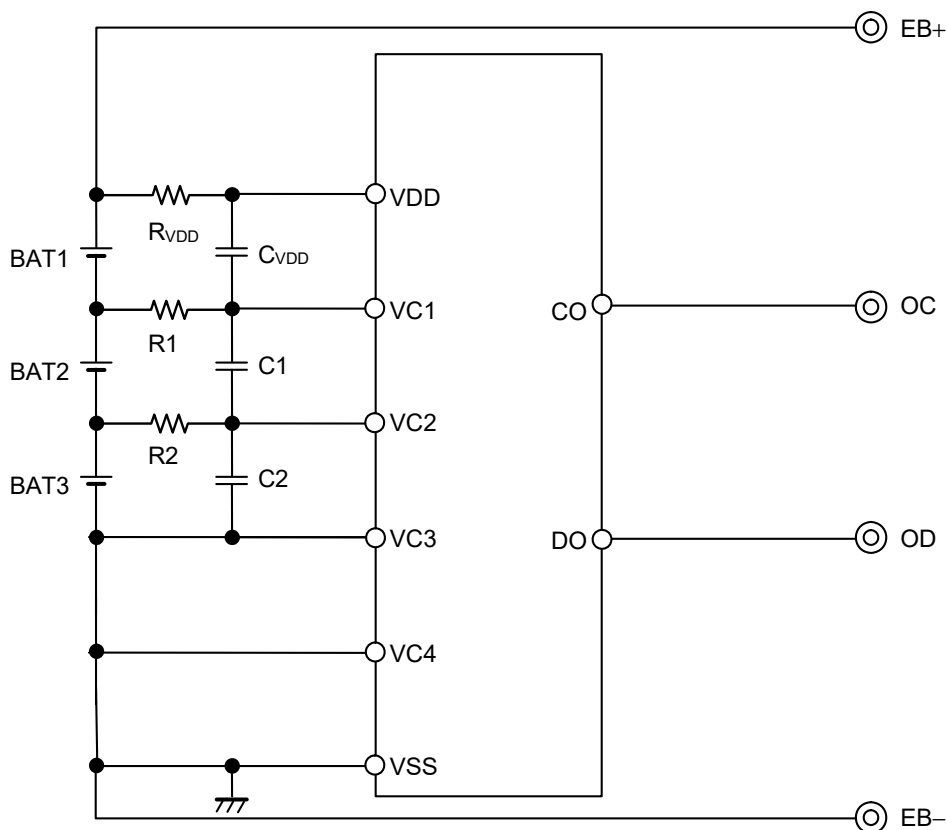


図11

表15 外付け部品定数

No.	部品	Typ.	単位
1	R1, R2	1	k Ω
2	C1, C2, C _{VDD}	1	μ F
3	R _{VDD}	100	Ω

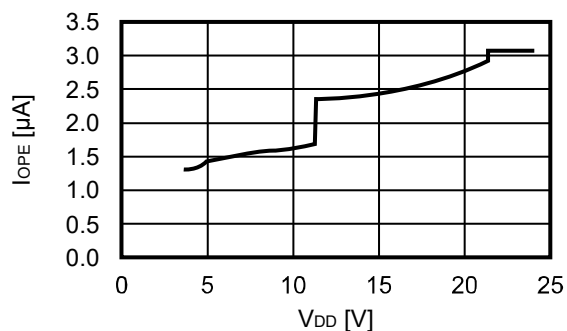
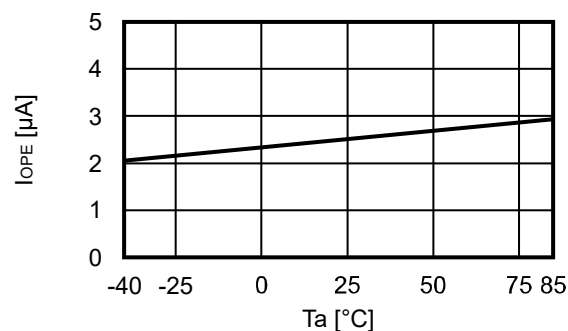
- 注意 1. 定数は予告なく変更することがあります。
2. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

■ 注意事項

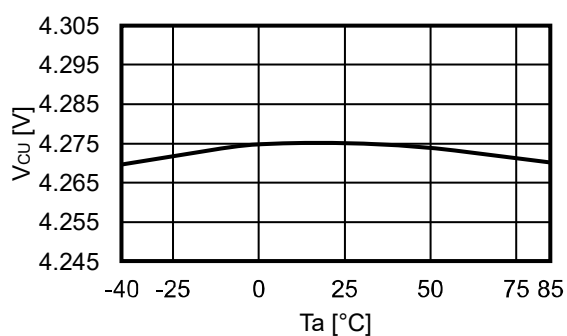
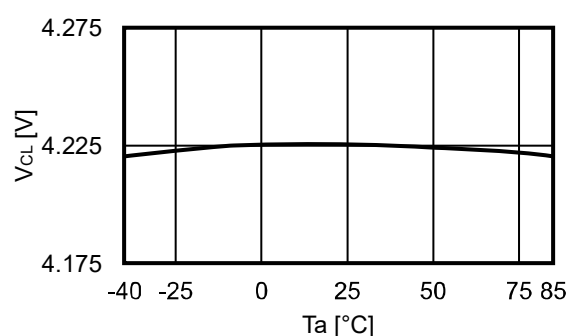
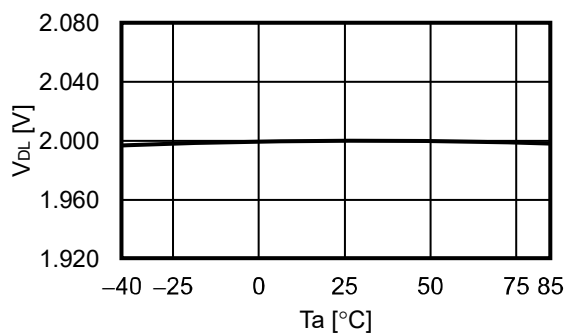
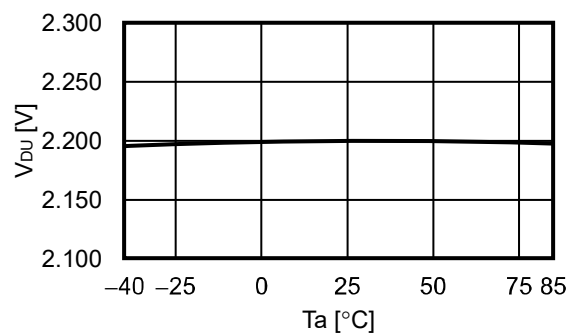
- ・ IC内での損失が許容損失を越えないように、入出力電圧、負荷電流の使用条件に注意してください。
- ・ 過充電電池と過放電電池が混在した場合は過充電状態かつ過放電状態となります。
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様また、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

■ 諸特性データ (Typicalデータ)

1. 消費電流

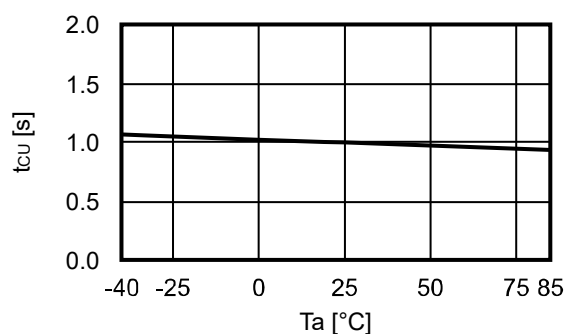
1.1 $I_{OPE} - V_{DD}$ 1.2 $I_{OPE} - T_a$ 

2. 検出電圧、解除電圧

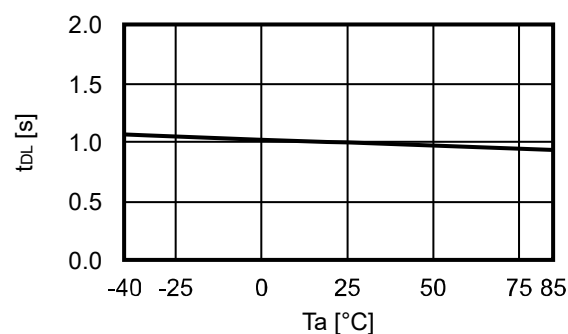
2.1 $V_{CU} - T_a$ 2.2 $V_{CL} - T_a$ 2.3 $V_{DL} - T_a$ 2.4 $V_{DU} - T_a$ 

3. 遅延時間

3.1 $t_{CU} - T_a$

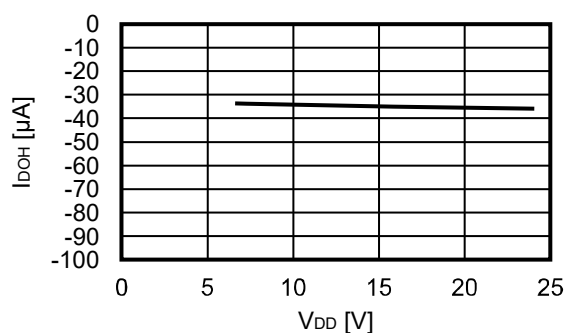


3.2 $t_{DL} - T_a$

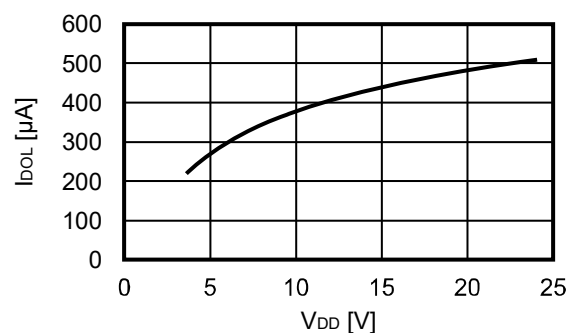


4. 出力端子

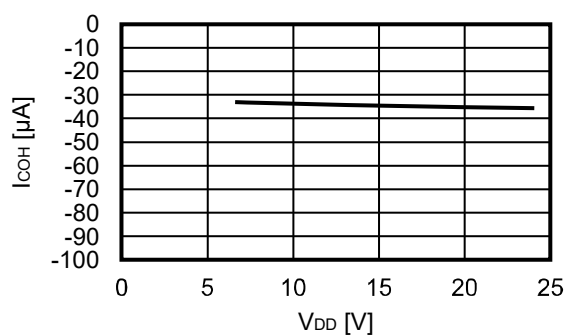
4.1 $I_{DOH} - V_{DD}$



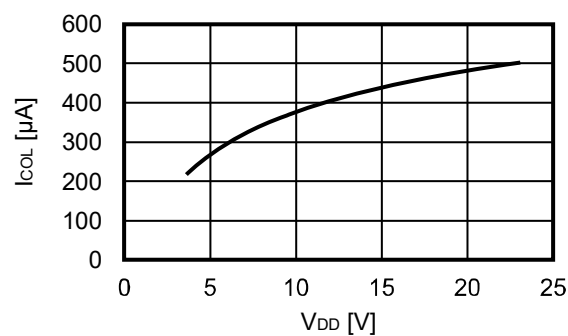
4.2 $I_{DOL} - V_{DD}$



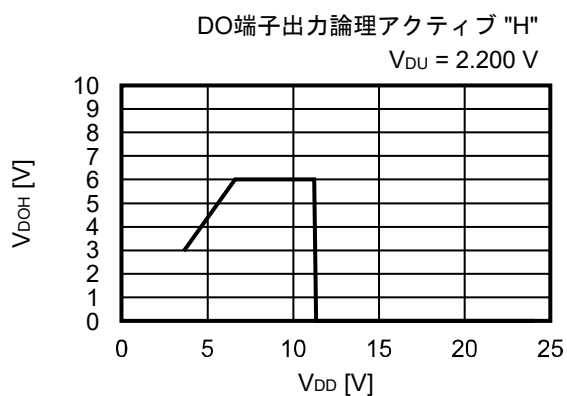
4.3 $I_{COH} - V_{DD}$



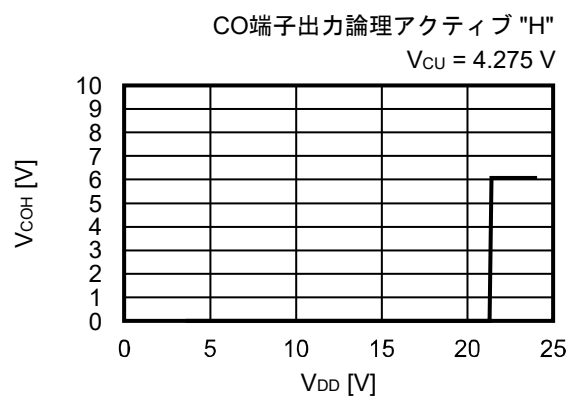
4.4 $I_{COL} - V_{DD}$



4.5 $V_{DOH} - V_{DD}$

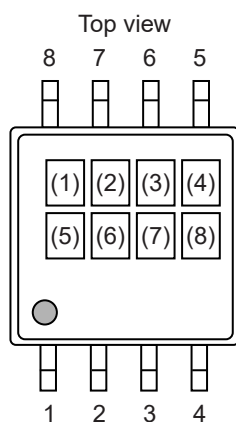


4.6 $V_{COH} - V_{DD}$



■ マーキング仕様

1. TMSOP-8

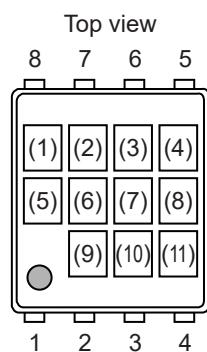


- (1) : 空白
 (2) ~ (4) : 製品略号 (製品名と製品略号の対照表を参照)
 (5) : 空白
 (6) ~ (8) : ロットナンバー

製品名と製品略号の対照表

製品名	製品略号		
	(2)	(3)	(4)
S-82F5BAA-K8T2U	b	E	A

2. SNT-8A



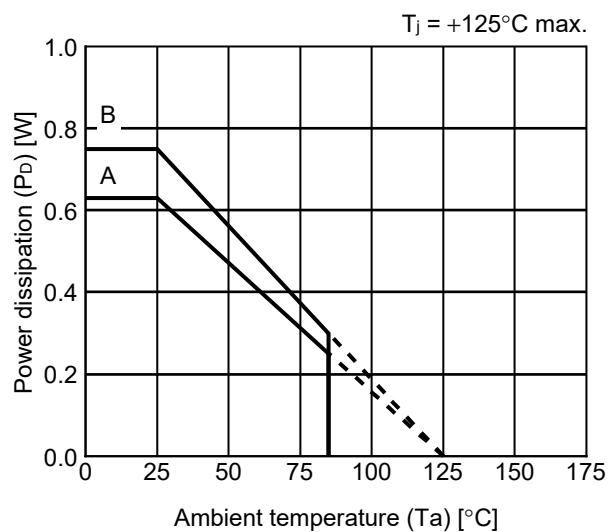
- (1) : 空白
 (2) ~ (4) : 製品略号 (製品名と製品略号の対照表を参照)
 (5), (6) : 空白
 (7) ~ (11) : ロットナンバー

製品名と製品略号の対照表

製品名	製品略号		
	(2)	(3)	(4)
S-82F5BAA-I8T1U	b	E	A

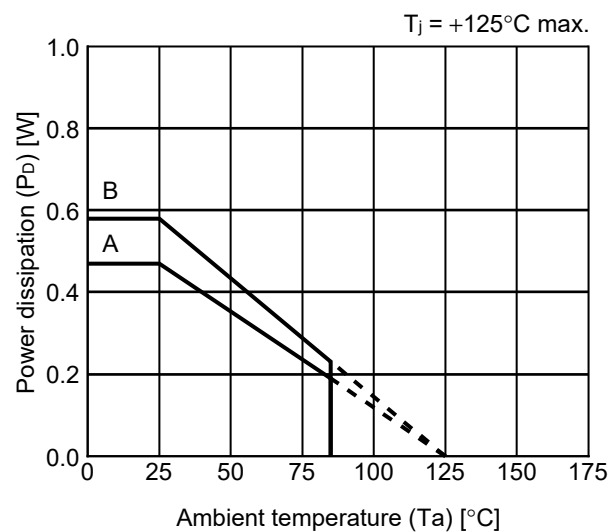
■ Power Dissipation

TMSOP-8



Board	Power Dissipation (P_D)
A	0.63 W
B	0.75 W
C	—
D	—
E	—

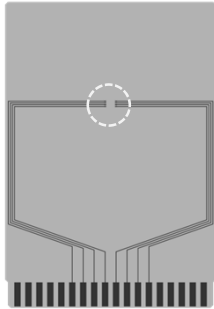
SNT-8A



Board	Power Dissipation (P_D)
A	0.47 W
B	0.58 W
C	—
D	—
E	—

TMSOP-8 Test Board

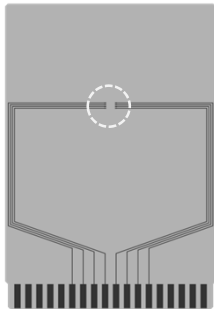
(1) Board A



 IC Mount Area

Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		2
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via		-

(2) Board B

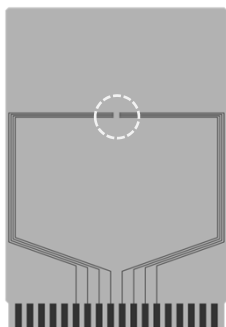


Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-

No. TMSOP8-A-Board-SD-1.0

SNT-8A Test Board

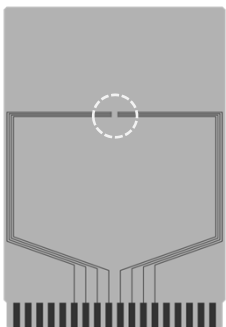
(1) Board A



 IC Mount Area

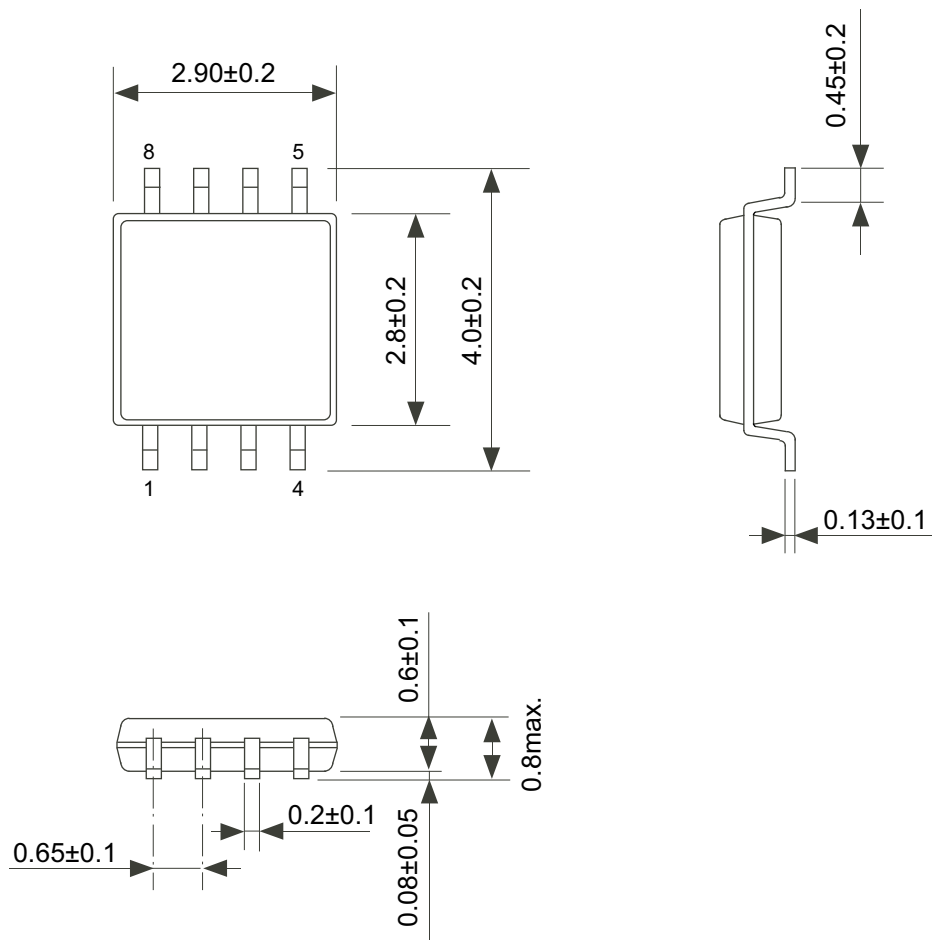
Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		2
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via		-

(2) Board B



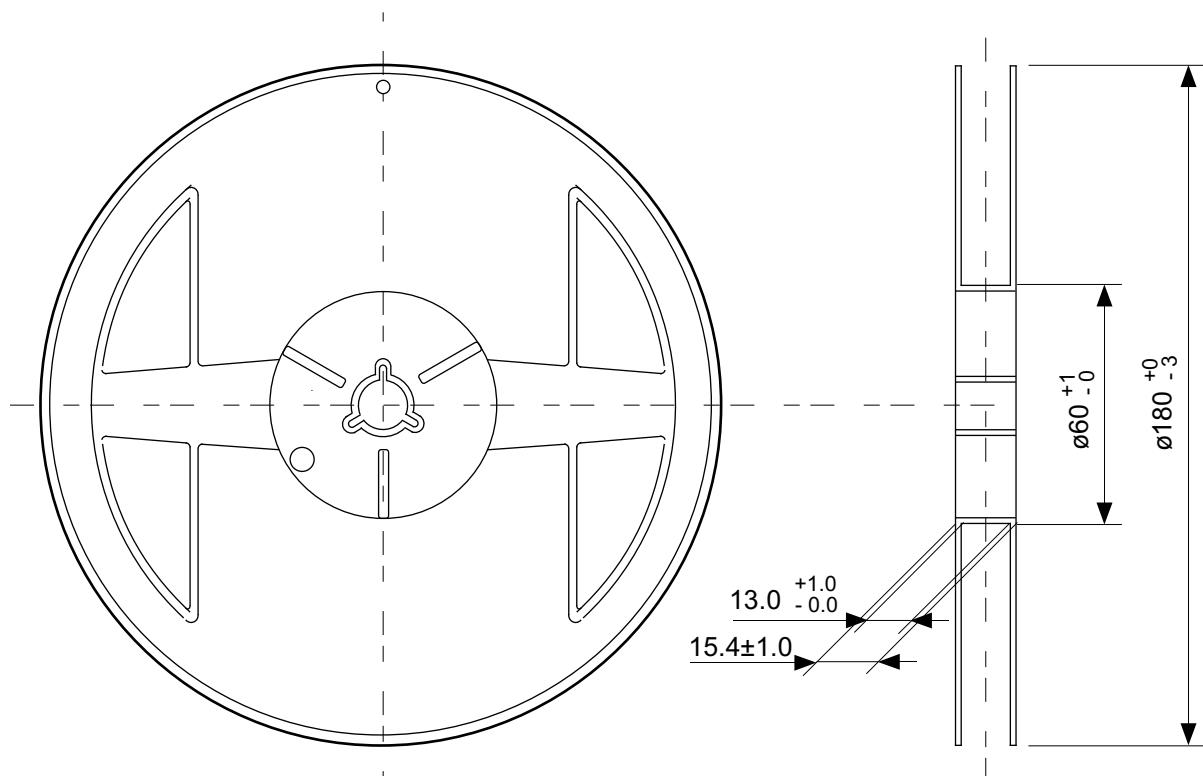
Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-

No. SNT8A-A-Board-SD-1.0

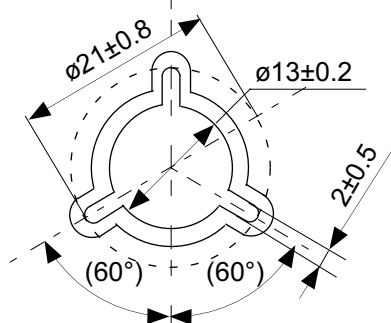


No. FM008-A-P-SD-1.2

TITLE	TMSOP8-A-PKG Dimensions
No.	FM008-A-P-SD-1.2
ANGLE	
UNIT	mm
ABLIC Inc.	

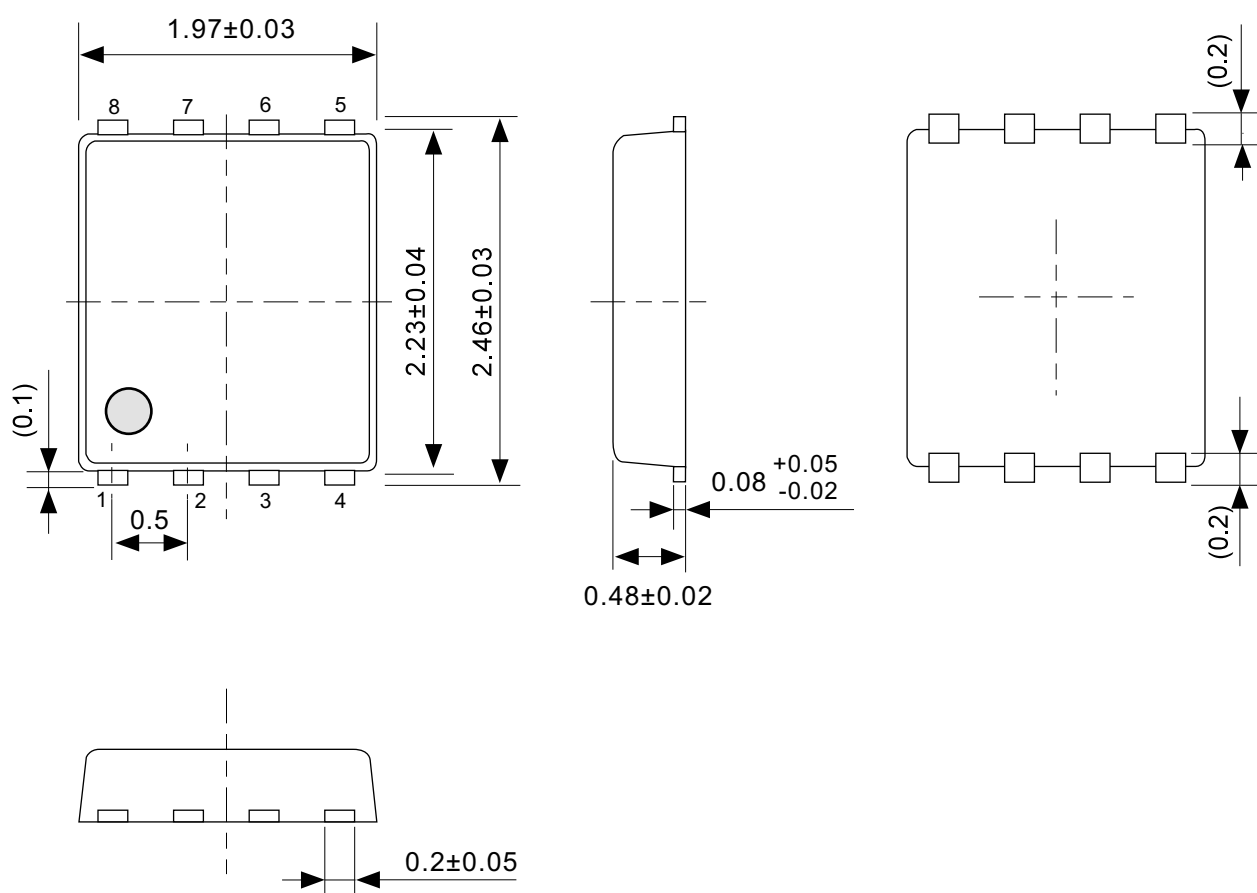


Enlarged drawing in the central part



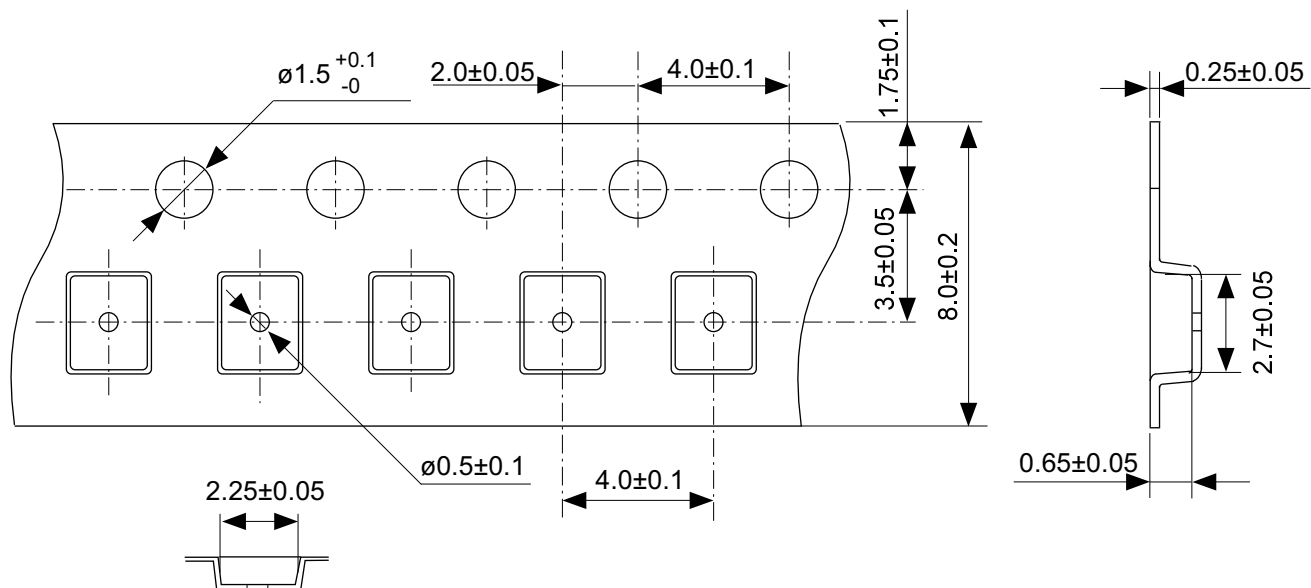
No. FM008-A-R-SD-2.0

TITLE	TMSOP8-A-Reel		
No.	FM008-A-R-SD-2.0		
ANGLE		QTY.	4,000
UNIT	mm		
ABLIC Inc.			

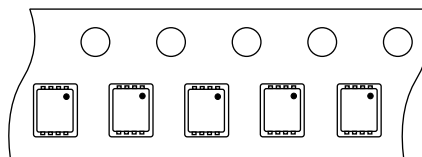


No. PH008-A-P-SD-2.1

TITLE	SNT-8A-A-PKG Dimensions
No.	PH008-A-P-SD-2.1
ANGLE	
UNIT	mm
ABLIC Inc.	



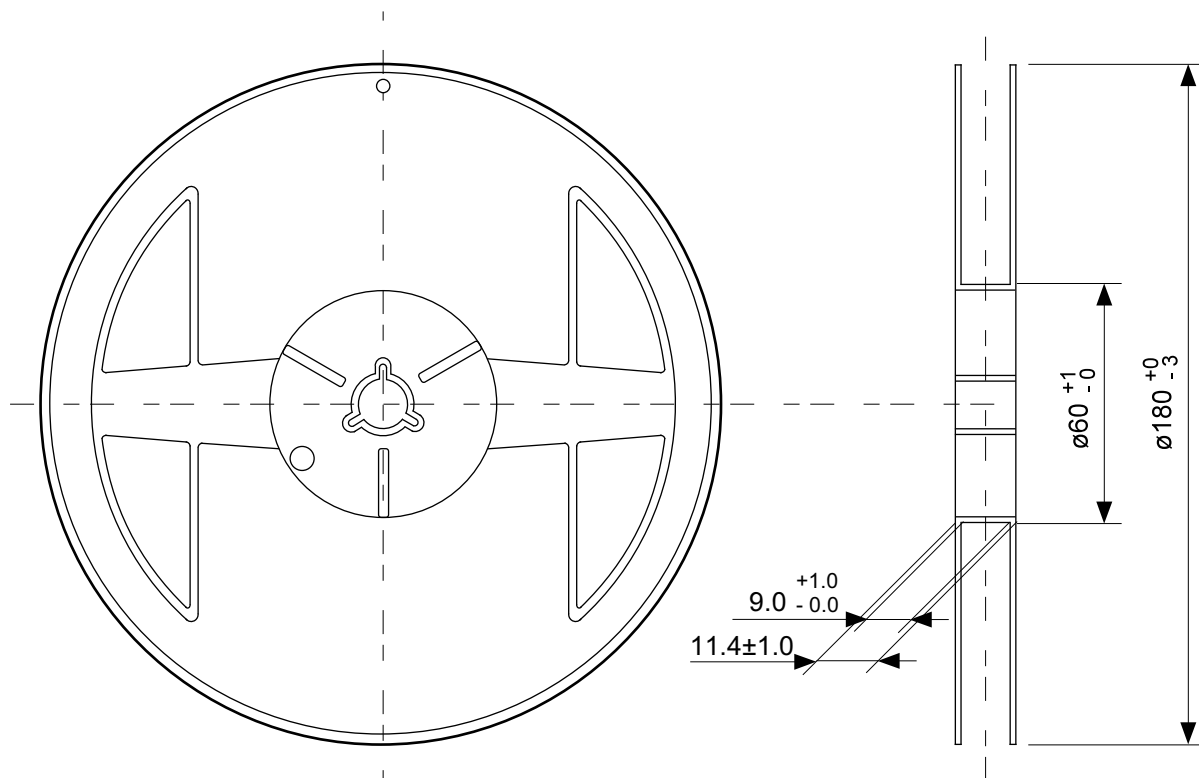
4 3 2 1
5 6 7 8



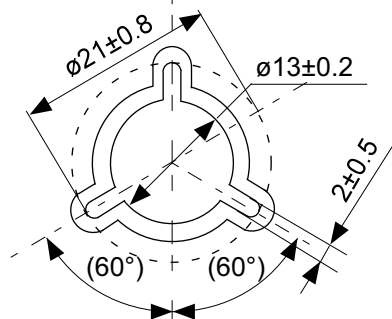
Feed direction

No. PH008-A-C-SD-2.0

TITLE	SNT-8A-A-Carrier Tape
No.	PH008-A-C-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	

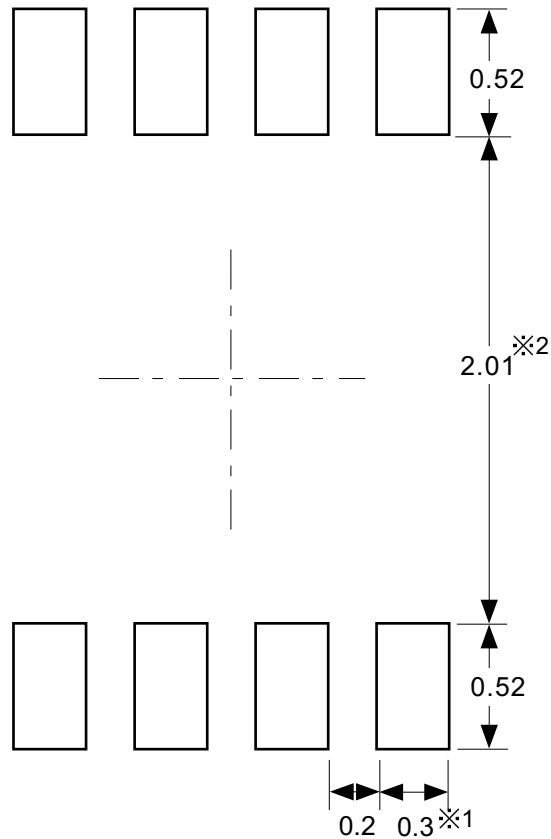


Enlarged drawing in the central part



No. PH008-A-R-SD-2.0

TITLE	SNT-8A-A-Reel		
No.	PH008-A-R-SD-2.0		
ANGLE		QTY.	5,000
UNIT	mm		
ABLIC Inc.			



※1. ランドパターンの幅に注意してください (0.25 mm min. / 0.30 mm typ.).
 ※2. パッケージ中央にランドパターンを広げないでください (1.96 mm ~ 2.06 mm)。

- 注意
1. パッケージのモールド樹脂下にシルク印刷やハンダ印刷などしないでください。
 2. パッケージ下の配線上のソルダーレジストなどの厚みをランドパターン表面から0.03 mm 以下にしてください。
 3. マスク開口サイズと開口位置はランドパターンと合わせてください。
 4. 詳細は“SNTパッケージ活用の手引き”を参照してください。

※1. Pay attention to the land pattern width (0.25 mm min. / 0.30 mm typ.).
 ※2. Do not widen the land pattern to the center of the package (1.96 mm to 2.06mm).

- Caution**
1. Do not do silkscreen printing and solder printing under the mold resin of the package.
 2. The thickness of the solder resist on the wire pattern under the package should be 0.03 mm or less from the land pattern surface.
 3. Match the mask aperture size and aperture position with the land pattern.
 4. Refer to "SNT Package User's Guide" for details.

※1. 请注意焊盘模式的宽度 (0.25 mm min. / 0.30 mm typ.).
 ※2. 请勿向封装中间扩展焊盘模式 (1.96 mm ~ 2.06 mm)。

- 注意
1. 请勿在树脂型封装的下面印刷丝网、焊锡。
 2. 在封装下、布线上的阻焊膜厚度 (从焊盘模式表面起) 请控制在 0.03 mm 以下。
 3. 钢网的开口尺寸和开口位置请与焊盘模式对齐。
 4. 详细内容请参阅 "SNT 封装的应用指南"。

No. PH008-A-L-SD-4.1

TITLE	SNT-8A-A -Land Recommendation
No.	PH008-A-L-SD-4.1
ANGLE	
UNIT	mm
ABLIC Inc.	

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法是参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあった場合、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com