

S-8239Bシリーズは、高精度電圧検出回路と遅延回路を内蔵した多セル直列用過電流監視ICです。
リチウムイオン / リチウムポリマー二次電池パックの過電流保護に最適なICです。

■ 特長

- ・高精度電圧検出回路内蔵

過電流1検出電圧 ^{*1}	0.04 V ~ 0.30 V (10 mVステップ)	精度±15 mV
過電流2検出電圧	0.1 V ~ 0.7 V (100 mVステップ)	精度±100 mV
過電流3検出電圧	1.2 V (固定)	精度±300 mV
- ・3段階の過電流検出回路内蔵 : 過電流1、過電流2、過電流3
- ・過電流3検出機能 : あり、なし
- ・UVLO (低電圧誤動作防止) 機能

UVLO検出電圧	2.0 V (固定)	精度±100 mV
----------	------------	-----------
- ・高耐圧 : VM端子、DO端子 : 絶対最大定格 28 V
- ・各種遅延時間は内蔵回路のみで実現 (外付け容量は不要)
- ・低消費電流

通常動作時	: 7.0 μA max.
パワーダウン時	: 0.1 μA max.
- ・出力論理 : アクティブ "L"
- ・広動作温度範囲 : Ta = -40°C ~ +85°C
- ・鉛フリー (Sn 100%)、ハロゲンフリー

*1. 過電流2検出電圧 = 0.1 Vの場合、過電流1検出電圧 ≤ 0.06 Vとなるようにしてください。
過電流2検出電圧 ≥ 0.2 Vの場合、過電流1検出電圧 ≤ 0.85 × 過電流2検出電圧 - 0.05 Vとなるようにしてください。

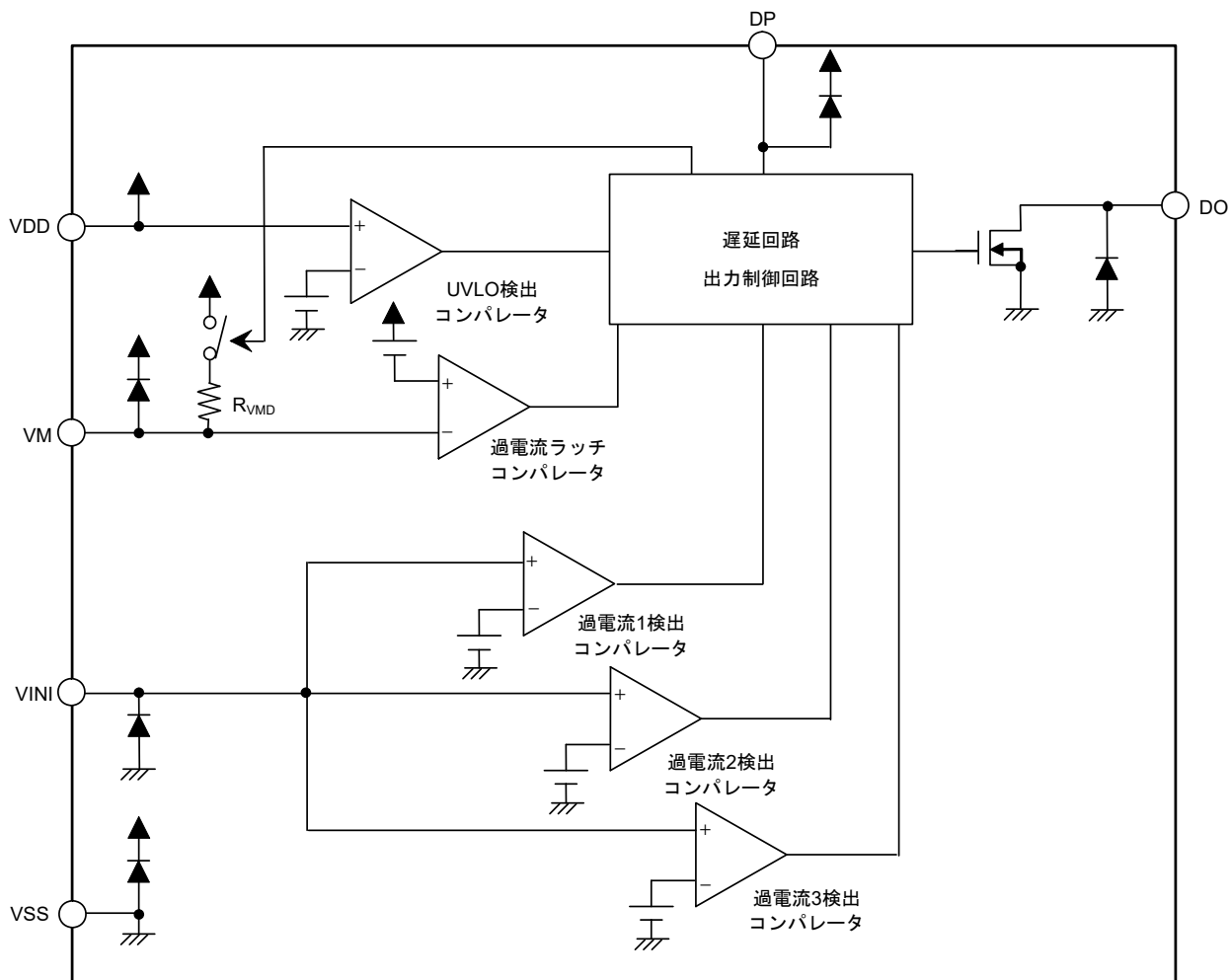
■ 用途

- ・リチウムイオン二次電池パック
- ・リチウムポリマー二次電池パック

■ パッケージ

- ・SOT-23-6

■ ブロック図

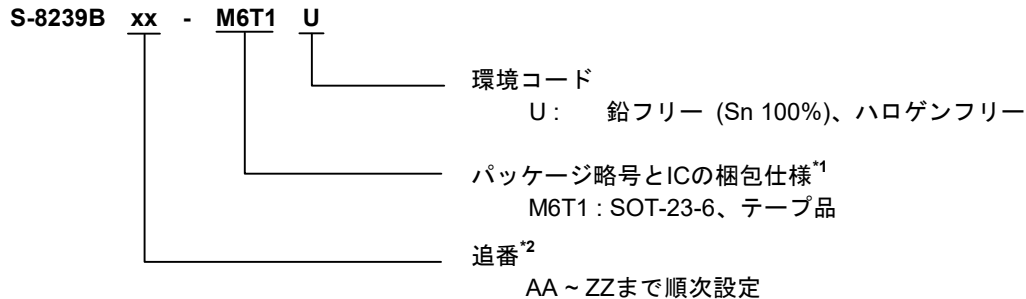


備考 図中のダイオードは、すべて寄生ダイオードです。

図1

■ 品目コードの構成

1. 製品名



*1. テープ図面を参照してください。

*2. "3. 製品名リスト" を参照してください。

2. パッケージ

表1 パッケージ図面コード

パッケージ名	外形寸法図面	テープ図面	リール図面
SOT-23-6	MP006-A-P-SD	MP006-A-C-SD	MP006-A-R-SD

3. 製品名リスト

表2

製品名	過電流1 検出電圧 [V _{DIOV1}]	過電流2 検出電圧 [V _{DIOV2}]	過電流1 検出遅延時間 [t _{DIOV1}]	過電流2 検出遅延時間 [t _{DIOV2}]	過電流3 検出機能
S-8239BAA-M6T1U	0.20 V	0.4 V	1150 ms	0.56 ms	なし

備考 上記以外の製品をご希望のときは、販売窓口までお問い合わせください。

■ ピン配置図

1. SOT-23-6

Top view

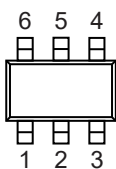


図2

表3

端子番号	端子記号	端子説明
1	VINI	VINI端子 – VSS端子間電圧検出端子 (過電流検出端子)
2	VM	過電流ラッチ端子
3	DO	放電制御用FETゲート接続端子
4	DP*1	遅延時間測定用テスト端子
5	VDD	正電源入力端子
6	VSS	負電源入力端子

*1. DP端子はオープンにしてください。

■ 絶対最大定格

表4

(特記なき場合 : $T_a = +25^{\circ}\text{C}$)

項目	記号	適用端子	絶対最大定格	単位
VDD端子 - VSS端子間入力電圧	V_{DS}	VDD	$V_{SS} - 0.3 \sim V_{SS} + 12$	V
VM入力端子電圧	V_{VM}	VM	$V_{DD} - 28 \sim V_{DD} + 0.3$	V
VINI入力端子電圧	V_{VINI}	VINI	$V_{SS} - 0.3 \sim V_{SS} + 12$	V
DO出力端子電圧	V_{DO}	DO	$V_{SS} - 0.3 \sim V_{SS} + 28$	V
許容損失	P_D	-	650*1	mW
動作周囲温度	T_{opr}	-	-40 ~ +85	$^{\circ}\text{C}$
保存温度	T_{stg}	-	-55 ~ +125	$^{\circ}\text{C}$

*1. 基板実装時

[実装基板]

- (1) 基板サイズ : 114.3 mm × 76.2 mm × t1.6 mm
 (2) 名称 : JEDEC STANDARD51-7

注意1. DP端子はオープンにしてください。

2. 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

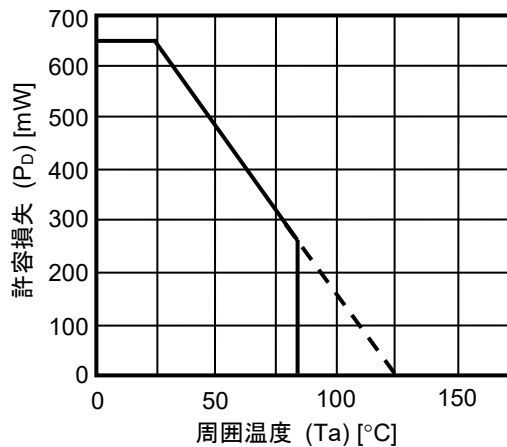


図3 パッケージ許容損失 (基板実装時)

■ 電気的特性

1. Ta = +25°C

表5

(特記なき場合 : Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定条件	測定回路
検出電圧								
過電流1検出電圧	V _{DIOV1}	-	V _{DIOV1} - 0.015	V _{DIOV1}	V _{DIOV1} + 0.015	V	1	1
過電流2検出電圧*1	V _{DIOV2}	-	V _{DIOV2} - 0.100	V _{DIOV2}	V _{DIOV2} + 0.100	V	1	1
過電流3検出電圧	V _{DIOV3}	過電流3検出機能あり	0.90	1.20	1.50	V	1	1
UVLO検出電圧	V _{UVLO}	-	1.90	2.00	2.10	V	1	1
解除電圧								
過電流解除電圧	V _{RIOV}	V _{DD} 基準、V _{DD} = 3.5 V	0.7	1.2	1.5	V	1	1
入力電圧、動作電圧								
V _{DD} 端子 - V _{SS} 端子間 動作電圧	V _{DSOP}	出力論理確定*2	1.5	-	8	V	-	-
消費電流								
通常動作時消費電流	I _{OPE}	V _{DD} = 3.5 V、V _{VM} = 0 V	1.0	3.5	7.0	μA	2	2
パワーダウン時消費電流	I _{PDN}	V _{DD} = V _{VM} = 1.5 V	-	-	0.1	μA	2	2
内部抵抗								
VM端子 - V _{DD} 端子間 内部抵抗	R _{VMD}	V _{DD} = 1.8 V、V _{VM} = 0 V	100	300	900	kΩ	3	3
出力抵抗								
DO端子抵抗 "L"	R _{DO_L}	V _{DD} = V _{VINI} = 3.5 V、V _{DO} = 0.5 V	2.5	5	10	kΩ	4	4
遅延時間								
過電流1検出遅延時間	t _{DIOV1}	-	t _{DIOV1} × 0.6	t _{DIOV1}	t _{DIOV1} × 1.4	ms	5	5
過電流2検出遅延時間	t _{DIOV2}	-	t _{DIOV2} × 0.6	t _{DIOV2}	t _{DIOV2} × 1.4	ms	5	5
過電流3検出遅延時間	t _{DIOV3}	過電流3検出機能あり	168	280	392	μs	5	5
UVLO検出遅延時間	t _{UVLO}	-	2.94	4.90	6.86	s	5	5

*1. 過電流1検出電圧と過電流2検出電圧の範囲が重複する場合でも、必ずV_{DIOV1} < V_{DIOV2}となります。

*2. DO端子出力論理が確定していることを示します。

2. Ta = -40°C ~ +85°C*1

表6

(特記なき場合 : Ta = -40°C ~ +85°C*1)

項目	記号	条件	Min.	Typ.	Max.	単位	測定条件	測定回路
検出電圧								
過電流1検出電圧	V _{DIOV1}	-	V _{DIOV1} - 0.021	V _{DIOV1}	V _{DIOV1} + 0.021	V	1	1
過電流2検出電圧*2	V _{DIOV2}	-	V _{DIOV2} - 0.130	V _{DIOV2}	V _{DIOV2} + 0.130	V	1	1
過電流3検出電圧	V _{DIOV3}	過電流3検出機能あり	0.70	1.20	1.70	V	1	1
UVLO検出電圧	V _{UVLO}	-	1.85	2.00	2.15	V	1	1
解除電圧								
過電流解除電圧	V _{RIOV}	V _{DD} 基準、V _{DD} = 3.5 V	0.5	1.2	1.7	V	1	1
入力電圧、動作電圧								
V _{DD} 端子 - V _{SS} 端子間 動作電圧	V _{DSOP}	出力論理確定*3	1.5	-	8	V	-	-
消費電流								
通常動作時消費電流	I _{OPE}	V _{DD} = 3.5 V、V _{VM} = 0 V	0.7	3.5	8.0	μA	2	2
パワーダウン時消費電流	I _{PDN}	V _{DD} = V _{VM} = 1.5 V	-	-	0.15	μA	2	2
内部抵抗								
V _M 端子 - V _{DD} 端子間 内部抵抗	R _{VMD}	V _{DD} = 1.8 V、V _{VM} = 0 V	78	300	1310	kΩ	3	3
出力抵抗								
DO端子抵抗 "L"	R _{DOL}	V _{DD} = V _{VINI} = 3.5 V、V _{DO} = 0.5 V	1.2	5	15	kΩ	4	4
遅延時間								
過電流1検出遅延時間	t _{DIOV1}	-	t _{DIOV1} × 0.2	t _{DIOV1}	t _{DIOV1} × 1.8	ms	5	5
過電流2検出遅延時間	t _{DIOV2}	-	t _{DIOV2} × 0.2	t _{DIOV2}	t _{DIOV2} × 1.8	ms	5	5
過電流3検出遅延時間	t _{DIOV3}	過電流3検出機能あり	56	280	504	μs	5	5
UVLO検出遅延時間	t _{UVLO}	-	0.98	4.90	8.82	s	5	5

*1. 高温および低温での選別はしておりませんので、この温度範囲での規格は設計保証とします。

*2. 過電流1検出電圧と過電流2検出電圧の範囲が重複する場合でも、必ずV_{DIOV1} < V_{DIOV2}となります。

*3. DO端子出力論理が確定していることを示します。

■ 測定回路

注意 特に記述していない場合のDO端子の出力電圧 (V_{DO}) の "H"、"L"の判定はNch FETのしきい値電圧 (1.0 V) とします。このとき、DO端子は V_{SS} 基準で判定してください。

1. 過電流1検出電圧、過電流2検出電圧、過電流解除電圧、UVLO検出電圧 (測定条件1、測定回路1)

$V1 = V3 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ に設定した状態から $V2$ を瞬時 (10 μs 以内) に上げ、 $V_{DO} = \text{"H"} \rightarrow \text{"L"}$ となるまでの遅延時間が過電流1検出遅延時間の最小値から最大値の間である $V2$ を過電流1検出電圧 (V_{DIOV1}) とします。

$V1 = V3 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ に設定した状態から $V2$ を瞬時 (10 μs 以内) に上げ、 $V_{DO} = \text{"H"} \rightarrow \text{"L"}$ となるまでの遅延時間が過電流2検出遅延時間の最小値から最大値の間である $V2$ を過電流2検出電圧 (V_{DIOV2}) とします。

$V1 = V2 = 3.5\text{ V}$ 、 $V3 = 0\text{ V}$ に設定した状態から $V2 = 0\text{ V}$ に下げ、 $V3$ を徐々に上げ、 $V_{DO} = \text{"L"} \rightarrow \text{"H"}$ となる $V3$ を過電流解除電圧 (V_{RIOV}) とします。

$V1 = V3 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ に設定した状態から $V1$ と $V3$ を徐々に下げ、 $V_{DO} = \text{"H"} \rightarrow \text{"L"}$ となる $V1$ をUVLO検出電圧 (V_{UVLO}) とします。

2. 過電流3検出電圧 (過電流3検出機能あり) (測定条件1、測定回路1)

$V1 = V3 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ に設定した状態から $V2$ を瞬時 (10 μs 以内) に上げ、 $V_{DO} = \text{"H"} \rightarrow \text{"L"}$ となるまでの遅延時間が過電流3検出遅延時間の最小値から最大値の間である $V2$ を過電流3検出電圧 (V_{DIOV3}) とします。

3. 通常動作時消費電流、パワーダウン時消費電流 (測定条件2、測定回路2)

$V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ に設定した状態において、VDD端子に流れる電流 (I_{DD}) を通常動作時消費電流 (I_{OPE}) とします。

$V1 = V2 = 1.5\text{ V}$ に設定した状態において、 I_{DD} をパワーダウン時消費電流 (I_{PDN}) とします。

4. VM端子 – VDD端子間内部抵抗 (測定条件3、測定回路3)

$V1 = 1.8\text{ V}$ 、 $V2 = V3 = 0\text{ V}$ に設定した状態において、VM端子 – VDD端子間抵抗をVM端子 – VDD端子間内部抵抗 (R_{VMD}) とします。

5. DO端子抵抗 "L" (測定条件4、測定回路4)

$V1 = V2 = 3.5\text{ V}$ 、 $V3 = 0.5\text{ V}$ に設定した状態において、DO端子抵抗をDO端子抵抗 "L" (R_{DOL}) とします。

6. 過電流1検出遅延時間 (測定条件5、測定回路5)

6.1 $V_{DIOV2} = 0.1\text{ V}$

$V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ に設定した状態において、 $V2$ を瞬時 ($10\ \mu\text{s}$ 以内) に 0.08 V に上げ、 V_{DIOV1} を上回ってから V_{DO} が "L" となるまでの時間を過電流1検出遅延時間 (t_{DIOV1}) とします。

6.2 $V_{DIOV2} \geq 0.2\text{ V}$

$V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ に設定した状態において、 $V2$ を瞬時 ($10\ \mu\text{s}$ 以内) に $V_{DIOV1\text{ max.}} + 0.01\text{ V}$ に上げ、 V_{DIOV1} を上回ってから V_{DO} が "L" となるまでの時間を過電流1検出遅延時間 (t_{DIOV1}) とします。

7. 過電流2検出遅延時間、UVLO検出遅延時間 (測定条件5、測定回路5)

$V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ に設定した状態において、 $V2$ を瞬時 ($10\ \mu\text{s}$ 以内) に 0.9 V に上げ、 V_{DIOV2} を上回ってから V_{DO} が "L" となるまでの時間を過電流2検出遅延時間 (t_{DIOV2}) とします。

$V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ に設定した状態において、 $V1$ を瞬時 ($10\ \mu\text{s}$ 以内) に 1.8 V に下げ、 V_{UVLO} を下回ってから V_{DO} が "L" となるまでの時間をUVLO検出遅延時間 (t_{UVLO}) とします。

8. 過電流3検出遅延時間 (過電流3検出機能あり) (測定条件5、測定回路5)

$V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ に設定した状態において、 $V2$ を瞬時 ($10\ \mu\text{s}$ 以内) に 1.6 V に上げ、 V_{DIOV3} を上回ってから V_{DO} が "L" となるまでの時間を過電流3検出遅延時間 (t_{DIOV3}) とします。

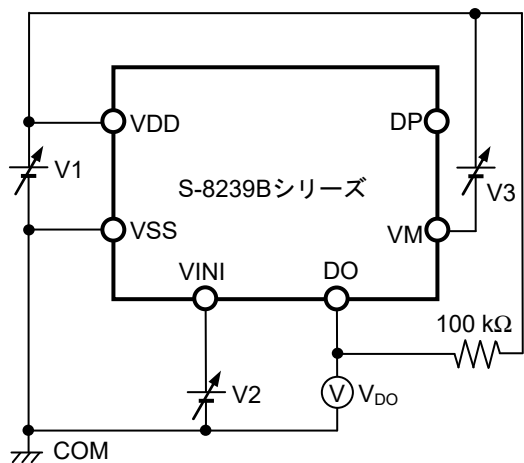


図4 測定回路1

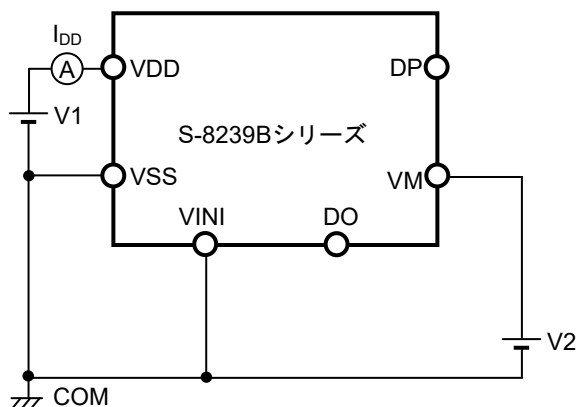


図5 測定回路2

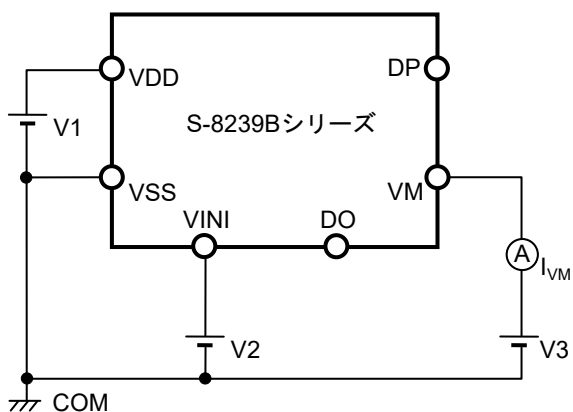


図6 測定回路3

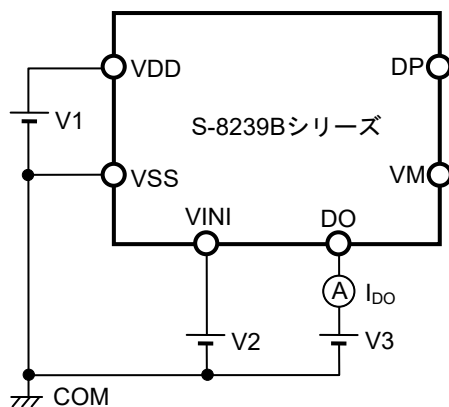


図7 測定回路4

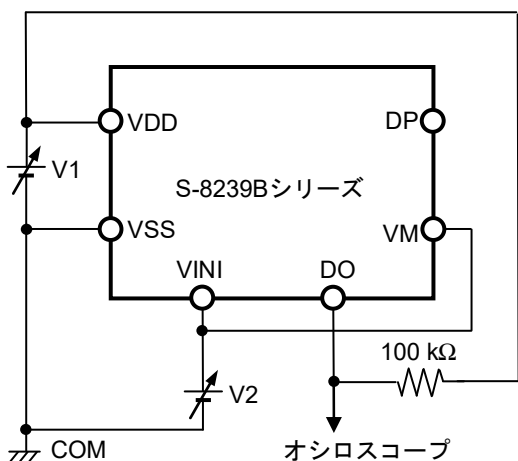


図8 測定回路5

■ 動作説明

1. 通常状態

S-8239BシリーズはVINI端子 – VSS端子間電圧を監視し放電を制御します。VINI端子電圧が過電流1検出電圧 (V_{DIOV1}) 以下の場合、DO端子は "High-Z" となります。この状態を通常状態といいます。

注意 最初に電池を接続する際、通常状態でない場合があります。この場合、VM端子とVSS端子をショートするか、もしくは充電器を接続すると通常状態になります。

2. 過電流状態 (過電流1、過電流2、過電流3)

通常状態の電池において、放電電流が所定値以上となることによりVINI端子電圧が過電流検出電圧以上となる状態が過電流検出遅延時間以上続いた場合、DO端子はVSS電位となります。この状態を過電流状態といいます。過電流状態はVDD端子 – VM端子間電圧が過電流解除電圧 (V_{RIOV}) 以下になることで保持されます。

過電流状態中はS-8239Bシリーズ内部でVM端子 – VDD端子間をVM端子 – VDD端子間内部抵抗 (R_{VMD}) によってショートしています。

その後、充電器を接続することにより、VDD端子 – VM端子間電圧が V_{RIOV} 以上になると過電流状態を解除します。

3. UVLO状態

S-8239Bシリーズは、過電流検出時、電池電圧の低下によるICの誤動作を防止するために、UVLO (低電圧誤動作防止) 機能を備えています。通常状態の電池電圧がUVLO検出電圧 (V_{UVLO}) 以下になりその状態がUVLO検出遅延時間 (t_{UVLO}) 以上続いた場合、DO端子はVSS電位となります。この状態をUVLO状態といいます。

UVLO状態中はS-8239Bシリーズ内部でVM端子 – VDD端子間を R_{VMD} によってショートしています。

その後、電池電圧が V_{UVLO} 以上になるとUVLO状態を解除します。

4. パワーダウン状態

S-8239Bシリーズは、UVLO状態中にVDD端子 – VM端子間電圧が0.7 V typ.以下になると、消費電流をパワーダウン時消費電流 (I_{PDN}) まで減らします。この状態をパワーダウン状態といいます。

また、通常状態において、VDD端子 – VM端子間電圧が0.7 V typ.以下になりその状態が t_{UVLO} 以上続いた場合、DO端子はVSS電位となり、パワーダウン状態になります。

その後、充電器を接続することにより、VDD端子 – VM端子間電圧が0.7 V typ.以上になるとパワーダウン状態を解除します。

5. 遅延回路

各種検出遅延時間は約3.5 kHzのクロックをカウンタで分周して作っています。

備考 過電流2検出遅延時間 (t_{DIOV2}) の開始は、過電流1検出電圧 (V_{DIOV1}) を検出したときです。したがって、 V_{DIOV1} を検出してから t_{DIOV2} を越えて過電流2検出電圧 (V_{DIOV2}) を検出した場合、検出した時点から t_{DIOV2} 以内にS-8239Bシリーズは過電流状態となります。

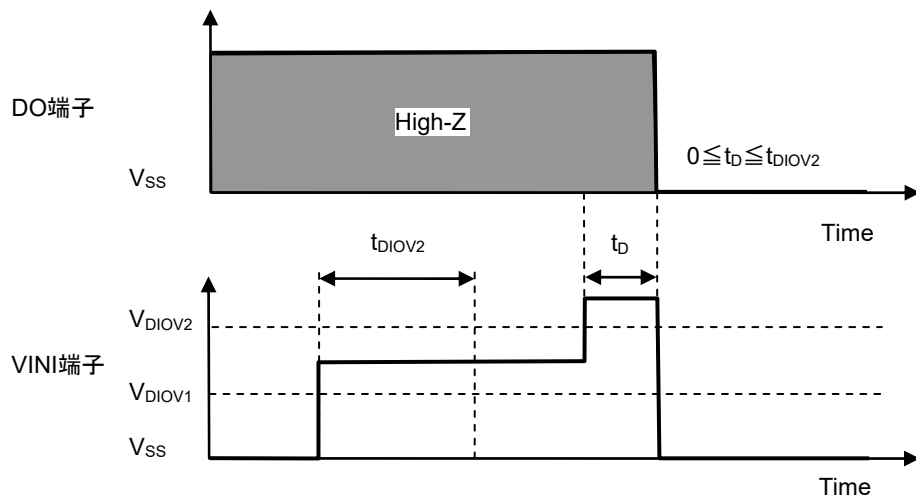


図9

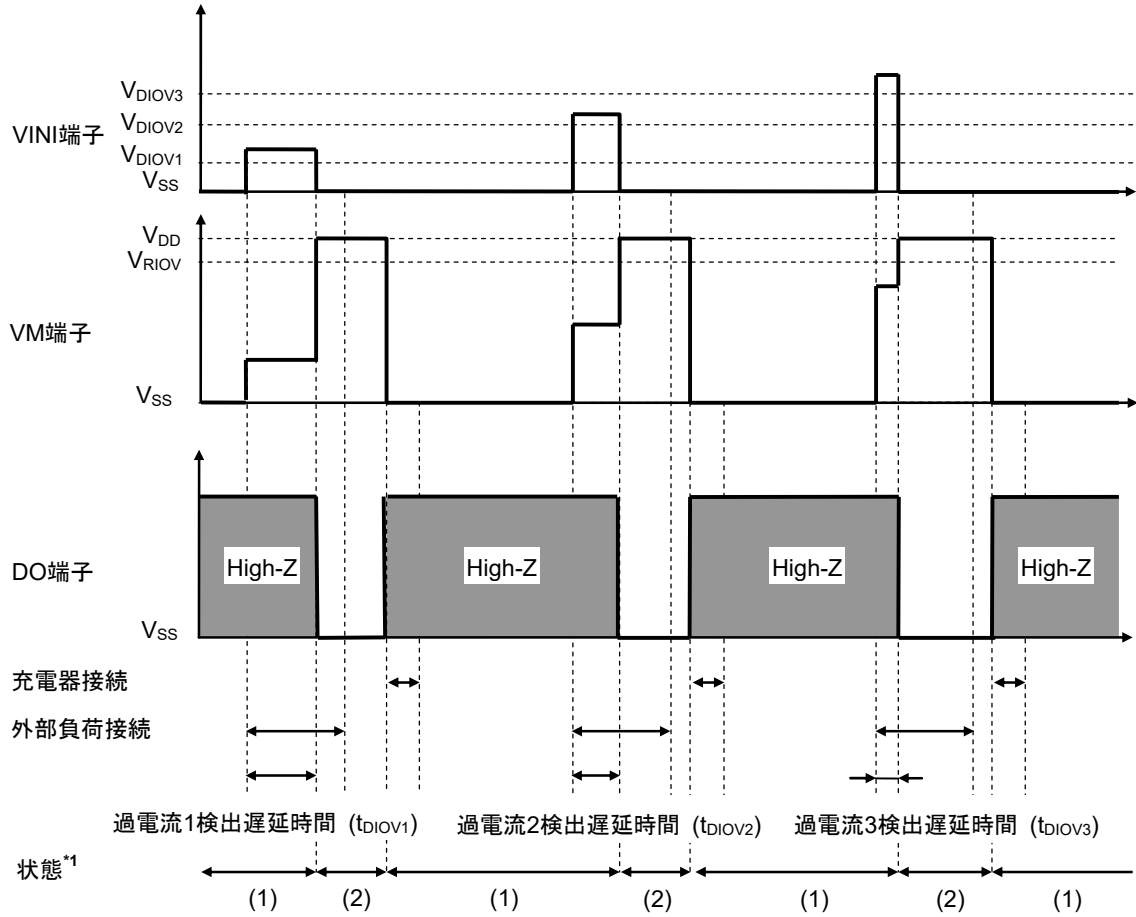
6. DP端子

DP端子は遅延時間測定用テスト端子です。通常使用時は、DP端子はオープンにしてください。
DP端子に1000 pF以上の容量、1 M Ω 以下の抵抗が接続されると遅延時間あるいは各検出電圧に誤差が生じる可能性がありますので注意してください。

■ タイミングチャート

1. 過電流検出

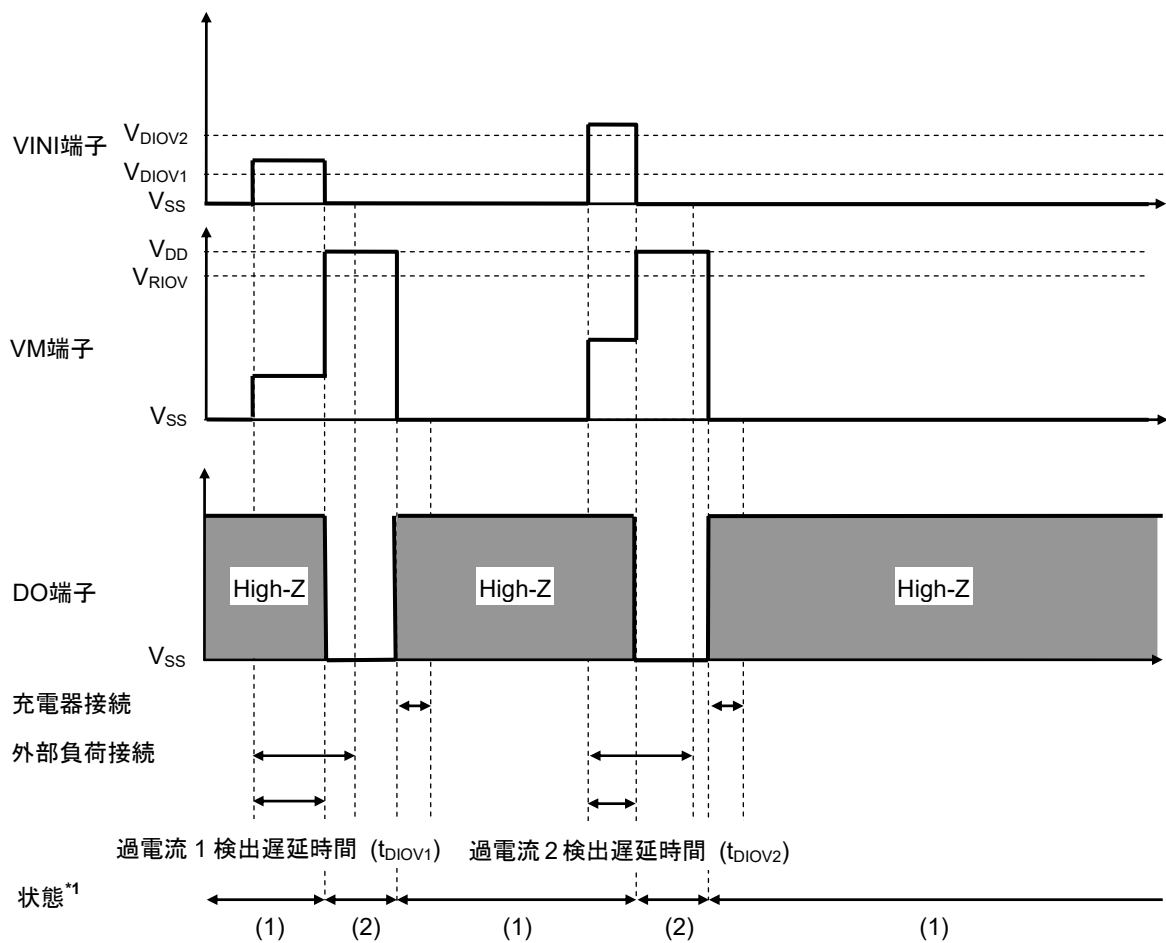
1.1 過電流3検出機能あり



*1. (1): 通常状態
(2): 過電流状態

図10

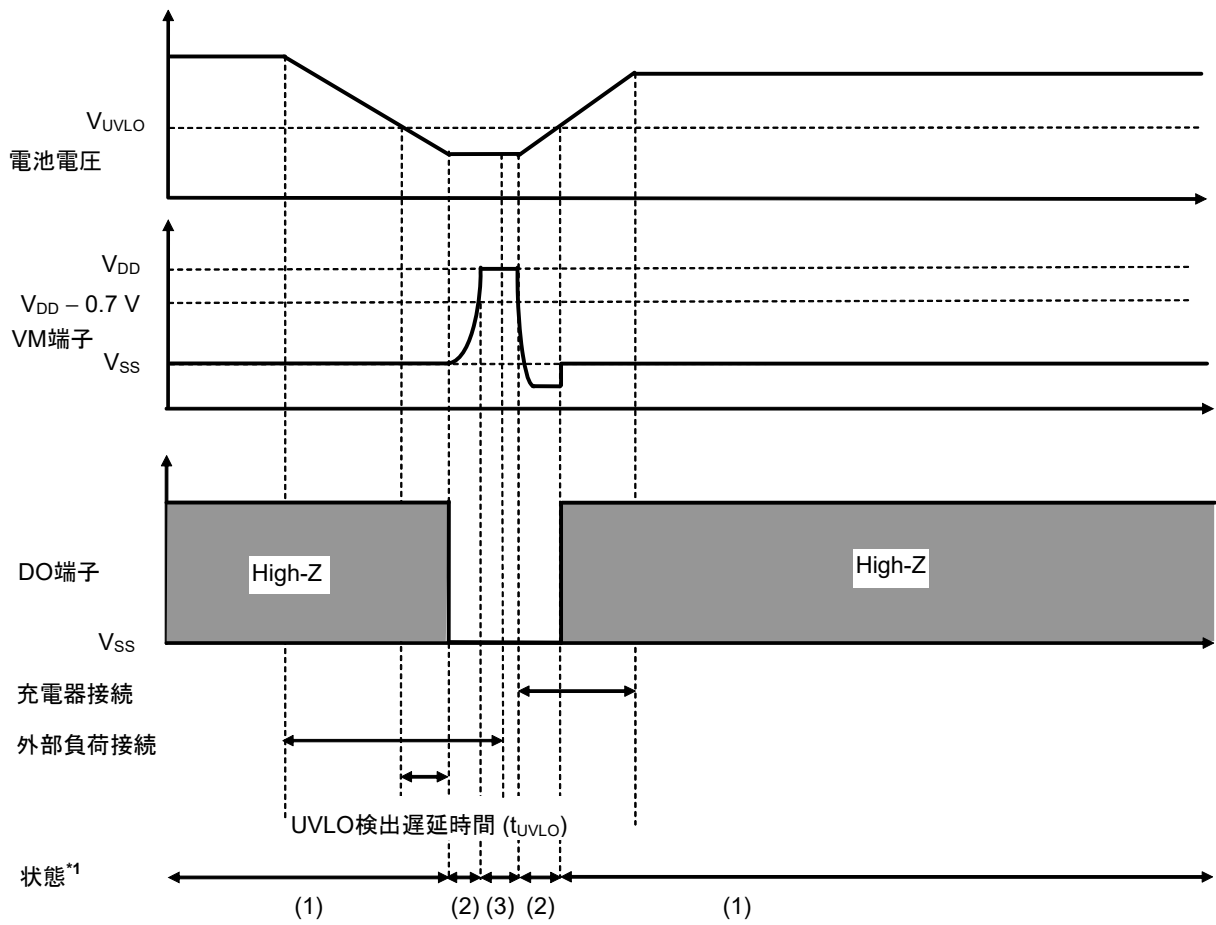
1.2 過電流3検出機能なし



*1. (1): 通常状態
(2): 過電流状態

図11

2. UVLO検出



- *1. (1) : 通常状態
 (2) : UVLO状態
 (3) : パワーダウン状態

備考 定電流での充電を想定しています。

図12

■ 5セル直列保護回路例

図13にS-8239BシリーズとS-8225Aシリーズを用いた5セル直列保護回路例を示します。下記保護回路例以外の回路を使用する場合には販売窓口までお問い合わせください。

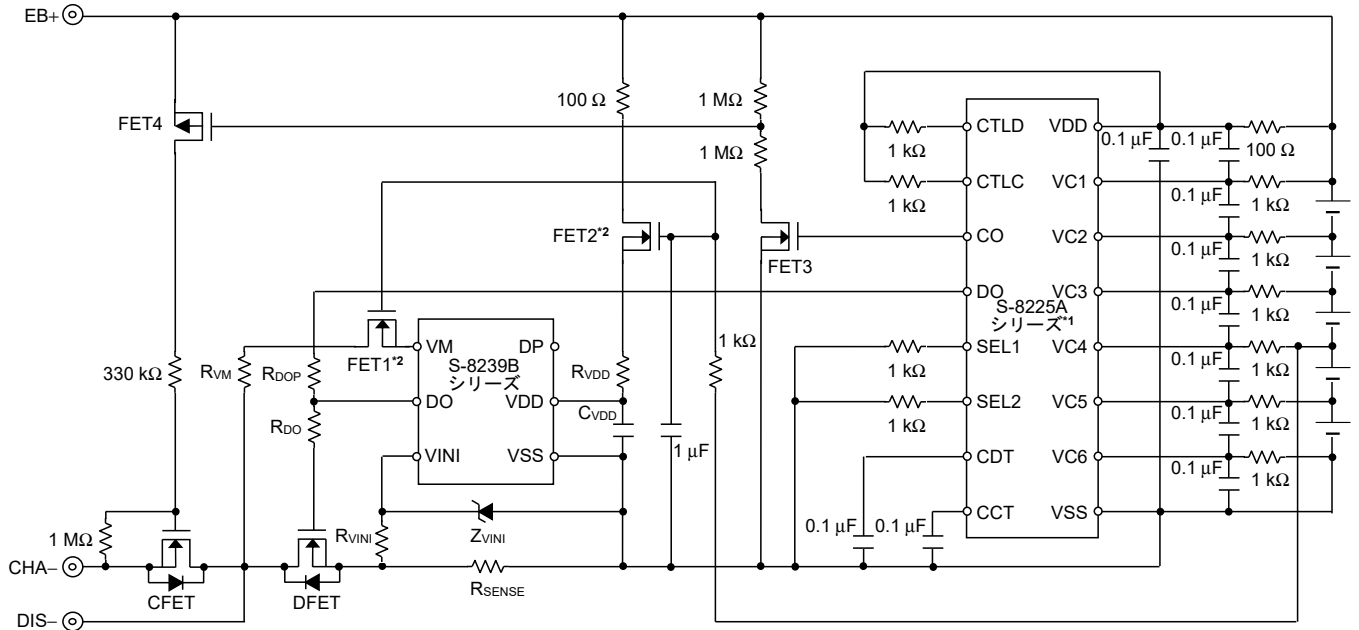


図13

表7 外付け部品定数

記号	Min.	Typ.	Max.	単位
R _{VDD}	300	470	1000	Ω
R _{VINI}	1	-	-	kΩ
R _{SENSE}	0	-	-	mΩ
R _{VM}	1	5.1	51	kΩ
R _{DO} ^{*3}	-	5.1	-	kΩ
R _{DOP}	330	510	2000	kΩ
C _{VDD}	0.022	0.1	1	μF

*1. S-8225Aシリーズの外付け部品の推奨値に関してはS-8225Aシリーズのデータシートを参照してください。

*2. FET1とFET2は同一型番の製品を使用してください。

*3. ご使用のFETに合わせて最適な定数を設定してください。

注意 1. 定数は予告なく変更することがあります。

2. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

3. DP端子はオープンにしてください。

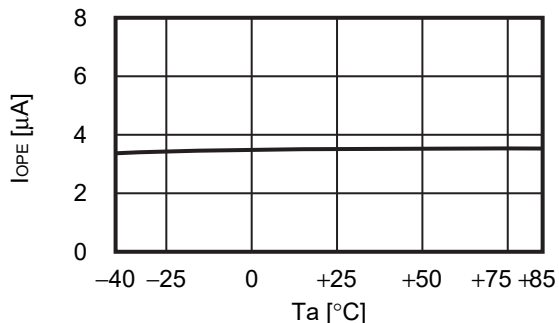
■ 注意事項

- ・ IC内での損失がパッケージの許容損失を越えないように、入出力電圧、負荷電流の使用条件に注意してください。
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様また、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

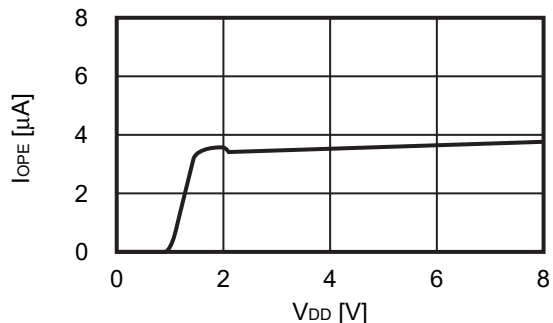
■ 諸特性データ (Typicalデータ)

1. 消費電流

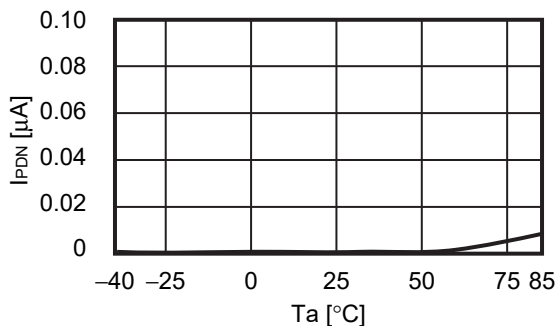
1.1 $I_{OPE} - T_a$



1.2 $I_{OPE} - V_{DD}$

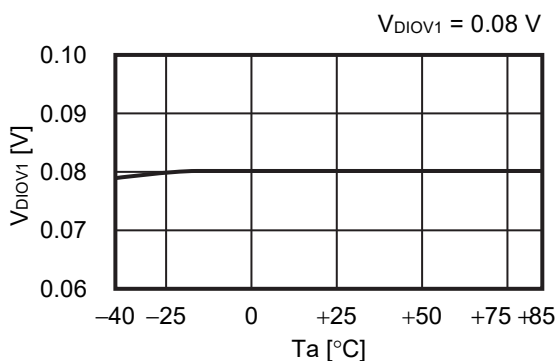


1.3 $I_{PDN} - T_a$

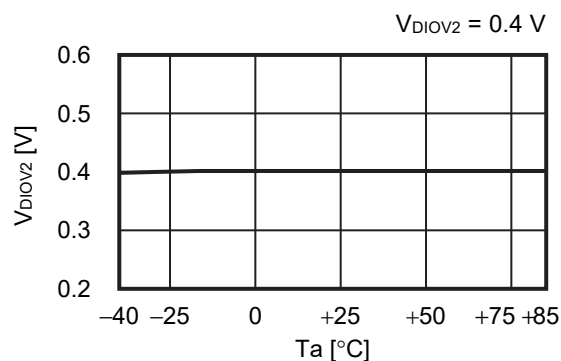


2. 過電流検出 / 解除電圧、UVLO機能および各遅延時間

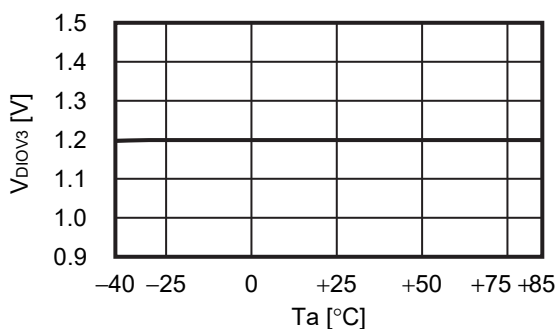
2.1 $V_{DIOV1} - T_a$



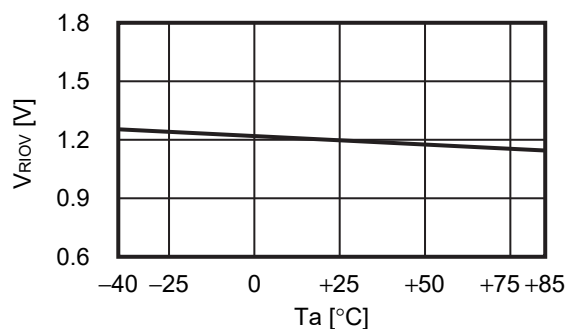
2.2 $V_{DIOV2} - T_a$



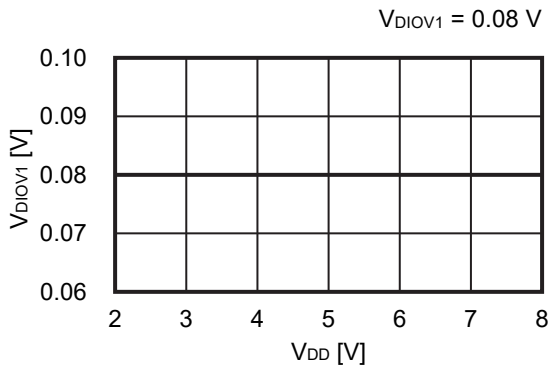
2.3 $V_{DIOV3} - T_a$



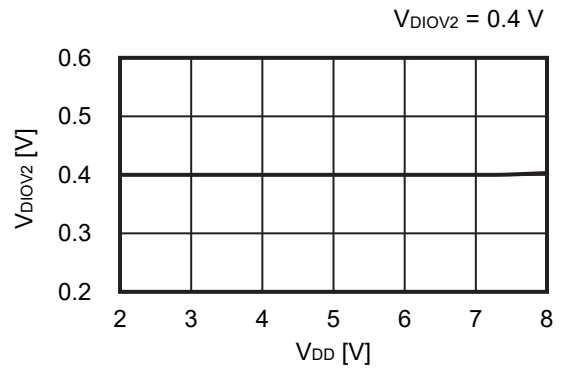
2.4 $V_{RIOV} - T_a$



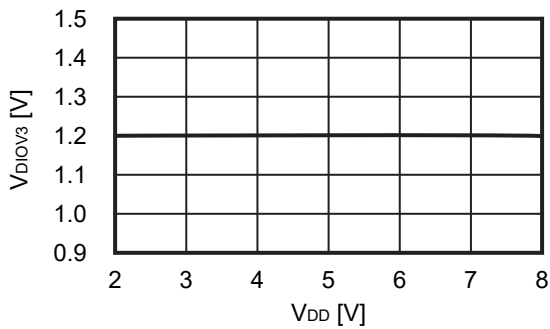
2.5 $V_{DIOV1} - V_{DD}$



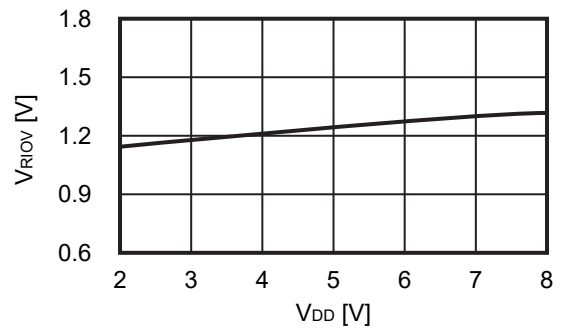
2.6 $V_{DIOV2} - V_{DD}$



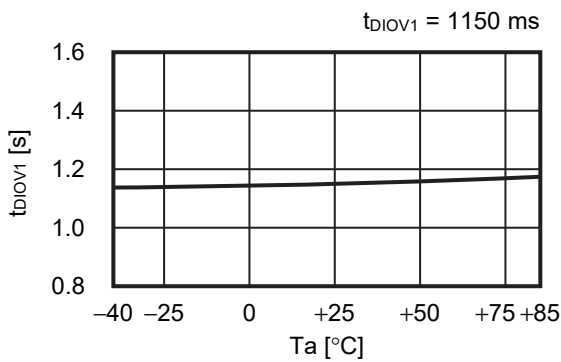
2.7 $V_{DIOV3} - V_{DD}$



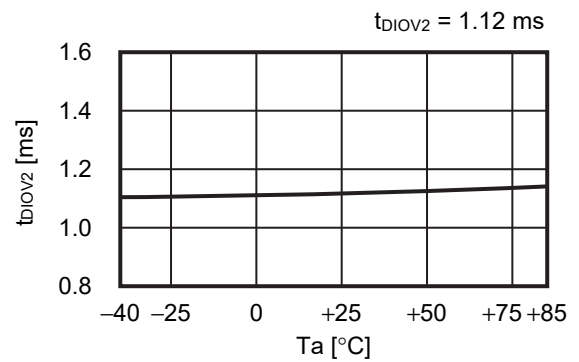
2.8 $V_{RIOV} - V_{DD}$



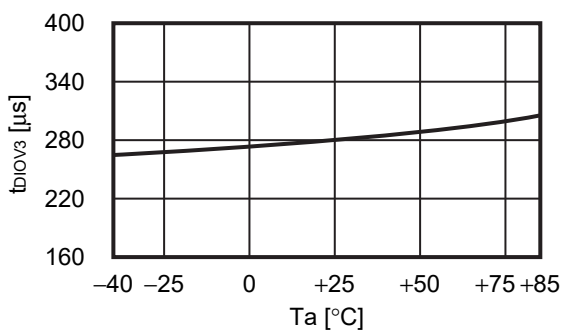
2.9 $t_{DIOV1} - T_a$



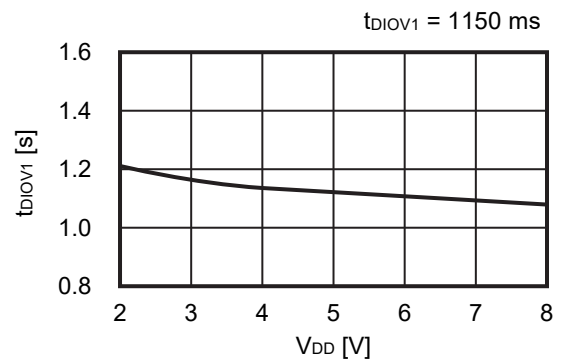
2.10 $t_{DIOV2} - T_a$



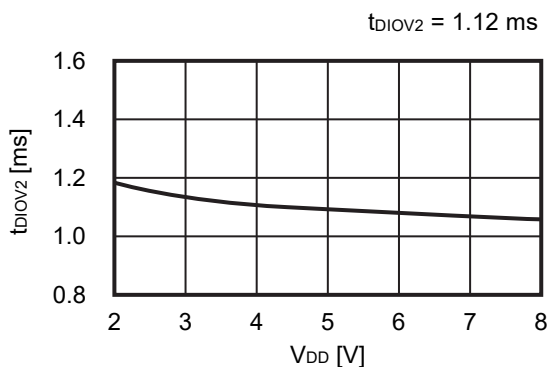
2.11 $t_{DIOV3} - T_a$



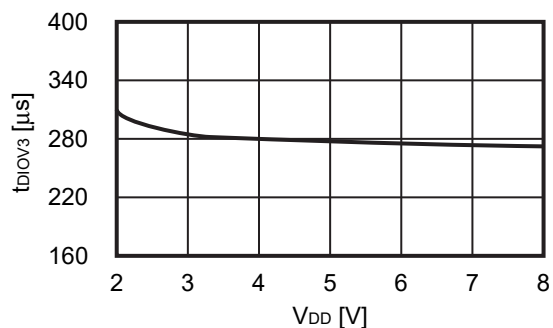
2.12 $t_{DIOV1} - V_{DD}$



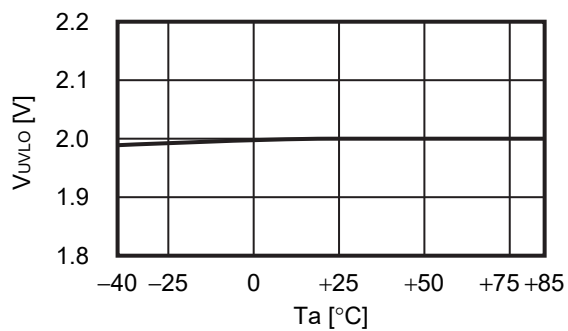
2. 13 $t_{DIOV2} - V_{DD}$



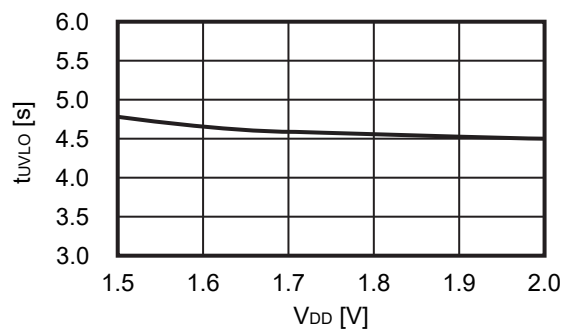
2. 14 $t_{DIOV3} - V_{DD}$



2. 15 $V_{UVLO} - T_a$

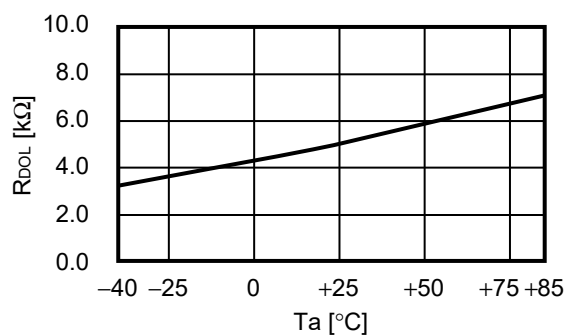


2. 16 $t_{UVLO} - V_{DD}$



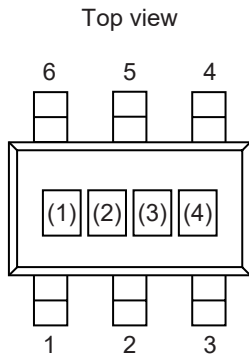
3. 出力抵抗

3. 1 $R_{DOL} - T_a$



■ マーキング仕様

1. SOT-23-6



(1) ~ (3) : 製品略号 (製品名と製品略号の対照表を参照)
(4) : ロットナンバー

製品名と製品略号の対照表

製品名	製品略号		
	(1)	(2)	(3)
S-8239BAA-M6T1U	3	L	A



No. MP006-A-P-SD-2.1

TITLE	SOT236-A-PKG Dimensions
No.	MP006-A-P-SD-2.1
ANGLE	
UNIT	mm
ABLIC Inc.	



No. MP006-A-C-SD-3.1

TITLE	SOT236-A-Carrier Tape
No.	MP006-A-C-SD-3.1
ANGLE	
UNIT	mm
ABLIC Inc.	



Enlarged drawing in the central part



No. MP006-A-R-SD-2.1

TITLE	SOT236-A-Reel		
No.	MP006-A-R-SD-2.1		
ANGLE		QTY	3,000
UNIT	mm		
ABLIC Inc.			

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com