

S-8204Aシリーズは、高精度電圧検出回路と遅延回路を内蔵し、単体では3セル直列あるいは4セル直列のリチウムイオン二次電池の状態を監視することが可能です。3セル直列あるいは4セル直列用の切り換えは、SEL端子により可能です。

S-8204Aシリーズを使用してカスケード接続することにより6セル直列以上^{*1}のリチウムイオン二次電池パックを保護することができます。

- *1. 6セル直列以上の保護回路の接続例については、アプリケーションノートを参照してください。
5セル直列のリチウムイオン二次電池パックを保護する場合は、弊社営業部までお問い合わせください。

■ 特長

- ・ 各セルに対する高精度電圧検出機能

過充電検出電圧 n ($n = 1 \sim 4$)	3.8 V ~ 4.6 V (50 mVステップ)	精度±25 mV
過充電解除電圧 n ($n = 1 \sim 4$)	3.6 V ~ 4.6 V ^{*1}	精度±50 mV
過放電検出電圧 n ($n = 1 \sim 4$)	2.0 V ~ 3.0 V (100 mVステップ)	精度±80 mV
過放電解除電圧 n ($n = 1 \sim 4$)	2.0 V ~ 3.4 V ^{*2}	精度±100 mV
- ・ 3段階の放電過電流検出機能

放電過電流検出電圧1	0.05 V ~ 0.30 V (50 mVステップ)	精度±15 mV
放電過電流検出電圧2	0.5 V (固定)	精度±100 mV
負荷短絡検出電圧	1.0 V (固定)	精度±300 mV
- ・ 充電過電流検出機能

充電過電流検出電圧	-0.25 V ~ -0.05 V (50 mVステップ)	精度±30 mV
-----------	-------------------------------	----------
- ・ 過充電検出遅延時間、過放電検出遅延時間、放電過電流検出遅延時間1、放電過電流検出遅延時間2、充電過電流検出遅延時間は外付け容量により設定が可能
(負荷短絡検出遅延時間は内部固定)
- ・ SEL端子により3セル直列用 / 4セル直列用の切り換えが可能
- ・ 充電制御用コントロール端子と放電制御用コントロール端子より充電 / 放電が独立に制御可能
- ・ 高耐圧
絶対最大定格 24 V
- ・ 広動作電圧範囲
2 V ~ 22 V
- ・ 広動作温度範囲
 $T_a = -40^\circ\text{C} \sim +85^\circ\text{C}$
- ・ 低消費電流

動作時	33 μA max. ($T_a = +25^\circ\text{C}$)
パワーダウン時	0.1 μA max. ($T_a = +25^\circ\text{C}$)
- ・ 鉛フリー、Sn 100%、ハロゲンフリー^{*3}

- *1. 過充電ヒステリシス電圧 n ($n = 1 \sim 4$) は0 Vまたは0.1 V ~ 0.4 Vの範囲内から50 mVステップで選択可能
(過充電ヒステリシス電圧 = 過充電検出電圧 - 過充電解除電圧)
- *2. 過放電ヒステリシス電圧 n ($n = 1 \sim 4$) は0 Vまたは0.2 V ~ 0.7 Vの範囲内から100 mVステップで選択可能
(過放電ヒステリシス電圧 = 過放電解除電圧 - 過放電検出電圧)
- *3. 詳細は "■ 品目コードの構成" を参照してください。

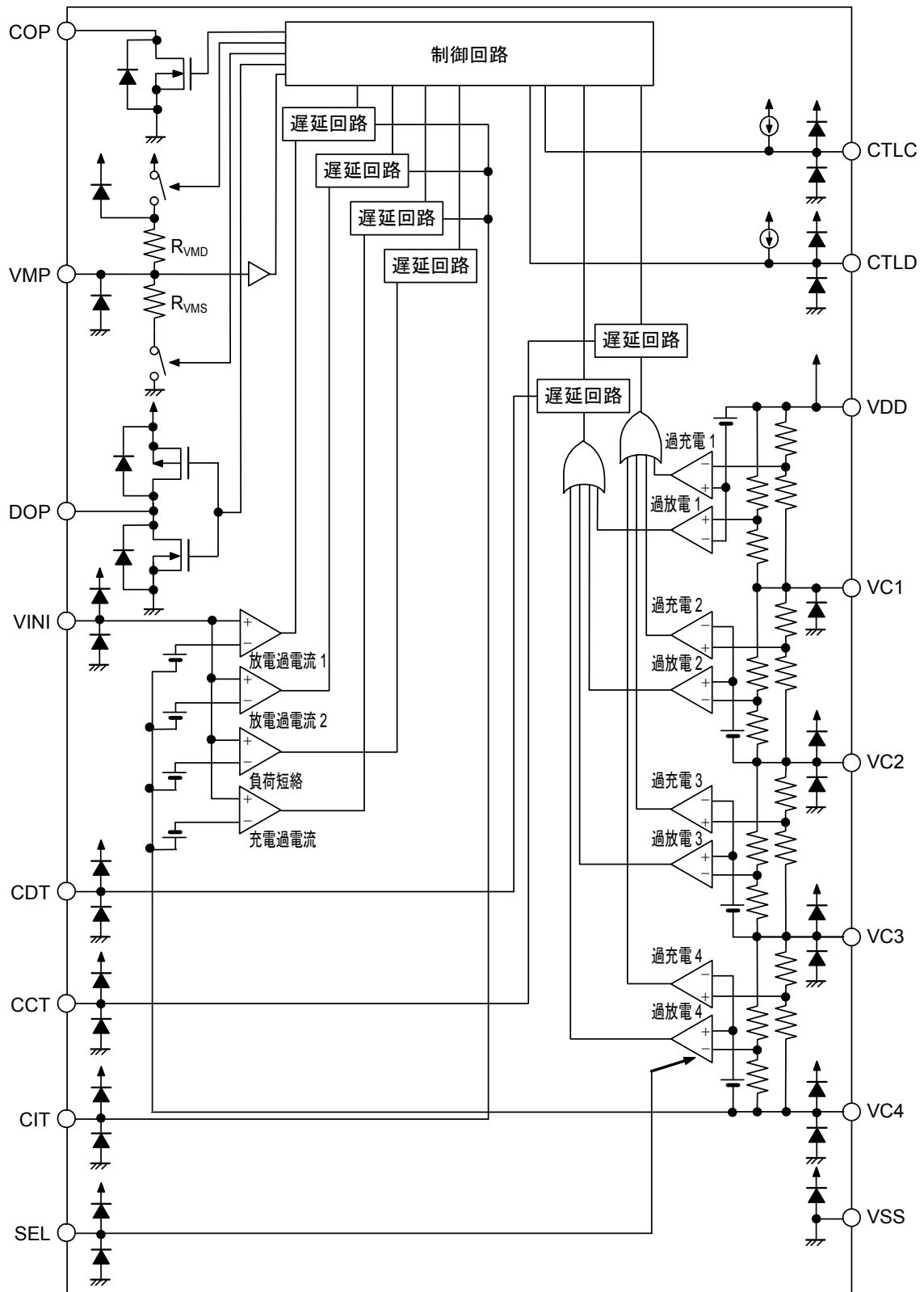
■ 用途

- ・ リチウムイオン二次電池パック

■ パッケージ

- ・ 16-Pin TSSOP

■ ブロック図

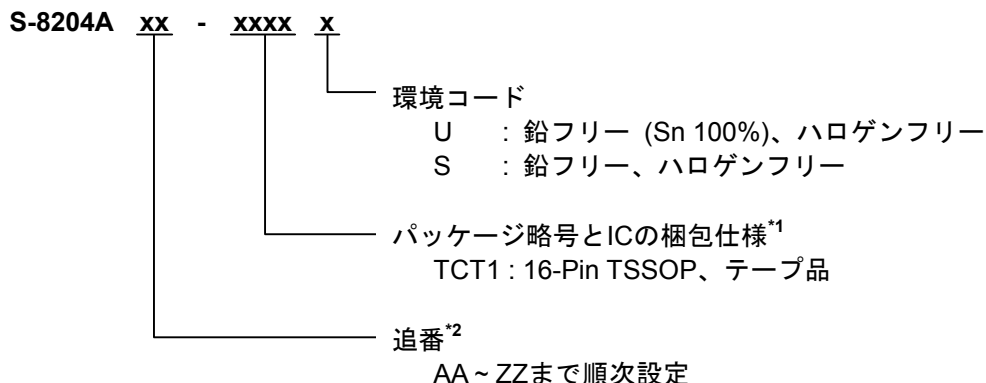


備考 図中に示されたダイオードは寄生ダイオードです。

図1

■ 品目コードの構成

1. 製品名



*1. テープ図面を参照してください。

*2. "3. 製品名リスト" を参照してください。

2. パッケージ

表1 パッケージ図面コード

パッケージ名	外形寸法図	テープ図面	リール図面	
16-Pin TSSOP	環境コード = S	FT016-A-P-SD	FT016-A-C-SD	FT016-A-R-SD
	環境コード = U	FT016-A-P-SD	FT016-A-C-SD	FT016-A-R-S1

3. 製品名リスト

表2

製品名	過充電 検出電圧 [V _{CU}]	過充電 解除電圧 [V _{CL}]	過放電 検出電圧 [V _{DL}]	過放電 解除電圧 [V _{DU}]	放電過電流 検出電圧1 [V _{DIOV1}]	充電過電流 検出電圧 [V _{CIOV}]	0V電池 への 充電機能
S-8204AAB-TCT1y	4.350 ± 0.025 V	4.150 ± 0.050 V	2.00 ± 0.080 V	2.70 ± 0.100 V	0.25 ± 0.015 V	-0.10 ± 0.030 V	可能
S-8204AAC-TCT1y	4.200 ± 0.025 V	4.100 ± 0.050 V	2.70 ± 0.080 V	2.90 ± 0.100 V	0.25 ± 0.015 V	-0.25 ± 0.030 V	可能
S-8204AAD-TCT1y	3.800 ± 0.025 V	3.600 ± 0.050 V	2.00 ± 0.080 V	2.30 ± 0.100 V	0.30 ± 0.015 V	-0.25 ± 0.030 V	可能
S-8204AAE-TCT1y	4.250 ± 0.025 V	4.050 ± 0.050 V	2.40 ± 0.080 V	2.70 ± 0.100 V	0.20 ± 0.015 V	-0.15 ± 0.030 V	禁止
S-8204AAF-TCT1y	4.200 ± 0.025 V	4.100 ± 0.050 V	2.70 ± 0.080 V	2.90 ± 0.100 V	0.10 ± 0.015 V	-0.10 ± 0.030 V	可能
S-8204AAG-TCT1y	3.800 ± 0.025 V	3.650 ± 0.050 V	2.20 ± 0.080 V	2.50 ± 0.100 V	0.10 ± 0.015 V	-0.10 ± 0.030 V	可能
S-8204AAH-TCT1y	3.800 ± 0.025 V	3.600 ± 0.050 V	2.00 ± 0.080 V	2.30 ± 0.100 V	0.10 ± 0.015 V	-0.05 ± 0.030 V	可能
S-8204AAI-TCT1y	3.800 ± 0.025 V	3.600 ± 0.050 V	2.00 ± 0.080 V	2.30 ± 0.100 V	0.05 ± 0.015 V	-0.05 ± 0.030 V	可能
S-8204AAJ-TCT1U	4.350 ± 0.025 V	4.150 ± 0.050 V	2.50 ± 0.080 V	3.00 ± 0.100 V	0.30 ± 0.015 V	-0.20 ± 0.030 V	禁止
S-8204AAK-TCT1U	4.300 ± 0.025 V	4.100 ± 0.050 V	2.30 ± 0.080 V	2.60 ± 0.100 V	0.15 ± 0.015 V	-0.15 ± 0.030 V	禁止

備考1. 上記検出電圧値以外の製品をご希望の場合は、弊社営業部までお問い合わせください。

2. y : SまたはU

3. Sn 100%、ハロゲンフリー製品をご希望の場合は、環境コード = Uの製品をお選びください。

■ ピン配置図

1. 16-Pin TSSOP

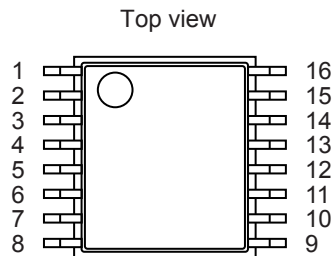


図2

表3

端子番号	端子記号	端子内容
1	COP	充電制御用FETゲート接続端子 (Nchオープンドレイン出力)
2	VMP	VDD端子 - VMP端子間の電圧検出端子
3	DOP	放電制御用FETゲート接続端子 (CMOS出力)
4	VINI	VSS端子 - VINI端子間の電圧検出端子 ・放電過電流1、2検出および負荷短絡検出端子 ・充電過電流検出端子
5	CDT	過放電検出遅延用の容量接続端子
6	CCT	過充電検出遅延用の容量接続端子
7	CIT	放電過電流1、2検出遅延、充電過電流検出遅延用の容量接続端子
8	SEL	3セル直列 / 4セル直列の切り換え端子 ・V _{SS} 電位 : 3セル直列 ・V _{DD} 電位 : 4セル直列
9	VSS	負電源入力端子、バッテリー4の負電圧接続端子
10	VC4	バッテリー4の負電圧接続端子
11	VC3	バッテリー3の負電圧、バッテリー4の正電圧接続端子
12	VC2	バッテリー2の負電圧、バッテリー3の正電圧接続端子
13	VC1	バッテリー1の負電圧、バッテリー2の正電圧接続端子
14	VDD	正電源入力端子、バッテリー1の正電圧接続端子
15	CTLD	放電用FETの制御端子
16	CTLC	充電用FETの制御端子

■ 絶対最大定格

表4

(特記なき場合 : Ta = +25°C)

項目	記号	適用端子	絶対最大定格	単位
VDD端子 - VSS端子間 入力電圧	V _{DS}	-	V _{SS} - 0.3 ~ V _{SS} + 24	V
入力端子電圧	V _{IN}	VC1, VC2, VC3, VC4, CTLC, CTLD, SEL, CCT, CDT, CIT, VINI	V _{SS} - 0.3 ~ V _{DD} + 0.3	V
VMP入力端子電圧	V _{VMP}	VMP	V _{SS} - 0.3 ~ V _{SS} + 24	V
DOP出力端子電圧	V _{DOP}	DOP	V _{SS} - 0.3 ~ V _{DD} + 0.3	V
COP出力端子電圧	V _{COP}	COP	V _{SS} - 0.3 ~ V _{SS} + 24	V
許容損失	P _D	-	400 (基板未実装時)	mW
			1100*1	mW
動作周囲温度	T _{opr}	-	-40 ~ +85	°C
保存温度	T _{stg}	-	-40 ~ +125	°C

*1. 基板実装時

[実装基板]

- (1) 基板サイズ : 114.3 mm × 76.2 mm × t1.6 mm
 (2) 名称 : JEDEC STANDARD51-7

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

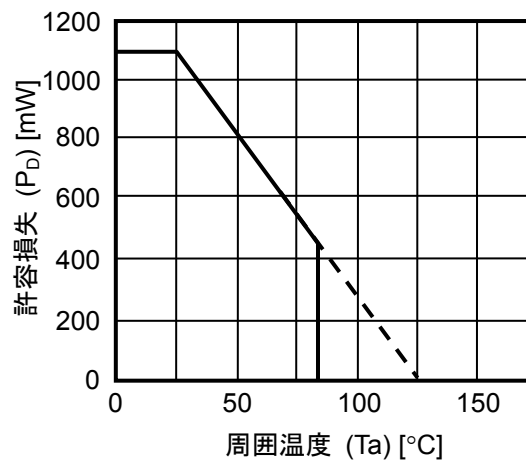


図3 パッケージ許容損失 (基板実装時)

■ 電気的特性

表5 (1 / 2)

(特記なき場合 : Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路	
検出電圧								
過充電検出電圧n (n = 1, 2, 3, 4)	V _{CU_n}	3.8 V ~ 4.6 V、調整可能、 50 mVステップ	V _{CU_n} - 0.025	V _{CU_n}	V _{CU_n} + 0.025	V	2	
過充電解除電圧n (n = 1, 2, 3, 4)	V _{CL_n}	3.6 V ~ 4.6 V、 調整可能、 50 mVステップ	V _{CL} ≠ V _{CU}	V _{CL_n} - 0.05	V _{CL_n}	V _{CL_n} + 0.05	V	2
			V _{CL} = V _{CU}	V _{CL_n} - 0.025	V _{CL_n}	V _{CL_n} + 0.025	V	2
過放電検出電圧n (n = 1, 2, 3, 4)	V _{DL_n}	2.0 V ~ 3.0 V、調整可能、 100 mVステップ	V _{DL_n} - 0.08	V _{DL_n}	V _{DL_n} + 0.08	V	2	
過放電解除電圧n (n = 1, 2, 3, 4)	V _{DU_n}	2.0 V ~ 3.4 V、 調整可能、 100 mVステップ	V _{DL} ≠ V _{DU}	V _{DU_n} - 0.10	V _{DU_n}	V _{DU_n} + 0.10	V	2
			V _{DL} = V _{DU}	V _{DU_n} - 0.08	V _{DU_n}	V _{DU_n} + 0.08	V	2
放電過電流検出電圧1	V _{DIOV1}	0.05 V ~ 0.30 V、調整可能	V _{DIOV1} - 0.015	V _{DIOV1}	V _{DIOV1} + 0.015	V	2	
放電過電流検出電圧2	V _{DIOV2}	-	0.4	0.5	0.6	V	2	
負荷短絡検出電圧	V _{SHORT}	-	0.7	1.0	1.3	V	2	
充電過電流検出電圧	V _{CIOV}	-0.25 V ~ -0.05 V、調整可能	V _{CIOV} - 0.03	V _{CIOV}	V _{CIOV} + 0.03	V	2	
温度係数1 ^{*1}	T _{COE1}	Ta = 0°C ~ 50°C ^{*3}	-1.0	0	1.0	mV/°C	2	
温度係数2 ^{*2}	T _{COE2}	Ta = 0°C ~ 50°C ^{*3}	-0.5	0	0.5	mV/°C	2	
遅延時間機能^{*4}								
CCT端子内部抵抗	R _{INC}	V1 = 4.7 V、V2 = V3 = V4 = 3.5 V	6.15	8.31	10.2	MΩ	3	
CDT端子内部抵抗	R _{IND}	V1 = 1.5 V、V2 = V3 = V4 = 3.5 V	615	831	1020	kΩ	3	
CIT端子内部抵抗1	R _{INI1}	V1 = V2 = V3 = V4 = 3.5 V	123	166	204	kΩ	3	
CIT端子内部抵抗2	R _{INI2}	V1 = V2 = V3 = V4 = 3.5 V	12.3	16.6	20.4	kΩ	3	
CCT端子検出電圧	V _{CCT}	V _{DS} = 15.2 V、 V1 = 4.7 V、V2 = V3 = V4 = 3.5 V	V _{DS} × 0.68	V _{DS} × 0.70	V _{DS} × 0.72	V	3	
CDT端子検出電圧	V _{CDT}	V _{DS} = 12.0 V、 V1 = 1.5 V、V2 = V3 = V4 = 3.5 V	V _{DS} × 0.68	V _{DS} × 0.70	V _{DS} × 0.72	V	3	
CIT端子検出電圧	V _{CIT}	V _{DS} = 14.0 V、 V1 = V2 = V3 = V4 = 3.5 V	V _{DS} × 0.68	V _{DS} × 0.70	V _{DS} × 0.72	V	3	
負荷短絡検出 遅延時間	t _{SHORT}	FETゲート容量 = 2000 pF	100	300	600	μs	3	
0 V電池への充電機能								
0 V電池充電開始 充電器電圧	V _{OCHA}	0 V電池充電機能 "可能"	-	0.8	1.5	V	4	
0 V電池充電禁止 電池電圧	V _{OINH}	0 V電池充電機能 "禁止"	0.4	0.7	1.1	V	4	
内部抵抗								
VMP端子 - VDD端子間抵抗	R _{VMD}	-	0.5	1	1.5	MΩ	5	
VMP端子 - VSS端子間抵抗	R _{VMS}	-	450	900	1800	kΩ	5	

表5 (2 / 2)

(特記なき場合 : Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
入力電圧							
VDD端子 - VSS端子間動作電圧	V _{DSOP}	DOP端子、COP端子出力電圧固定	2	-	22	V	2
CTLC端子入力電圧 "H"	V _{CTLCH}	V1 = V2 = V3 = V4 = 3.5 V	-	-	0.91	V	2
CTLC端子入力電圧 "L"	V _{CTLCL}	V1 = V2 = V3 = V4 = 3.5 V	0.59	-	-	V	2
CTLD端子入力電圧 "H"	V _{CTLDH}	V1 = V2 = V3 = V4 = 3.5 V	-	-	0.91	V	2
CTLD端子入力電圧 "L"	V _{CTLDL}	V1 = V2 = V3 = V4 = 3.5 V	0.59	-	-	V	2
SEL端子入力電圧 "H"	V _{SELH}	V _{DS} = 14.0 V、 V1 = V2 = V3 = V4 = 3.5 V	V _{DS} × 0.8	-	-	V	2
SEL端子入力電圧 "L"	V _{SELL}	V _{DS} = 14.0 V、 V1 = V2 = V3 = V4 = 3.5 V	-	-	V _{DS} × 0.2	V	2
入力電流							
動作時消費電流	I _{OPE}	V1 = V2 = V3 = V4 = 3.5 V	-	15	33	μA	1
パワーダウン時消費電流	I _{PDN}	V1 = V2 = V3 = V4 = 1.5 V	-	-	0.1	μA	1
VC1端子電流	I _{VC1}	V1 = V2 = V3 = V4 = 3.5 V	-0.3	0	0.3	μA	5
VC2端子電流	I _{VC2}	V1 = V2 = V3 = V4 = 3.5 V	-0.3	0	0.3	μA	5
VC3端子電流	I _{VC3}	V1 = V2 = V3 = V4 = 3.5 V	-0.3	0	0.3	μA	5
VC4端子電流	I _{VC4}	V1 = V2 = V3 = V4 = 3.5 V	-6.0	-3.0	-0.5	μA	5
CTLC端子電流 "H"	I _{CTLCH}	V1 = V2 = V3 = V4 = 3.5 V、 CTLC端子の最大流入電流	3.0	10.0	20.0	μA	5
CTLC端子電流 "L"	I _{CTLCL}	V1 = V2 = V3 = V4 = 3.5 V、 V _{CTLCL} = V _{SS}	-0.8	-0.6	-0.4	μA	5
CTLD端子電流 "H"	I _{CTLDH}	V1 = V2 = V3 = V4 = 3.5 V、 CTLD端子の最大流入電流	3.0	10.0	20.0	μA	5
CTLD端子電流 "L"	I _{CTLDL}	V1 = V2 = V3 = V4 = 3.5 V、 V _{CTLDL} = V _{SS}	-0.8	-0.6	-0.4	μA	5
SEL端子電流 "H"	I _{SELH}	V1 = V2 = V3 = V4 = 3.5 V、 V _{SEL} = V _{DD}	-	-	0.1	μA	5
SEL端子電流 "L"	I _{SELL}	V1 = V2 = V3 = V4 = 3.5 V、 V _{SEL} = V _{SS}	-0.1	-	-	μA	5
出力電流							
COP端子リーク電流	I _{COH}	V _{COP} = 22 V	-	-	0.1	μA	5
COP端子シンク電流	I _{COL}	V _{COP} = V _{SS} + 0.5 V	10	-	-	μA	5
DOP端子ソース電流	I _{DOH}	V _{DOP} = V _{DD} - 0.5 V	10	-	-	μA	5
DOP端子シンク電流	I _{DOL}	V _{DOP} = V _{SS} + 0.5 V	10	-	-	μA	5

*1. 電圧温度係数1は、過充電検出電圧を示します。

*2. 電圧温度係数2は、放電過電流検出電圧1を示します。

*3. 高温および低温での選別はしておりませんので、この温度範囲での規格は設計保証とします。

*4. 遅延時間機能の詳細は "■ 動作説明" に示します。

■ 測定回路

この章ではS-8204Aシリーズの測定方法を説明しています。4セル選択の場合は、SEL端子 = V_{DD} にしてください。また、3セル選択の場合は、SEL端子 = V_{SS} かつVC3端子とVC4端子間をショートしてください。

1. 動作時消費電流、パワーダウン時消費電流 (測定回路1)

1.1 動作時消費電流 (I_{OPE})

$V1 = V2 = V3 = V4 = 3.5\text{ V}$ 、 $V_{VMP} = V_{DD}$ のときのVSS端子の電流が動作時消費電流 (I_{OPE}) です。

1.2 パワーダウン時消費電流 (I_{PDN})

$V1 = V2 = V3 = V4 = 1.5\text{ V}$ 、 $V_{VMP} = V_{SS}$ のときのVSS端子の電流がパワーダウン時消費電流 (I_{PDN}) です。

2. 過充電検出電圧、過充電解除電圧、過放電検出電圧、過放電解除電圧、放電過電流検出電圧1、放電過電流検出電圧2、負荷短絡検出電圧、充電過電流検出電圧、CTLC端子入力電圧 "H"、CTLC端子入力電圧 "L"、CTLD端子入力電圧 "H"、CTLD端子入力電圧 "L"、SEL端子入力電圧 "H"、SEL端子入力電圧 "L" (測定回路2)

$V_{VMP} = V_{SEL} = V_{DD}$ 、 $V_{VINI} = V_{CTLC} = V_{CTLD} = V_{SS}$ 、CCT端子 = オープン、CDT端子 = オープン、CIT端子 = オープン、 $V1 = V2 = V3 = V4 = 3.5\text{ V}$ とし、COP端子およびDOP端子が、"L" ($V_{DS} \times 0.1\text{ V}$ 以下の電圧)であることを確認します (以下初期状態と記載)。

2.1 過充電検出電圧 (V_{CU1})、過充電解除電圧 (V_{CL1})

初期状態からV1の電圧を徐々に上げて行き、COP端子の電圧が "H" ($V_{DS} \times 0.9\text{ V}$ 以上の電圧) となるときのV1の電圧が過充電検出電圧 (V_{CU1}) です。その後、V1の電圧を徐々に下げて行き、COP端子の電圧が "L" となるときのV1の電圧が過充電解除電圧 (V_{CL1}) です。

2.2 過放電検出電圧 (V_{DL1})、過放電解除電圧 (V_{DU1})

初期状態からV1の電圧を徐々に下げて行き、DOP端子の電圧が "H" となるときのV1の電圧が過放電検出電圧 (V_{DL1}) です。その後、V1の電圧を徐々に上げて行き、DOP端子の電圧が "L" となるときのV1の電圧が過放電解除電圧 (V_{DU1}) です。

V_n ($n = 2 \sim 4$) の電圧を変化させれば、過充電検出電圧 (V_{CU_n})、過充電解除電圧 (V_{CL_n})、過放電検出電圧 (V_{DL_n})、および過放電解除電圧 (V_{DU_n}) も $n = 1$ の場合と同様に求めることができます。

2.3 放電過電流検出電圧1 (V_{DIOV1})

初期状態からVINI端子の電圧を徐々に上げて行き、DOP端子の電圧が "H" となるときのVINI端子の電圧が放電過電流検出電圧1 (V_{DIOV1}) です。

2.4 放電過電流検出電圧2 (V_{DIOV2})

初期状態からVINI端子の電圧を徐々に上げて行き、CIT端子からの流出電流が $500\text{ }\mu\text{A}$ 以上となるときのVINI端子の電圧が放電過電流検出電圧2 (V_{DIOV2}) です。

2.5 負荷短絡検出電圧 (V_{SHORT})

初期状態からCIT端子の電圧を V_{SS} 電位としたあと、VINI端子の電圧を徐々に上げて行き、DOP端子の電圧が "H" となるときのVINI端子の電圧が負荷短絡検出電圧 (V_{SHORT}) です。

2.6 充電過電流検出電圧 (V_{Ciov})

初期状態からVINI端子の電圧を徐々に下げて行き、COP端子の電圧が "H" となるときのVINI端子の電圧が充電過電流検出電圧 (V_{Ciov}) です。

2.7 CTLC端子入力電圧 "H" (V_{CTLCH})、CTLC端子入力電圧 "L" (V_{CTLCL})

初期状態からCTLC端子の電圧を徐々に上げて行き、COP端子の電圧が "H" となるときのCTLC端子の電圧がCTLC端子入力電圧 "H" (V_{CTLCH}) です。その後、CTLC端子の電圧を徐々に下げて行き、COP端子の電圧が "L" となるときのCTLC端子の電圧がCTLC端子入力電圧 "L" (V_{CTLCL}) です。

2.8 CTLD端子入力電圧 "H" (V_{CTLDH})、CTLD端子入力電圧 "L" (V_{CTLDL})

初期状態からCTLD端子の電圧を徐々に上げて行き、DOP端子の電圧が "H" となるときのCTLD端子の電圧がCTLD端子入力電圧 "H" (V_{CTLDH}) です。その後、CTLD端子の電圧を徐々に下げて行き、DOP端子の電圧が "L" となるときのCTLD端子の電圧がCTLD端子入力電圧 "L" (V_{CTLDL}) です。

2.9 SEL端子入力電圧 "H" (V_{SELH})、SEL端子入力電圧 "L" (V_{SELL})

初期状態からV4 = 0 Vとし、DOP端子が、"H" であることを確認します。その後、SEL端子の電圧を徐々に下げて行き、DOP端子の電圧が "L" となるときのSEL端子の電圧がSEL端子入力電圧 "L" (V_{SELL}) です。その後、SEL端子の電圧を徐々に上げて行き、DOP端子の電圧が "H" となるときのSEL端子の電圧がSEL端子入力電圧 "H" (V_{SELH}) です。

3. CCT端子内部抵抗、CDT端子内部抵抗、CIT端子内部抵抗1、CIT端子内部抵抗2、CCT端子検出電圧、CDT端子検出電圧、CIT端子検出電圧、負荷短絡検出遅延時間 (測定回路3)

$V_{VMP} = V_{SEL} = V_{DD}$ 、 $V_{VINI} = V_{CTLCH} = V_{CTLDH} = V_{CCT} = V_{CDT} = V_{CIT} = V_{SS}$ 、 $V1 = V2 = V3 = V4 = 3.5$ Vとし、COP端子およびDOP端子が、"L" であることを確認します (以下初期状態と記載)。

3.1 CCT端子内部抵抗 (R_{INC})

CCT端子内部抵抗 (R_{INC}) は、初期状態からV1 = 4.7 VにしたときのCCT端子から流れる電流 (I_{CCT}) を用いて、 $R_{INC} = V_{DS} / I_{CCT}$ から求められます。

3.2 CDT端子内部抵抗 (R_{IND})

CDT端子内部抵抗 (R_{IND}) は、初期状態からV1 = 1.5 VにしたときのCDT端子から流れる電流 (I_{CDT}) を用いて、 $R_{IND} = V_{DS} / I_{CDT}$ から求められます。

3.3 CIT端子内部抵抗1 (R_{INI1})

CIT端子内部抵抗1 (R_{INI1}) は、初期状態から $V_{VINI} = V_{DIOV1} \text{ max.} + 0.05$ VにしたときのCIT端子から流れる電流 (I_{CIT1}) を用いて、 $R_{INI1} = V_{DS} / I_{CIT1}$ から求められます。

3.4 CIT端子内部抵抗2 (R_{INI2})

CIT端子内部抵抗2 (R_{INI2}) は、初期状態から $V_{VINI} = V_{DIOV2} \text{ max.} + 0.05$ VにしたときのCIT端子から流れる電流 (I_{CIT2}) を用いて、 $R_{INI2} = V_{DS} / I_{CIT2}$ から求められます。

3.5 CCT端子検出電圧 (V_{CCT})

初期状態からV1 = 4.7 Vにしたあと、CCT端子の電圧を徐々に上げて行き、COP端子の電圧が "H" ($V_{DS} \times 0.9$ V以上の電圧) となるときのCCT端子の電圧がCCT端子検出電圧 (V_{CCT}) です。

3.6 CDT端子検出電圧 (V_{CDT})

初期状態から $V_1 = 1.5 \text{ V}$ にしたあと、CDT端子の電圧を徐々に上げて行き、DOP端子の電圧が "H" ($V_{DS} \times 0.9 \text{ V}$ 以上の電圧) となるときのCDT端子の電圧がCDT端子検出電圧 (V_{CDT}) です。

3.7 CIT端子検出電圧 (V_{CIT})

初期状態から $V_{VINI} = V_{DIOV1 \text{ max.}} + 0.05 \text{ V}$ にしたあと、CIT端子の電圧を徐々に上げて行き、DOP端子の電圧が "H" ($V_{DS} \times 0.9 \text{ V}$ 以上の電圧) となるときのCIT端子の電圧がCIT端子検出電圧 (V_{CIT}) です。

3.8 負荷短絡検出遅延時間 (t_{SHORT})

負荷短絡検出遅延時間 (t_{SHORT}) は初期状態からVINI端子の電圧を $V_{SHORT \text{ max.}} + 0.05 \text{ V}$ に瞬時に変化させてから、DOP端子の電圧が "L" から "H" に変わるまでの時間です。

4. 0 V電池充電開始充電器電圧 (0 V電池充電機能 "可能")、0 V電池充電禁止電池電圧 (0 V電池充電機能 "禁止") (測定回路4)

0 V電池に対する充電機能の選択により、0 V電池充電開始充電器電圧または0 V電池充電禁止電池電圧の一方が各製品に適用されます。

4.1 0 V電池充電開始充電器電圧 (V_{0CHA}) (0 V電池充電機能 "可能")

0 V電池充電開始充電器電圧の場合、 $V_1 = V_2 = V_3 = V_4 = 0 \text{ V}$ 、 $V_{VMP} = V_{0CHA \text{ max.}}$ のとき、COP端子の電圧は $V_{0CHA \text{ max.}} - 1 \text{ V}$ より小さくなります。

4.2 0 V電池充電禁止電池電圧 (V_{0INH}) (0 V電池充電機能 "禁止")

0 V電池充電禁止電池電圧の場合、 $V_1 = V_2 = V_3 = V_4 = V_{0INH \text{ min.}}$ 、 $V_{VMP} = 22 \text{ V}$ のとき、COP端子の電圧は $V_{VMP} - 1 \text{ V}$ より高くなります。

5. VMP端子 - VDD端子間抵抗、VMP端子 - VSS端子間抵抗、VC1端子電流、VC2端子電流、VC3端子電流、VC4端子電流、CTL C端子電流 "H"、CTL C端子電流 "L"、CTL D端子電流 "H"、CTL D端子電流 "L"、SEL端子電流 "H"、SEL端子電流 "L"、COP端子リーク電流、COP端子シンク電流、DOP端子ソース電流、DOP端子シンク電流 (測定回路5)

$V_{VMP} = V_{SEL} = V_{DD}$ 、 $V_{VINI} = V_{CTL C} = V_{CTL D} = V_{SS}$ 、 $V_1 = V_2 = V_3 = V_4 = 3.5 \text{ V}$ 、そのほかはオープンとします (以下初期状態と記載)。

5.1 VMP端子 - VDD端子間抵抗 (R_{VMD})

VMP端子 - VDD端子間抵抗 (R_{VMD}) は、初期状態から $V_{VINI} = 1.5 \text{ V}$ 、 $V_{VMP} = V_{SS}$ としたときのVMP端子の電流 (I_{VMD}) を用いて、 $R_{VMD} = V_{DS} / I_{VMD}$ から求められます。

5.2 VMP端子 - VSS端子間抵抗 (R_{VMS})

VMP端子 - VSS端子間抵抗 (R_{VMS}) は、初期状態から $V_1 = V_2 = V_3 = V_4 = 1.8 \text{ V}$ としたときのVMP端子の電流 (I_{VMS}) を用いて、 $R_{VMS} = V_{DS} / I_{VMS}$ から求められます。

5.3 VC1端子電流 (I_{VC1})、VC2端子電流 (I_{VC2})、VC3端子電流 (I_{VC3})、VC4端子電流 (I_{VC4})

初期状態において、VC1端子に流れる電流がVC1端子電流 (I_{VC1})、VC2端子に流れる電流がVC2端子電流 (I_{VC2})、VC3端子に流れる電流がVC3端子電流 (I_{VC3})、VC4端子に流れる電流がVC4端子電流 (I_{VC4}) です。

5.4 CTLC端子電流 "H" (I_{CTLCH})、CTLC端子電流 "L" (I_{CTLCL})

初期状態において、CTLC端子に流れる電流がCTLC端子電流 "L" (I_{CTLCL})、その後、CTLC端子の電圧を徐々に上げて行きCTLC端子に流れる最大の電流がCTLC端子電流 "H" (I_{CTLCH}) です。

5.5 CTLD端子電流 "H" (I_{CTLDH})、CTLD端子電流 "L" (I_{CTLDL})

初期状態において、CTLD端子に流れる電流がCTLD端子電流 "L" (I_{CTLDL})、その後、CTLD端子の電圧を徐々に上げて行きCTLD端子に流れる最大の電流がCTLD端子電流 "H" (I_{CTLDH}) です。

5.6 SEL端子電流 "H" (I_{SELH})、SEL端子電流 "L" (I_{SELL})

初期状態において、SEL端子に流れる電流がSEL端子電流 "H" (I_{SELH})、その後、 $V_{SEL} = V_{SS}$ としたときにSEL端子に流れる電流がSEL端子電流 "L" (I_{SELL}) です。

5.7 COP端子リーク電流 (I_{COH})、COP端子シンク電流 (I_{COL})

初期状態から、 $V_{COP} = V_{SS} + 0.5 \text{ V}$ としたときに、COP端子に流れる電流がCOP端子シンク電流 (I_{COL}) です。その後、 $V1 = V2 = V3 = V4 = 5.5 \text{ V}$ 、 $V_{COP} = V_{DD}$ としたときにCOP端子に流れる電流がCOP端子リーク電流 (I_{COH}) です。

5.8 DOP端子ソース電流 (I_{DOH})、DOP端子シンク電流 (I_{DOL})

初期状態から、 $V_{DOP} = V_{SS} + 0.5 \text{ V}$ としたときに、DOP端子に流れる電流がDOP端子シンク電流 (I_{DOL}) です。その後、 $V1 = V2 = V3 = V4 = 1.8 \text{ V}$ 、 $V_{DOP} = V_{DD} - 0.5 \text{ V}$ としたときにDOP端子に流れる電流がDOP端子ソース電流 (I_{DOH}) です。

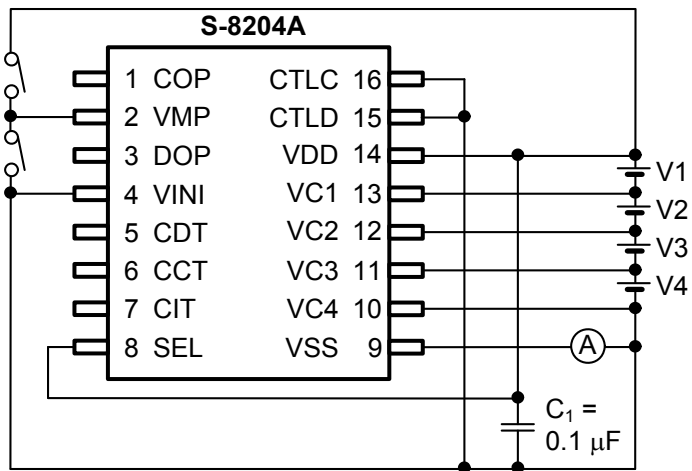


図4 測定回路1

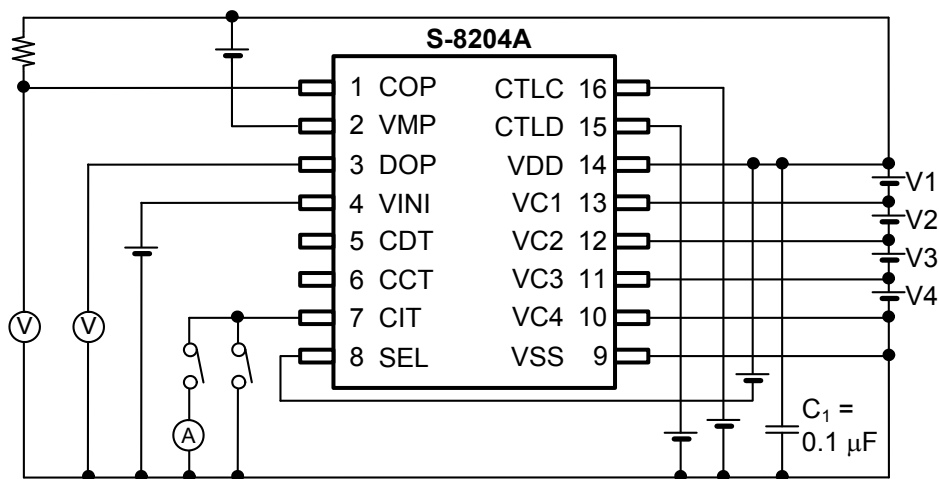


図5 測定回路2

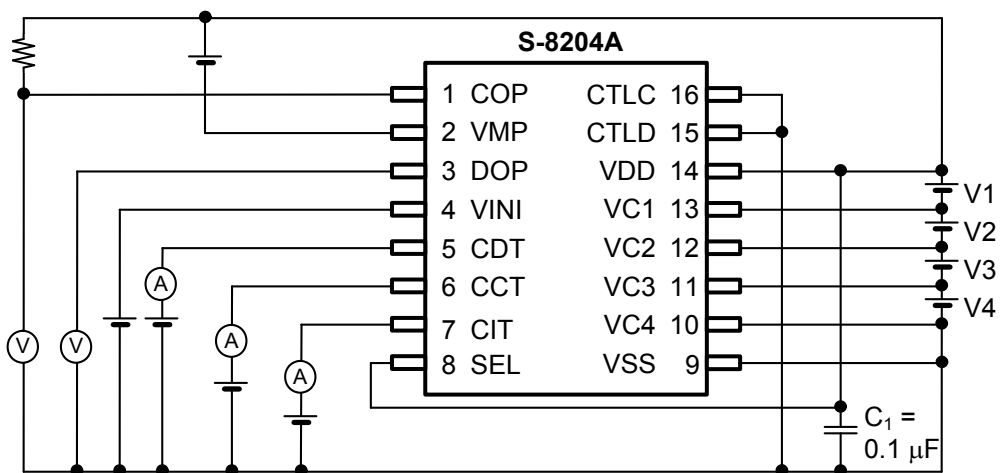


図6 測定回路3

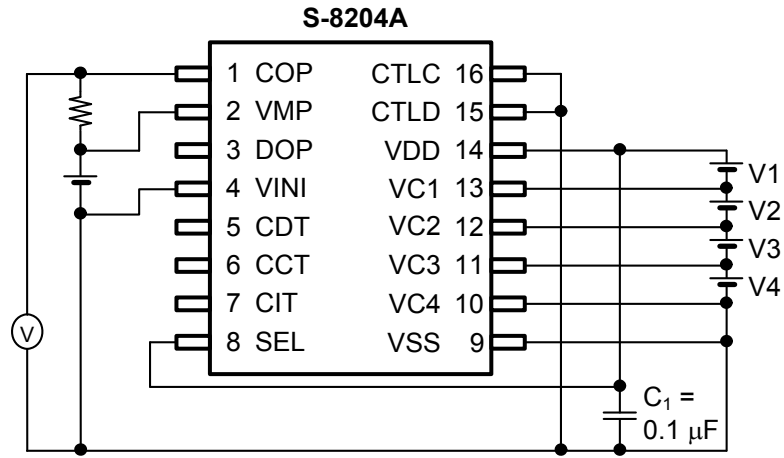


図7 測定回路4

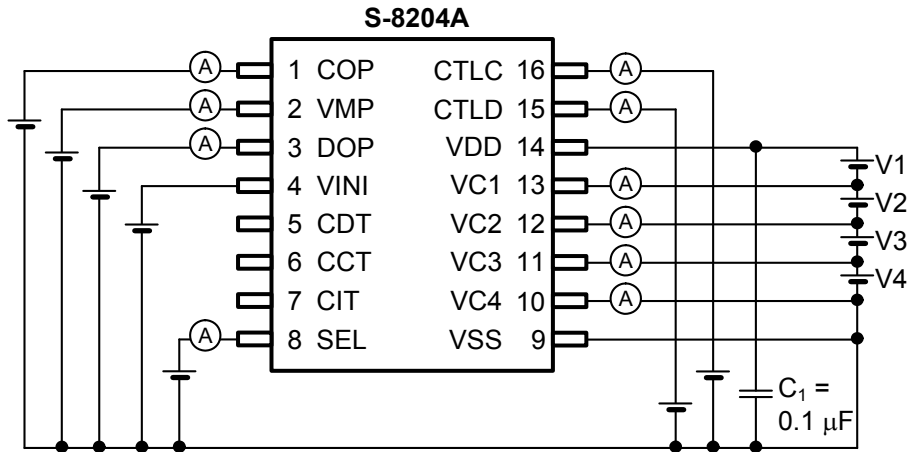


図8 測定回路5

■ 動作説明

備考 "■ バッテリー保護ICの接続例" を参照してください。

1. 通常状態

S-8204Aシリーズは、すべての電池電圧が過放電検出電圧 (V_{DLn}) から過充電検出電圧 (V_{CUn}) の間にあり、放電電流または充電電流によりVINI端子の電圧が充電過電流検出電圧 (V_{ClOv}) から放電過電流検出電圧1 (V_{DlOv1}) の間にある場合、COP端子、DOP端子はともに V_{SS} 電位となります。この状態を通常状態と言います。このとき、充電用FETおよび放電用FETはオンとなります。

2. 過充電状態

S-8204Aシリーズは、いずれかの電池電圧が V_{CUn} より高くなると、COP端子はハイインピーダンスとなります。この状態を過充電状態と言います。このとき、COP端子は外付け抵抗によりEB+にプルアップされるので、充電用FETはオフし充電は停止します。

過充電状態は次の2つの条件のうち的一方が満たされた場合、解除されます。

- (1) VMP端子の電圧が $39 / 40 \times V_{DS}$ 以上の場合、すべての電池電圧が過充電解除電圧 (V_{CLn}) 以下で過充電状態を解除する。
- (2) VMP端子の電圧が $39 / 40 \times V_{DS}$ 以下の場合、すべての電池電圧が V_{CUn} 以下で過充電状態を解除する。

3. 過放電状態

S-8204Aシリーズは、いずれかの電池電圧が V_{DLn} より低くなると、DOP端子が V_{DD} 電位になります。この状態を過放電状態と言います。このとき、放電用FETはオフし放電は停止します。

過放電状態は次の3つの条件のうちいずれかが満たされた場合、解除または維持されます。

- (1) VMP端子の電圧が V_{DD} 電位より高い場合、すべての電池電圧が V_{DLn} 以上で過放電状態を解除する。
- (2) VMP端子の電圧が $V_{DS} / 2$ 以上でかつVMP端子が V_{DD} 電位より低い場合、すべての電池電圧が過放電解除電圧 (V_{DUn}) 以上で過放電状態を解除する。
- (3) VMP端子の電圧が $V_{DS} / 2$ 以下の場合、パワーダウン機能が維持される。

3.1 パワーダウン機能

S-8204Aシリーズは、過放電状態となるとVMP端子がVMP端子 - V_{SS} 端子抵抗 (R_{VMS}) により V_{SS} 電位にプルダウンされます。VMP端子の電圧が $V_{DS} / 2$ 以下になると、パワーダウン機能が働き、ほとんどすべての回路動作が停止します。

パワーダウン機能は次の条件が満たされると解除されます。

- (1) VMP端子の電圧が $V_{DS} / 2$ 以上になる。

4. 放電過電流状態

S-8204Aシリーズは、通常状態の電池において、放電電流が所定値以上になりVINI端子の電圧が V_{DIOV1} 以上になると、DOP端子が V_{DD} 電位になります。この状態を放電過電流状態と言います。このとき、放電制御用FETはオフし放電が停止します。

S-8204Aシリーズは3種類の放電過電流検出レベル (V_{DIOV1} 、 V_{DIOV2} および V_{SHORT}) を有しています。放電過電流状態ではCOP端子はハイインピーダンスとなります。VMP端子はVMP端子 - V_{DD} 端子間抵抗 (R_{VMD}) により V_{DD} 電位にプルアップされます。放電過電流検出電圧2 (V_{DIOV2}) および負荷短絡検出電圧 (V_{SHORT}) に対する動作は V_{DIOV1} に対する動作と同様です。

放電過電流状態は次の条件が満たされると解除されます。

- (1) VMP端子の電圧が $V_{DS} - 1.2\text{ V}$ (typ.) 以上になる。

5. 充電過電流状態

S-8204Aシリーズでは、通常状態の電池において充電電流が所定値以上になりVINI端子の電圧が V_{CIOV} 以下となると、COP端子はハイインピーダンスとなります。この状態を充電過電流状態と言います。このとき充電制御用FETはオフし充電が停止します。

充電過電流状態ではVMP端子は R_{VMD} により V_{DD} 電位にプルアップされます。なお、過放電状態においても充電過電流検出機能は動作します。

充電過電流状態は次の条件が満たされると解除されます。

- (1) VMP端子の電圧が V_{DS} 以下になる。

6. 0 V電池への充電機能

自己放電した電池 (0 V電池) の充電に関し、S-8204Aシリーズでは2つの機能のうち的一方を選択できます。

- (1) 0 V電池の充電を許す (0 V電池の充電が可能)。
充電器電圧が0 V電池開始充電器電圧 (V_{0CHA}) より高い場合、0 V電池は充電されます。
- (2) 0 V電池の充電を禁止する (0 V電池の充電は不可能)。
電池電圧が0 V電池充電禁止電池電圧 (V_{0INH}) 以下である場合、充電は行われません。

注意 V_{DD} 端子の電圧が V_{DD} 端子 - V_{SS} 端子間動作電圧 (V_{DSOP}) の最小値より低い場合、S-8204Aシリーズの動作は保証されません。

7. 遅延時間の設定

S-8204Aシリーズは、いずれかの電池電圧やVINI端子の電圧の変化を検出してからCOP端子、DOP端子へ出力されるまでの間に遅延時間を設けることが可能です。各遅延時間はS-8204Aシリーズ内部の抵抗と外付け容量により決定されます。

過充電検出では、いずれかの電池電圧が V_{CUH} 以上になるとCCT端子内部抵抗 (R_{INC}) を通じてCCT端子容量 (C_{CCT}) に充電を開始します。ある時間後にCCT端子の電圧がCCT端子検出電圧 (V_{CCT}) に達すると、COP端子がハイインピーダンスになります。この時間が過充電検出遅延時間 (t_{CU}) です。

t_{CU} は下記の式で算出されます ($V_{DS} = V1 + V2 + V3 + V4$)。

$$\begin{aligned} t_{CU} [s] &= -\ln (1 - V_{CCT} / V_{DS}) \times C_{CCT} [\mu F] \times R_{INC} [M\Omega] \\ &= -\ln (1 - 0.7 (\text{typ.})) \times C_{CCT} [\mu F] \times 8.31 [M\Omega] (\text{typ.}) \\ &= 10.0 [M\Omega] (\text{typ.}) \times C_{CCT} [\mu F] \end{aligned}$$

同様に過放電検出遅延時間 (t_{DL})、放電過電流検出遅延時間1 (t_{DIOV1})、放電過電流検出遅延時間2 (t_{DIOV2})、充電過電流検出遅延時間 (t_{CIOV}) は下記の式で算出されます。

$$\begin{aligned} t_{DL} [ms] &= -\ln (1 - V_{CDT} / V_{DS}) \times C_{CDT} [\mu F] \times R_{IND} [k\Omega] \\ t_{DIOV1} [ms] &= -\ln (1 - V_{CIT} / V_{DS}) \times C_{CIT} [\mu F] \times R_{INI1} [k\Omega] \\ t_{DIOV2} [ms] &= -\ln (1 - V_{CIT} / V_{DS}) \times C_{CIT} [\mu F] \times R_{INI2} [k\Omega] \\ t_{CIOV} [ms] &= -\ln (1 - V_{CIT} / V_{DS}) \times C_{CIT} [\mu F] \times R_{INI1} [k\Omega] \end{aligned}$$

$C_{CCT} = C_{CDT} = C_{CIT} = 0.1 [\mu F]$ の場合、各遅延時間 t_{CU} 、 t_{DL} 、 t_{DIOV1} 、 t_{DIOV2} 、 t_{CIOV} は次のように算出されます。

$$\begin{aligned} t_{CU} [s] &= 10.0 [M\Omega] (\text{typ.}) \times 0.1 [\mu F] = 1.0 [s] (\text{typ.}) \\ t_{DL} [ms] &= 1000 [k\Omega] (\text{typ.}) \times 0.1 [\mu F] = 100 [ms] (\text{typ.}) \\ t_{DIOV1} [ms] &= 200 [k\Omega] (\text{typ.}) \times 0.1 [\mu F] = 20 [ms] (\text{typ.}) \\ t_{DIOV2} [ms] &= 20 [k\Omega] (\text{typ.}) \times 0.1 [\mu F] = 2.0 [ms] (\text{typ.}) \\ t_{CIOV} [ms] &= 200 [k\Omega] (\text{typ.}) \times 0.1 [\mu F] = 20 [ms] (\text{typ.}) \end{aligned}$$

負荷短絡検出遅延時間 (t_{SHORT}) は内部で固定されています。

8. CTLC端子およびCTLD端子

S-8204Aシリーズには、2つの出力電圧制御端子があります。

CTLC端子はCOP端子の出力電圧を制御し、CTLD端子はDOP端子の出力電圧を制御します。COP端子およびDOP端子の出力電圧はそれぞれ独立して制御することができます。なお、これらの制御は電池保護回路に優先します。

表6 CTLC端子により設定される状態

CTLC端子	COP端子
"H"*1	"High-Z"
オープン*2	"High-Z"
"L"*3	通常状態*4

*1. "H" は $CTLC \geq V_{CTLCH}$ の場合を示します。

*2. CTLC端子がオープンの場合、 I_{CTLCL} によりプルアップされます。

*3. "L" は $CTLC \leq V_{CTLCL}$ の場合を示します。

*4. 状態は電圧検出回路により制御されます。

表7 CTLD端子により設定される状態

CTLD端子	DOP端子
"H"*1	V_{DD} 電位
オープン*2	V_{DD} 電位
"L"*3	通常状態*4

*1. "H" は $CTLD \geq V_{CTLDH}$ の場合を示します。

*2. CTLD端子がオープンの場合、 I_{CTLDL} によりプルアップされます。

*3. "L" は $CTLD \leq V_{CTLDL}$ の場合を示します。

*4. 状態は電圧検出回路により制御されます。

注意 電源変動時において、外付けフィルタ— R_{VSS} 、 C_{VSS} により、CTLC端子およびCTLD端子の "L" レベル入力電位とICの V_{SS} 電位の間に電位差が生じ、誤動作を起こす場合がありますので、注意してください。

9. SEL端子

S-8204Aシリーズには、3セルまたは4セル保護の切り換え制御端子があります。SEL端子を "L" にした場合、V4セルの過放電検出が禁止されるため、V4セルをショートしても過放電検出が機能せず、3セル保護に使用できます。なお、このSEL端子による制御は電池保護回路に優先します。また、SEL端子は必ず "H" または "L" で使用してください。

表8 SEL端子により設定される保護状態

SEL端子	状態
"H"*1	4セル保護
オープン	不定
"L"*2	3セル保護

- *1. "H" は $SEL \geq V_{SELH}$ の場合を示します。
- *2. "L" は $SEL \leq V_{SELL}$ の場合を示します。

カスケード接続時においても、SEL端子の電位設定を組み合わせることにより6セル、7セルまたは8セル保護が可能となります。

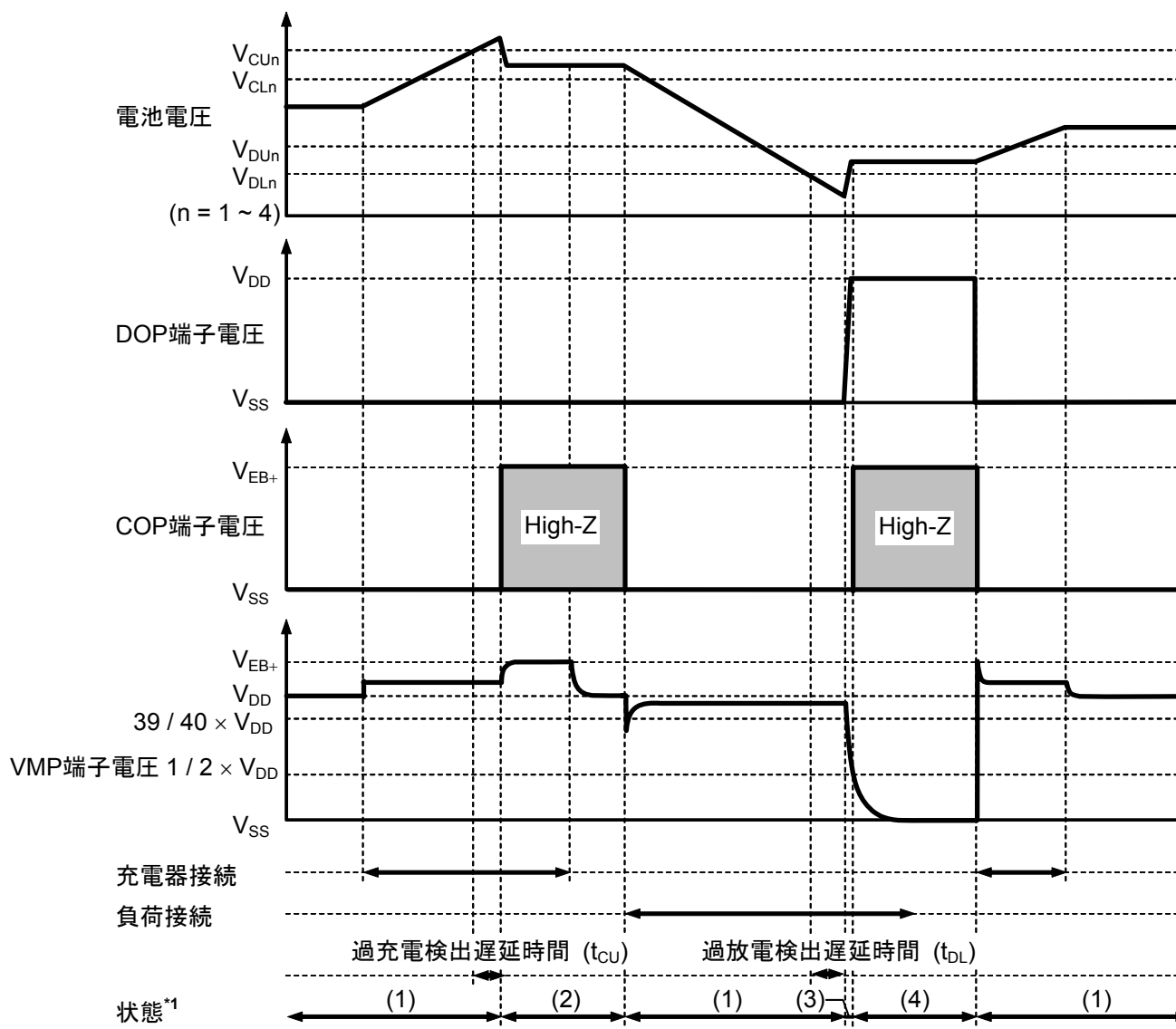
表9 カスケード接続時のSEL端子により設定される状態

S-8204A (1) のSEL端子	S-8204A (2) のSEL端子	状態
"L"*1	"L"*1	6セル保護
"L"*1	"H"*2	7セル保護
"H"*2	"H"*2	8セル保護

- *1. "L" は $SEL \leq V_{SELL}$ の場合を示します。
- *2. "H" は $SEL \geq V_{SELH}$ の場合を示します。

■ タイミングチャート (図12、図13の回路)

1. 過充電検出、過放電検出

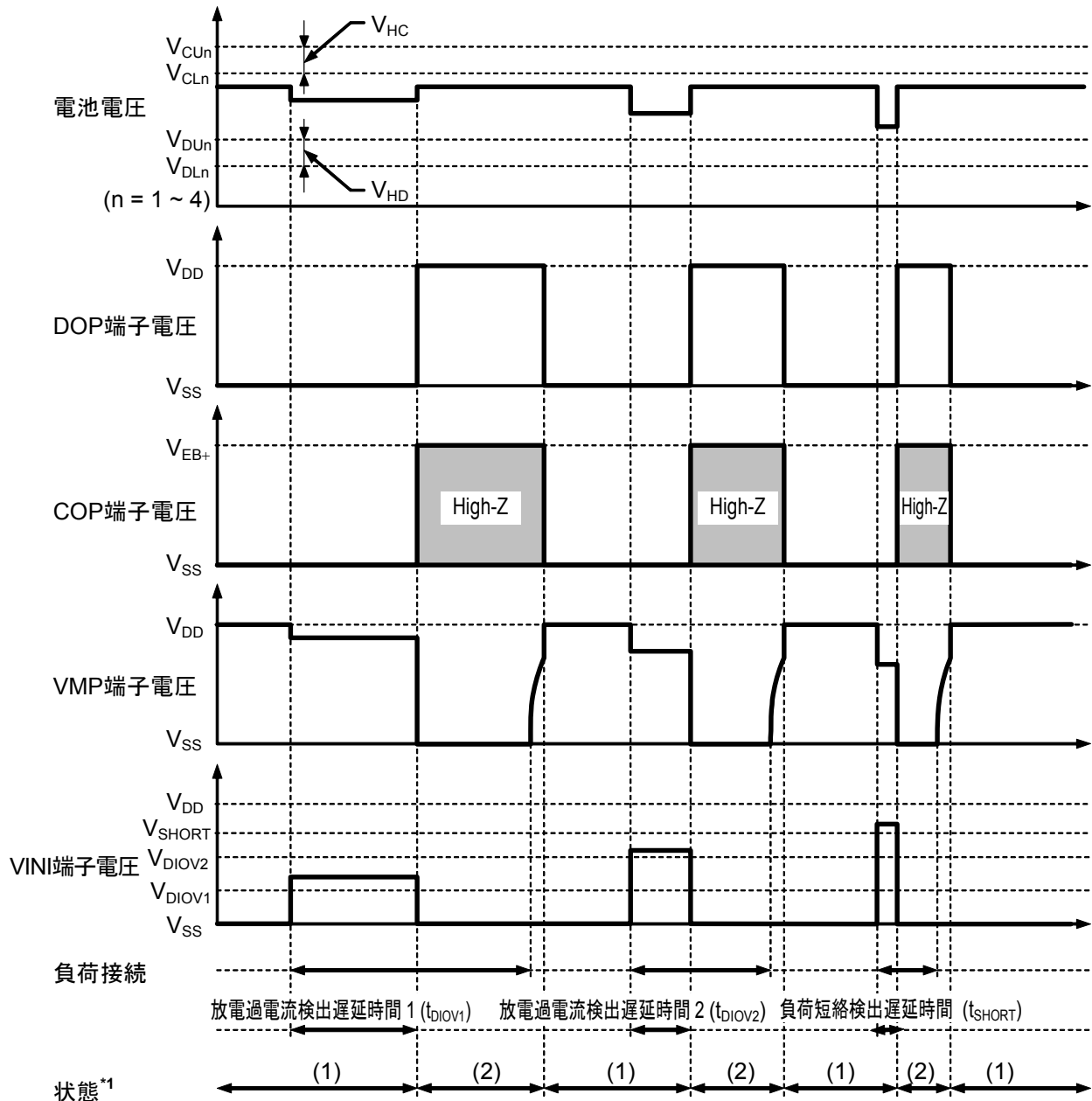


- *1. (1) : 通常状態
- (2) : 過充電状態
- (3) : 過放電状態
- (4) : パワーダウン状態

備考 定電流での充電を想定しています。 V_{EB+} は充電器の開放電圧を示します。

図9

2. 放電過電流検出

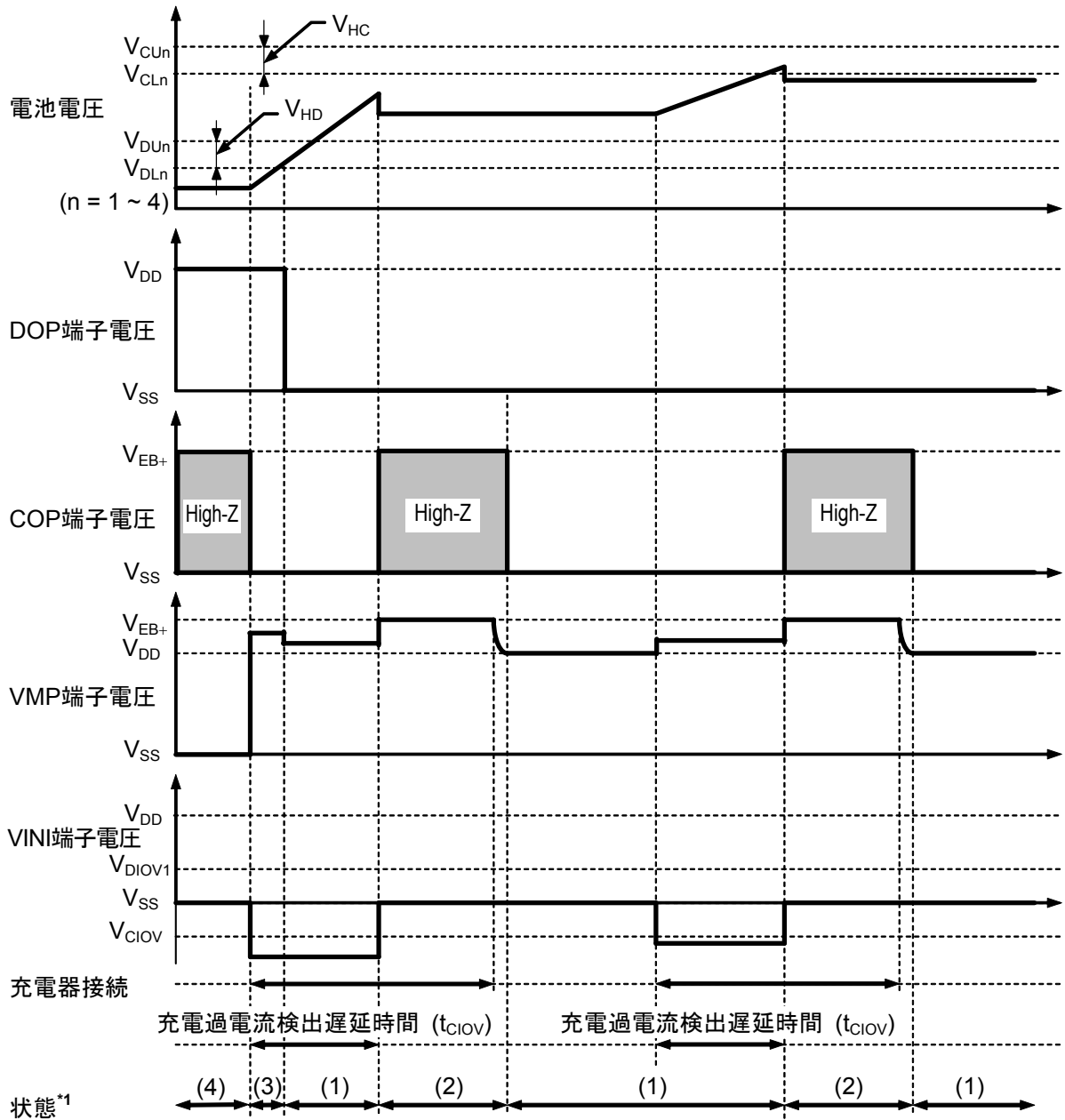


- *1. (1) : 通常状態
(2) : 放電過電流状態

備考 定電流での充電を想定しています。 V_{EB+} は充電器の開放電圧を示します。

図10

3. 充電過電流検出



- *1. (1) : 通常状態
 (2) : 充電過電流状態
 (3) : 過放電状態
 (4) : パワーダウン状態

備考 定電流での充電を想定しています。 V_{EB+} は充電器の開放電圧を示します。

図11

■ バッテリー保護ICの接続例

1. 3セル直列

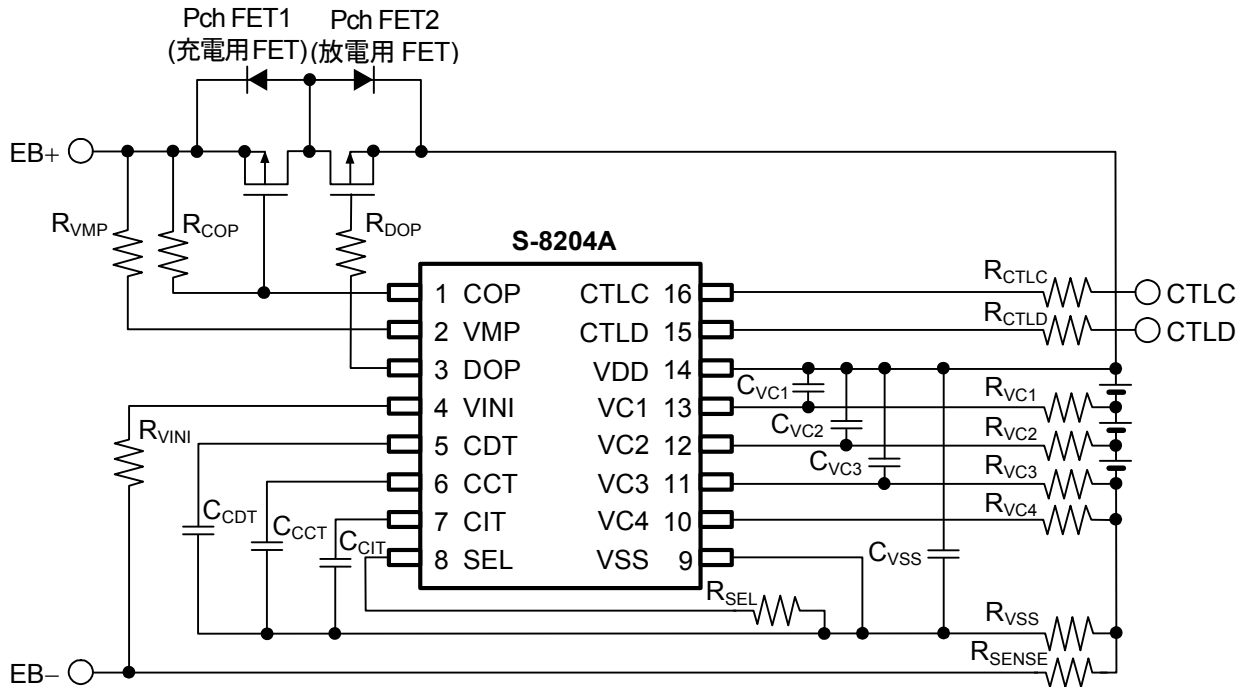


図12

2. 4セル直列

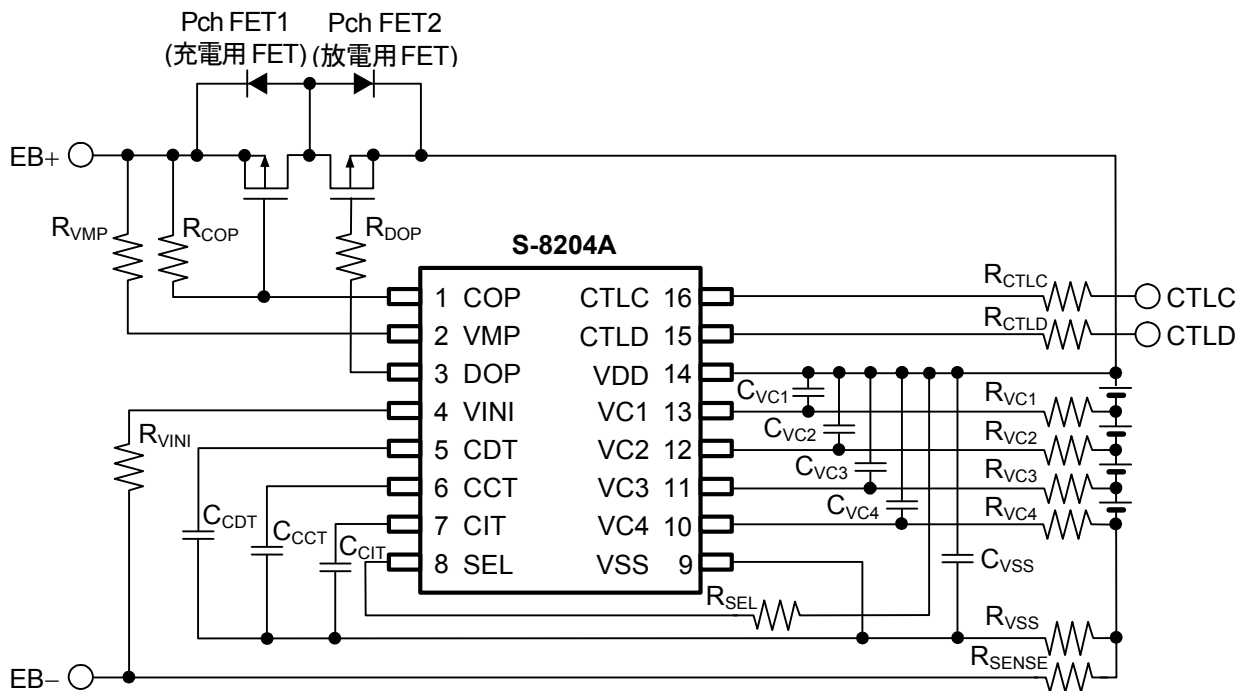


図13

表10 外付け部品定数 (図12、図13の回路)

記号	Min.	Typ.	Max.	単位
R_{VC1}^{*1}	0.51	1	1	k Ω
R_{VC2}^{*1}	0.51	1	1	k Ω
R_{VC3}^{*1}	0.51	1	1	k Ω
R_{VC4}^{*1}	0.51	1	1	k Ω
R_{DOP}	2	5.1	10	k Ω
R_{COP}	0.1	1	1	M Ω
R_{VMP}	1	5.1	10	k Ω
$R_{CTL C}$	1	1	10	k Ω
R_{CTLD}	1	1	10	k Ω
R_{VINI}	1	1	10	k Ω
R_{SEL}	1	1	100	k Ω
R_{SENSE}	0	-	-	m Ω
R_{VSS}^{*1}	22	47	100	Ω
C_{VC1}^{*1}	0	47	100	nF
C_{VC2}^{*1}	0	47	100	nF
C_{VC3}^{*1}	0	47	100	nF
C_{VC4}^{*1}	0	47	100	nF
C_{CCT}	0.01	0.1	-	μ F
C_{CDT}	0.01	0.1	-	μ F
C_{CIT}	0.01	0.1	-	μ F
C_{VSS}^{*1}	0	1	2.2	μ F
Pch FET1	-	-	-	-
Pch FET2	-	-	-	-

*1. $R_{VSS} \times C_{VSS} = 47 \mu\text{F} \cdot \Omega$ 以上とし、 $R_{VC1} \times C_{VC1} = R_{VC2} \times C_{VC2} = R_{VC3} \times C_{VC3} = R_{VC4} \times C_{VC4} = R_{VSS} \times C_{VSS}$ となるようにフィルター定数を設定してください。

注意1. 上記定数は予告なく変更することがあります。

2. VDD端子 - VSS端子間フィルター定数は47 μ F \cdot Ω 程度の値を推奨します。

例 : $C_{VSS} \times R_{VSS} = 1.0 \mu\text{F} \times 47 \Omega = 47 \mu\text{F} \cdot \Omega$

VDD端子 - VSS端子間フィルター定数を設定する場合には、実際のアプリケーションで過渡的な電源変動および過電流保護機能の評価を十分に行ってください。また、VDD端子 - VSS端子間フィルター定数を47 μ F \cdot Ω 程度以外に設定する場合は、弊社営業部までお問合せください。

3. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

3. 7セル直列

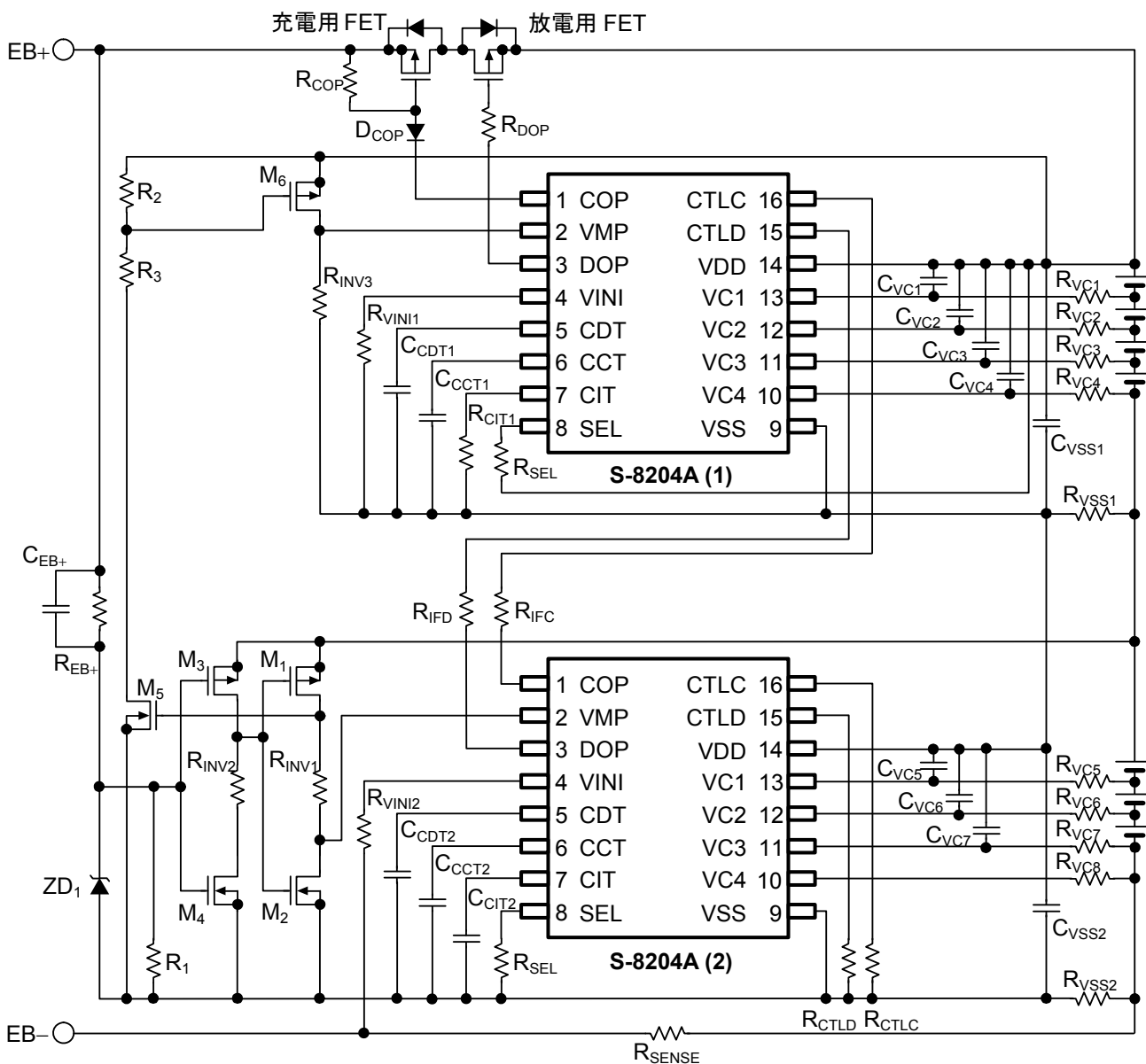


図14

注意1. VDD端子 - VSS端子間フィルター定数は $47 \mu\text{F} \cdot \Omega$ 程度の値を推奨します。

例 : $C_{VSS} \times R_{VSS} = 1.0 \mu\text{F} \times 47 \Omega = 47 \mu\text{F} \cdot \Omega$

VDD端子 - VSS端子間フィルター定数を設定する場合には、実際のアプリケーションで過渡的な電源変動および過電流保護機能の評価を十分に行ってください。また、VDD端子 - VSS端子間フィルター定数を $47 \mu\text{F} \cdot \Omega$ 程度以外に設定する場合は、弊社営業部までお問合せください。

2. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

備考 各外付け部品の定数については、アプリケーションノートを参照してください。

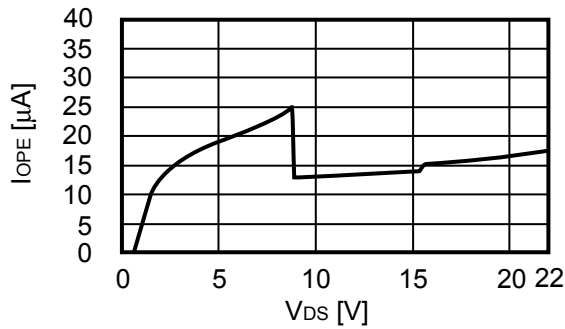
■ 注意事項

- ・ IC内での損失がパッケージの許容損失を越えないように、入出力電圧、負荷電流の使用条件に注意してください。
- ・ 電池の接続順番は特に問いませんが、電池を接続した際に放電できない場合があります。この場合はVMP端子とVDD端子をショートするか、もしくは充電器を接続すると通常状態に復帰します。
- ・ 過充電電池と過放電電池が混在した場合は過充電状態かつ過放電状態となり、充電と放電が共に不可能となります。
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様また、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

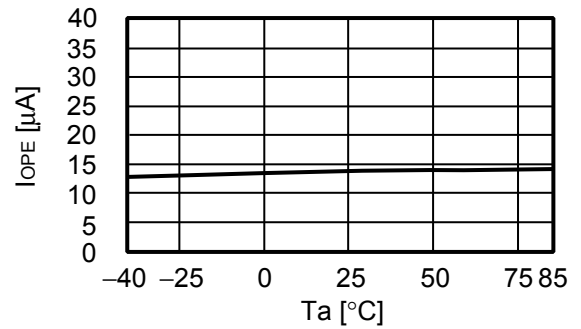
■ 諸特性データ (Typical データ)

1. 消費電流

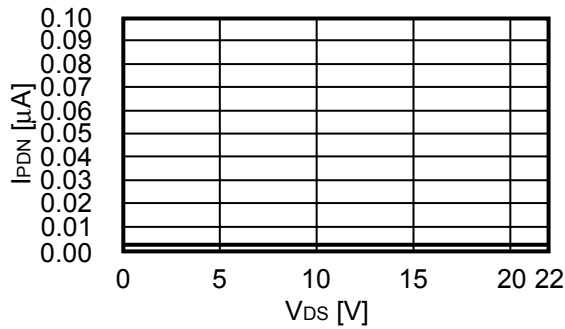
1.1 $I_{OPE} - V_{DS}$



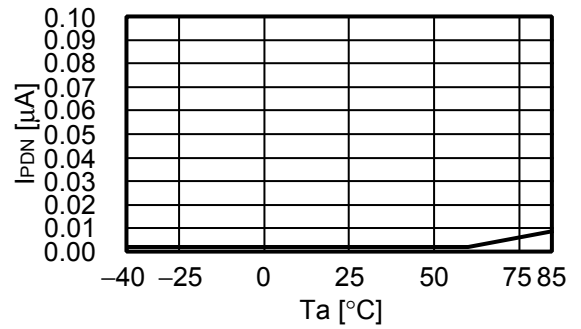
1.2 $I_{OPE} - T_a$



1.3 $I_{PDN} - V_{DS}$

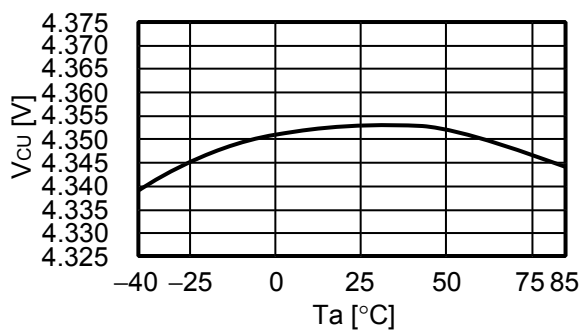


1.4 $I_{PDN} - T_a$

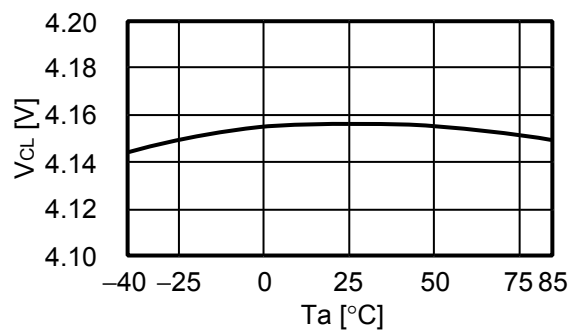


2. 過充電検出 / 解除電圧、過放電検出 / 解除電圧、過電流検出電圧

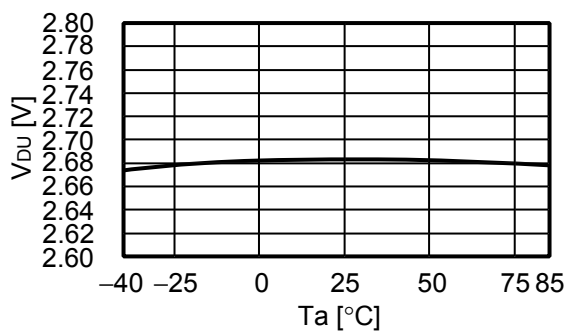
2.1 $V_{CU} - T_a$



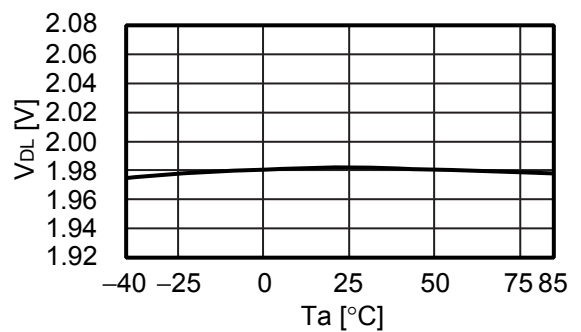
2.2 $V_{CL} - T_a$



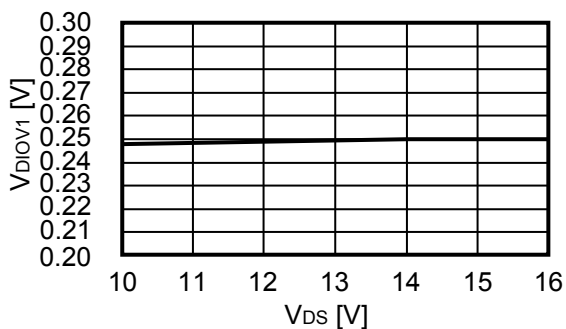
2.3 $V_{DU} - T_a$



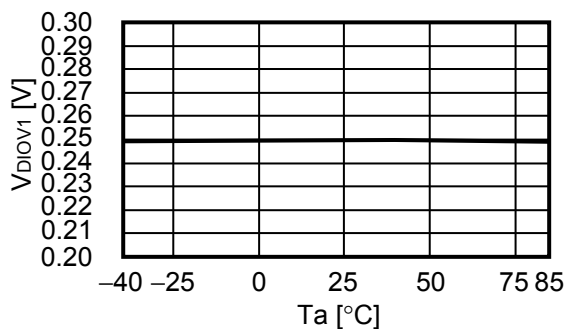
2.4 $V_{DL} - T_a$



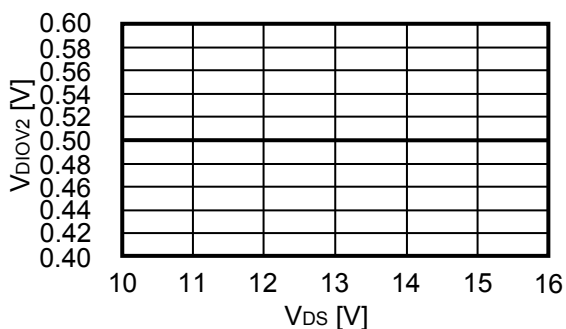
2.5 $V_{DIOV1} - V_{DS}$



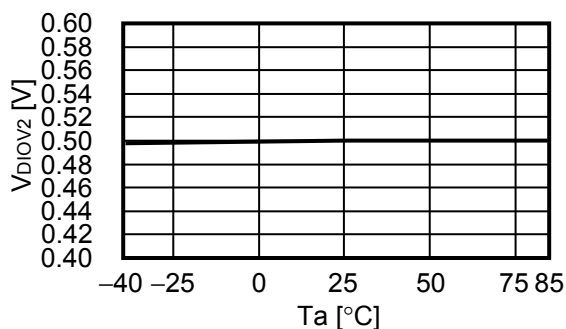
2.6 $V_{DIOV1} - T_a$



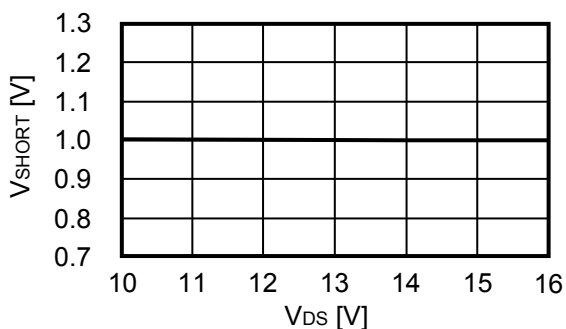
2.7 $V_{DIOV2} - V_{DS}$



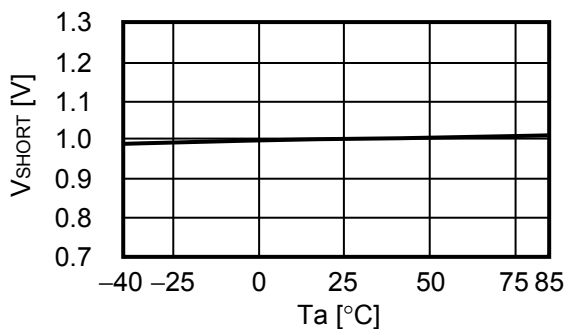
2.8 $V_{DIOV2} - T_a$



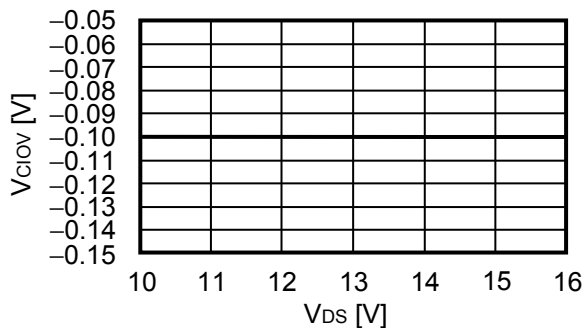
2.9 $V_{SHORT} - V_{DS}$



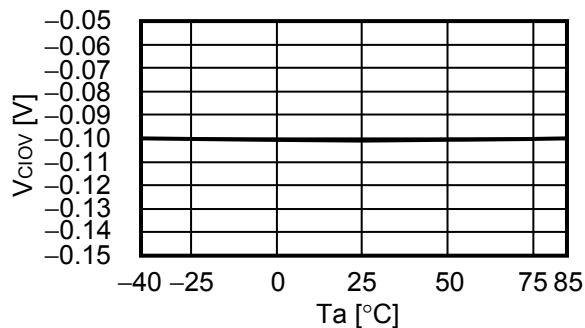
2.10 $V_{SHORT} - T_a$



2.11 $V_{CIOV} - V_{DS}$

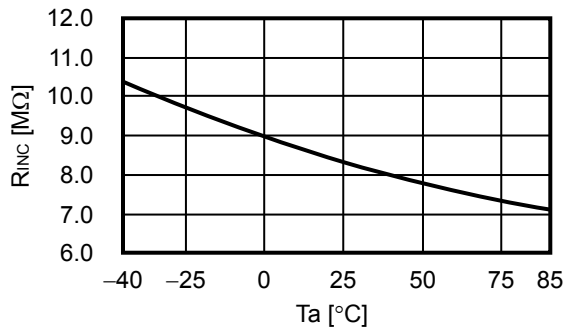


2.12 $V_{CIOV} - T_a$

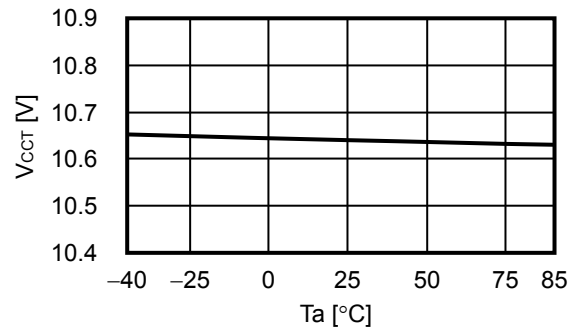


3. CCT端子内部抵抗 / 検出電圧、CDT端子内部抵抗 / 検出電圧、CIT端子内部抵抗 / 検出電圧および負荷短絡検出遅延時間

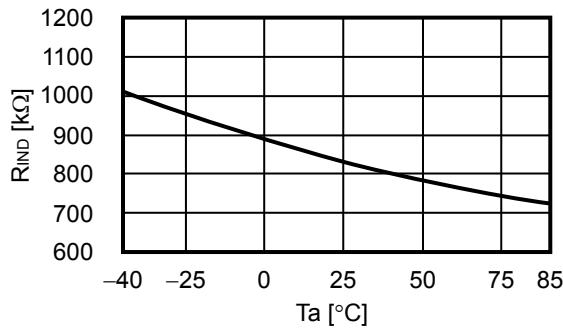
3.1 $R_{INC} - T_a$



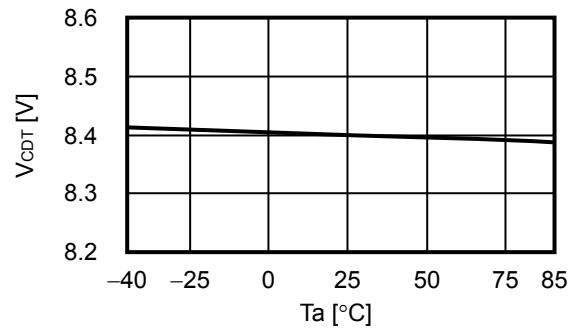
3.2 $V_{CCT} - T_a (V_{DS} = 15.2 V)$



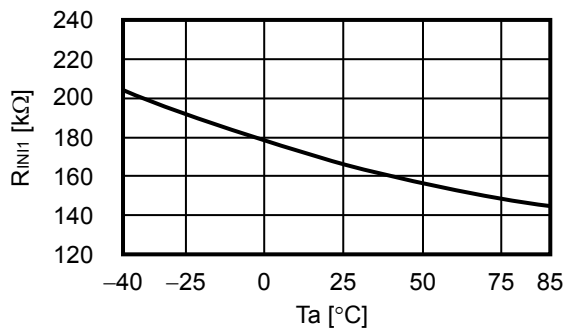
3.3 $R_{IND} - T_a$



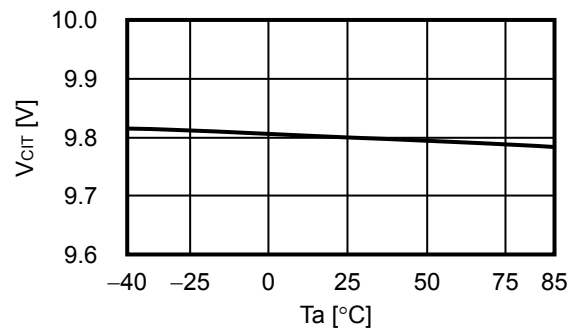
3.4 $V_{CDT} - T_a (V_{DS} = 12.0 V)$



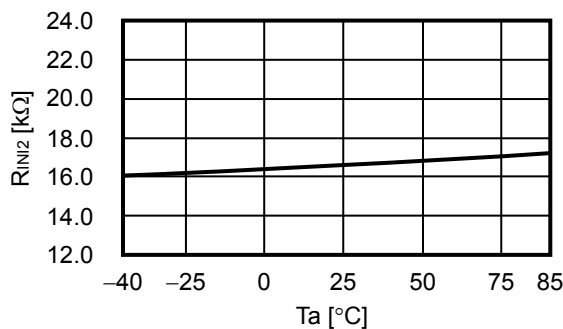
3.5 $R_{INI1} - T_a$



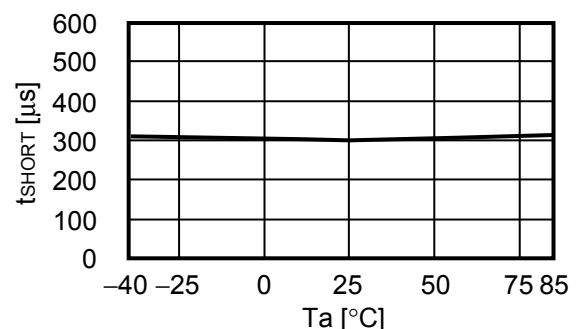
3.6 $V_{CIT} - T_a (V_{DS} = 14.0 V)$



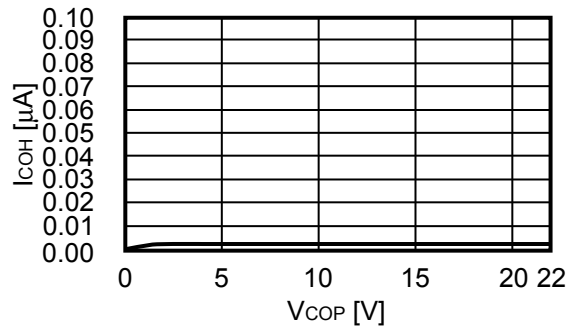
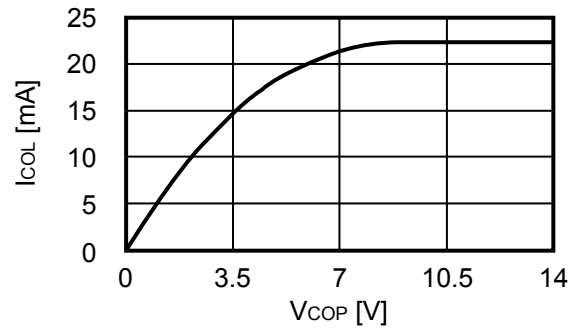
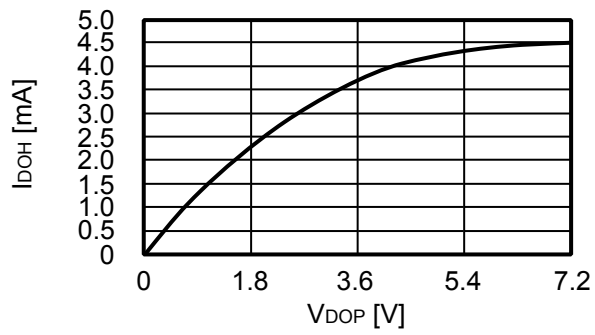
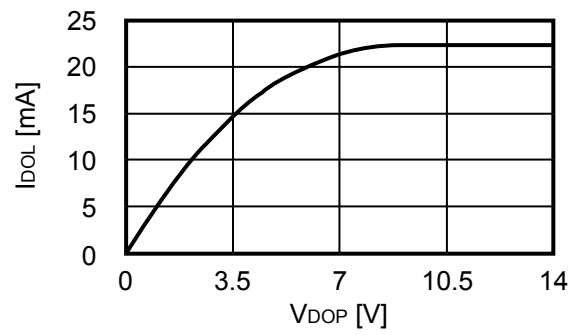
3.7 $R_{INI2} - T_a$

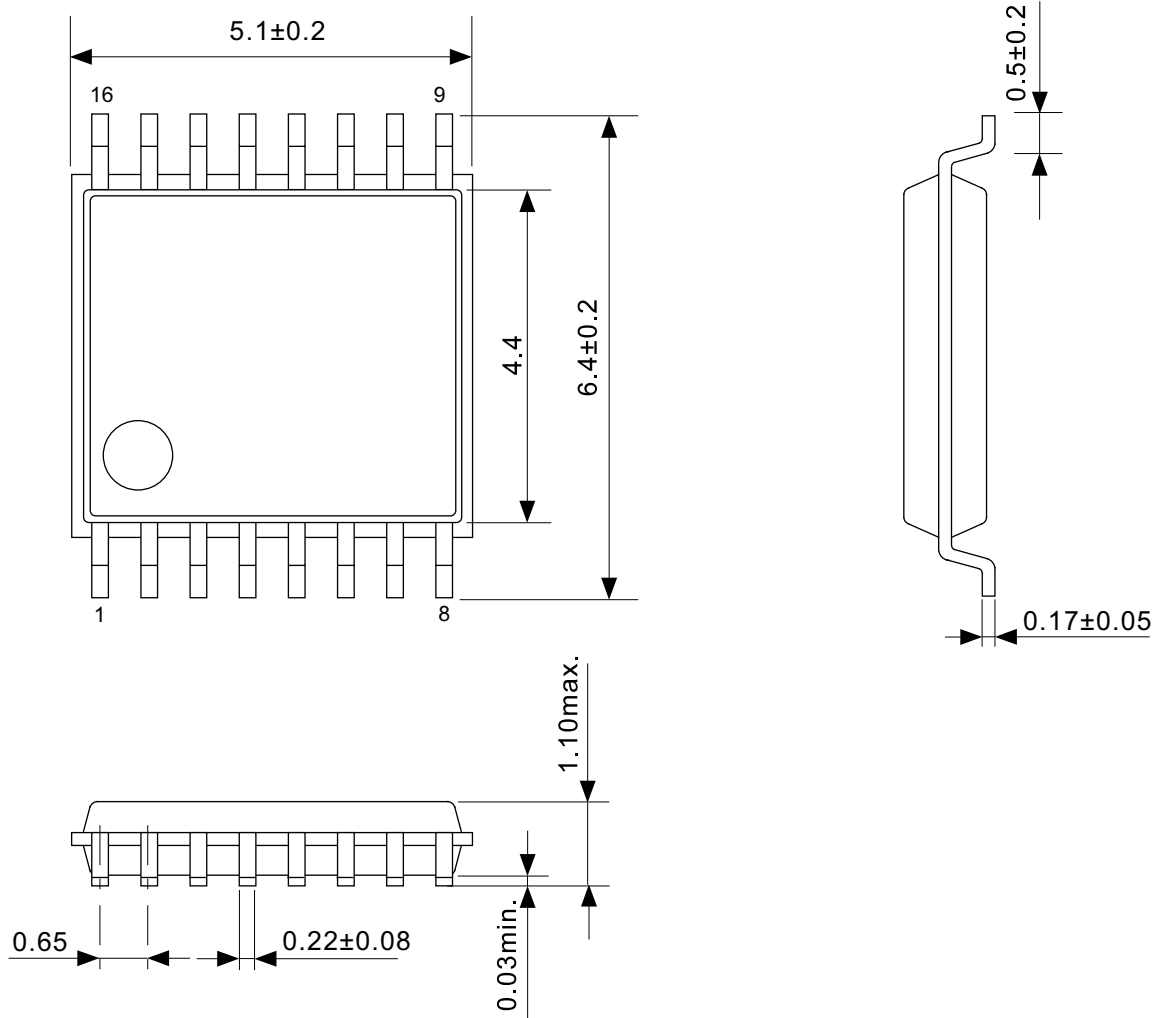


3.8 $t_{SHORT} - T_a$



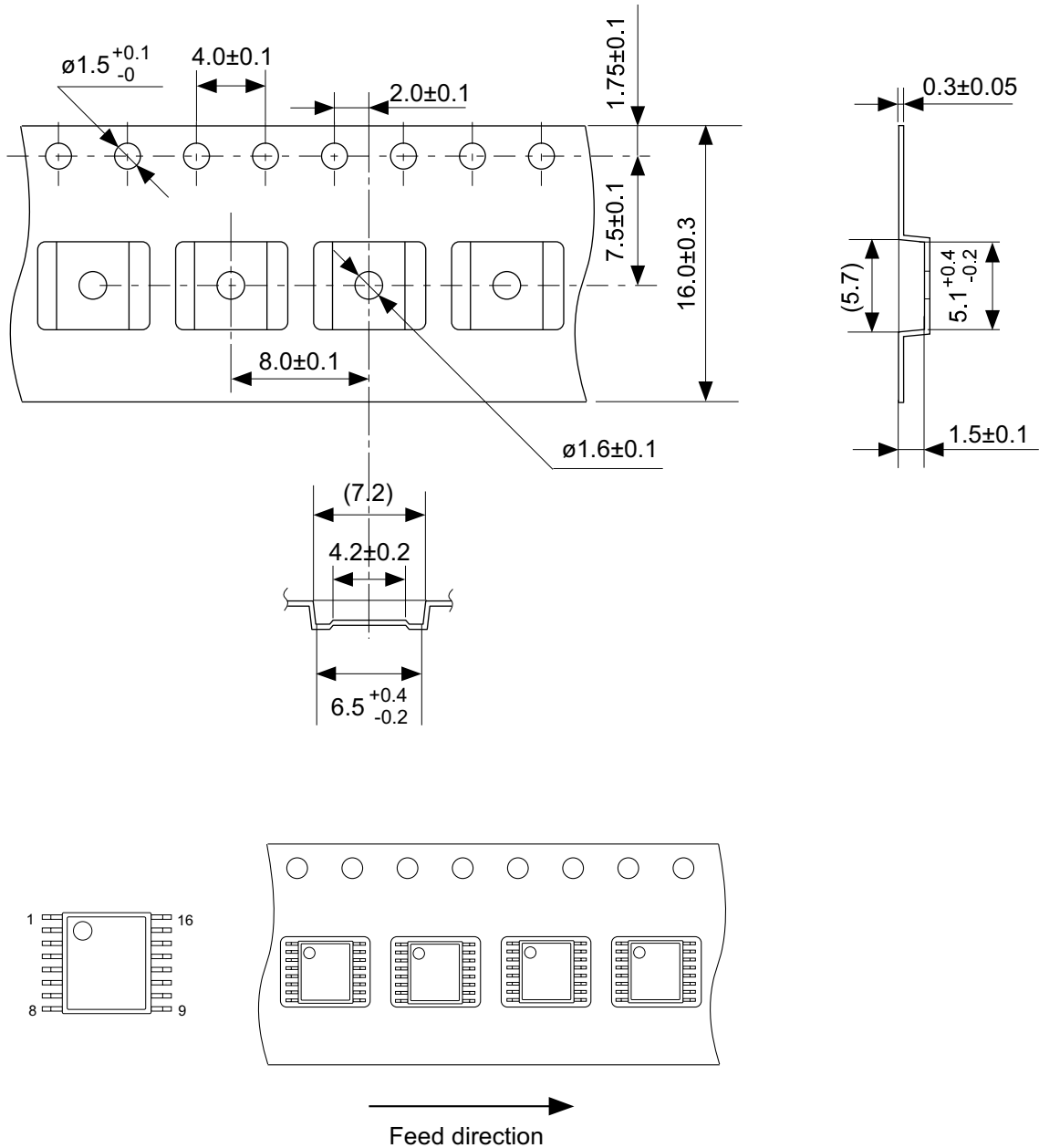
4. COP端子 / DOP端子

4.1 $I_{COH} - V_{COP}$ 4.2 $I_{COL} - V_{COP}$ 4.3 $I_{DOH} - V_{DOP}$ 4.4 $I_{DOL} - V_{DOP}$ 



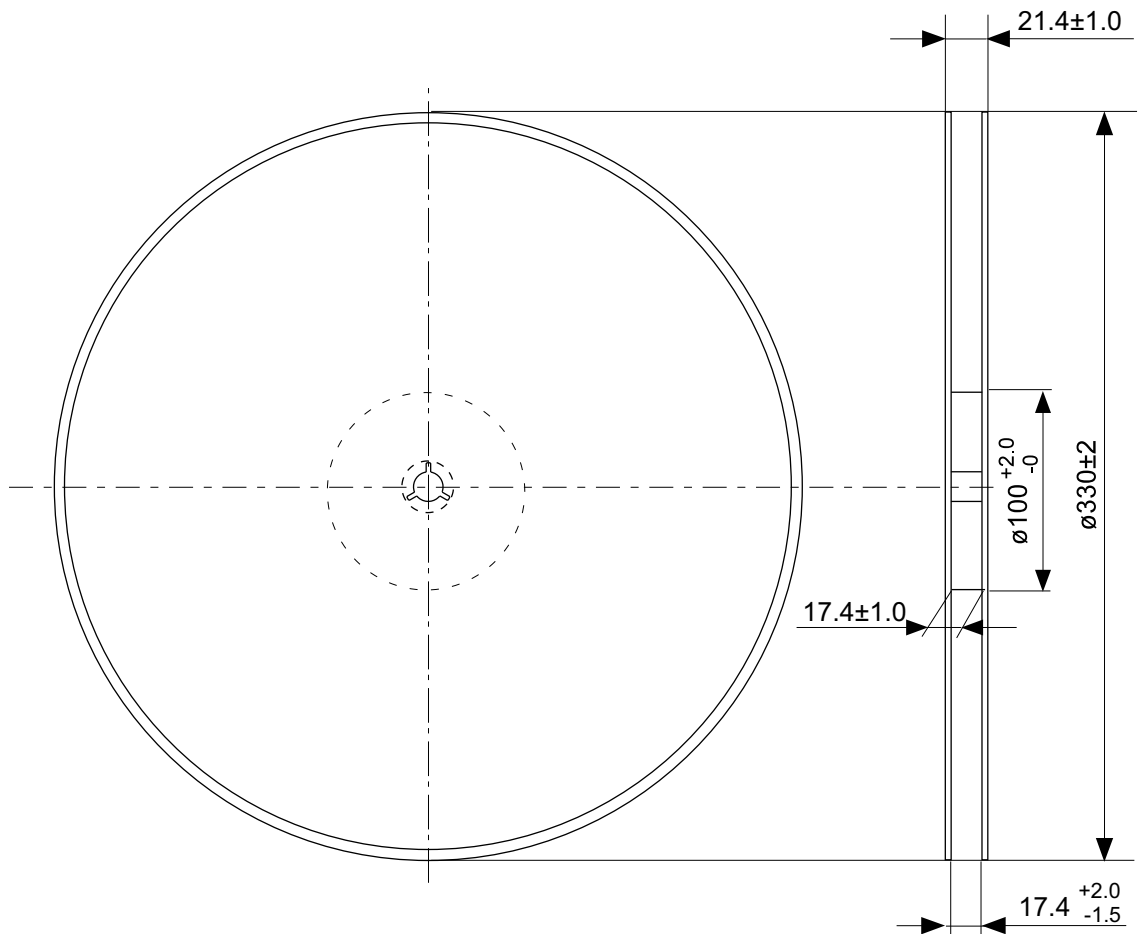
No. FT016-A-P-SD-1.2

TITLE	TSSOP16-A-PKG Dimensions
No.	FT016-A-P-SD-1.2
ANGLE	
UNIT	mm
ABLIC Inc.	

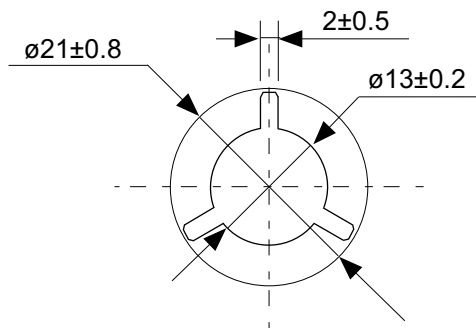


No. FT016-A-C-SD-1.1

TITLE	TSSOP16-A-Carrier Tape
No.	FT016-A-C-SD-1.1
ANGLE	
UNIT	mm
ABLIC Inc.	

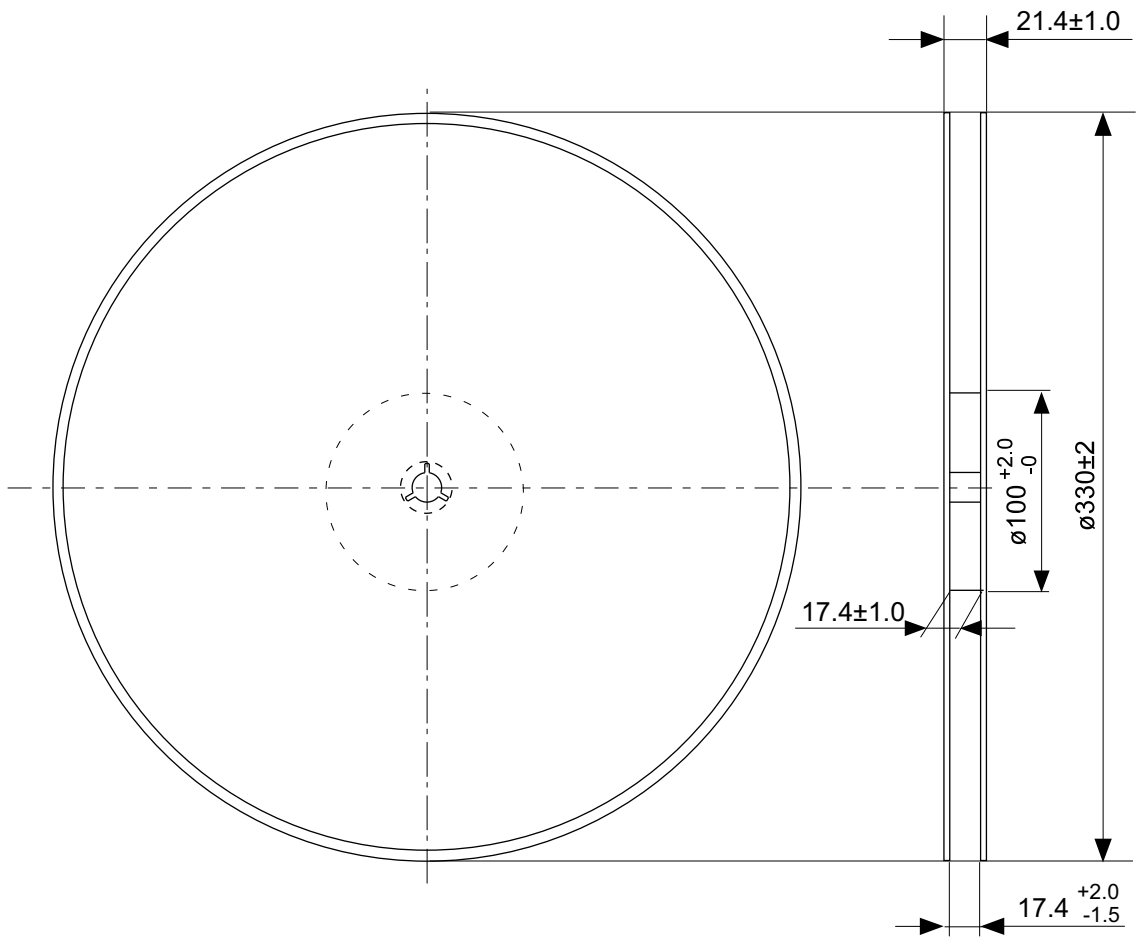


Enlarged drawing in the central part

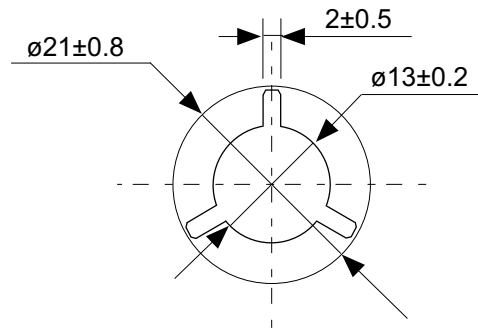


No. FT016-A-R-SD-2.0

TITLE	TSSOP16-A- Reel		
No.	FT016-A-R-SD-2.0		
ANGLE		QTY.	2,000
UNIT	mm		
ABLIC Inc.			



Enlarged drawing in the central part



No. FT016-A-R-S1-1.0

TITLE	TSSOP16-A- Reel		
No.	FT016-A-R-S1-1.0		
ANGLE		QTY.	4,000
UNIT	mm		
ABLIC Inc.			

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com