

本ICは、CMOS技術を使用して開発した、高精度電圧検出ICです。検出電圧、解除電圧は内部で固定され、精度は±2.0%です。

電源端子とは別に検出電圧入力端子 (SENSE端子) を備えているため、SENSE端子電圧 (V_{SENSE}) が0 Vまで低下しても出力が不定になりません。また、SENSE端子に逆接続保護回路を内蔵しているため、逆接続時のSENSE端子に流れる電流を抑えられます。

また、コンデンサを外付けすることで解除信号を遅延させることができ、解除遅延時間の精度は±20% ($C_D = 3.3 \text{ nF}$) です。出力形態はNchオープンドレイン出力です。

弊社では、お客様の機能安全設計をサポートするため、ご使用条件に合わせて算出したFIT値を提供しております。FIT値算出の実施については販売窓口までお問い合わせください。

注意 本製品は、車両機器、車載機器へのご使用が可能です。これらの用途でご使用をお考えの際は、必ず販売窓口までご相談ください。

■ 特長

- ・ 検出電圧 : 16.0 V ~ 18.0 V (0.1 Vステップ)
- ・ 検出電圧精度 : ±2.0%
- ・ ヒステリシス幅 "あり"、"なし" 選択可能 : "あり" : 5.0%, 10.0%
"なし" : 0%
- ・ 解除遅延時間精度 : ±20% ($C_D = 3.3 \text{ nF}$)
- ・ 消費電流 : 0.6 μA typ.
- ・ 出力形態 : Nchオープンドレイン出力
- ・ 逆接続保護回路を内蔵 : 逆接続時のSENSE端子に流れる電流を抑制
- ・ 動作電圧範囲 : 3.0 V ~ 36.0 V
- ・ 動作温度範囲 : $T_a = -40^\circ\text{C} \sim +150^\circ\text{C}$
- ・ 鉛フリー (Sn 100%)、ハロゲンフリー
- ・ 45 Vロードダンプ耐性あり
- ・ AEC-Q100対応*1

*1. 詳細は、販売窓口までお問い合わせください。

■ 用途

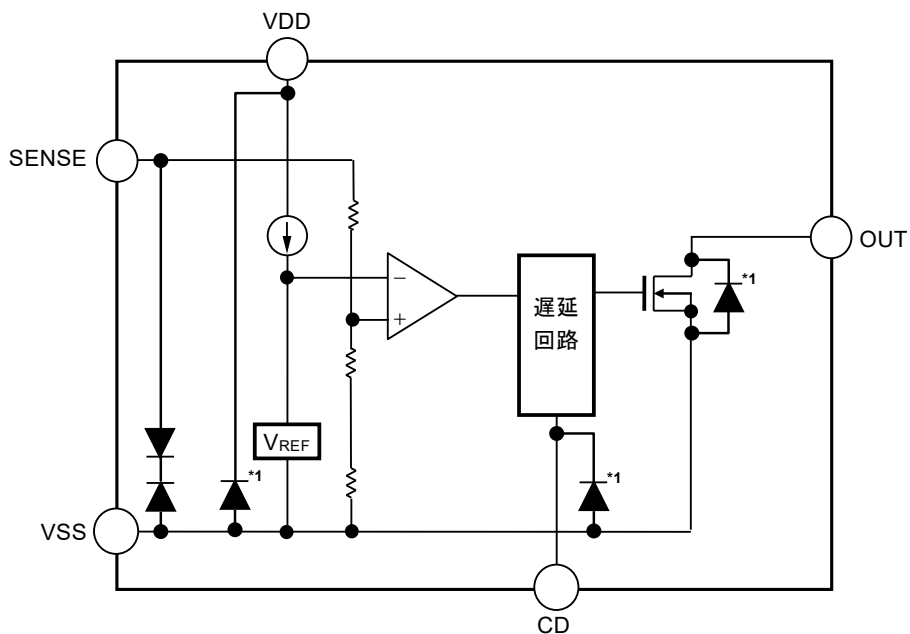
- ・ 車載バッテリー電圧検出
- ・ 車載用 (エンジン、トランスミッション、サスペンション、ABS、EV / HEV / PHEV関連機器等)

■ パッケージ

- ・ HTMSOP-8
- ・ HSNT-8(2030)
- ・ SOT-23-5

■ ブロック図

1. S-19115シリーズLタイプ

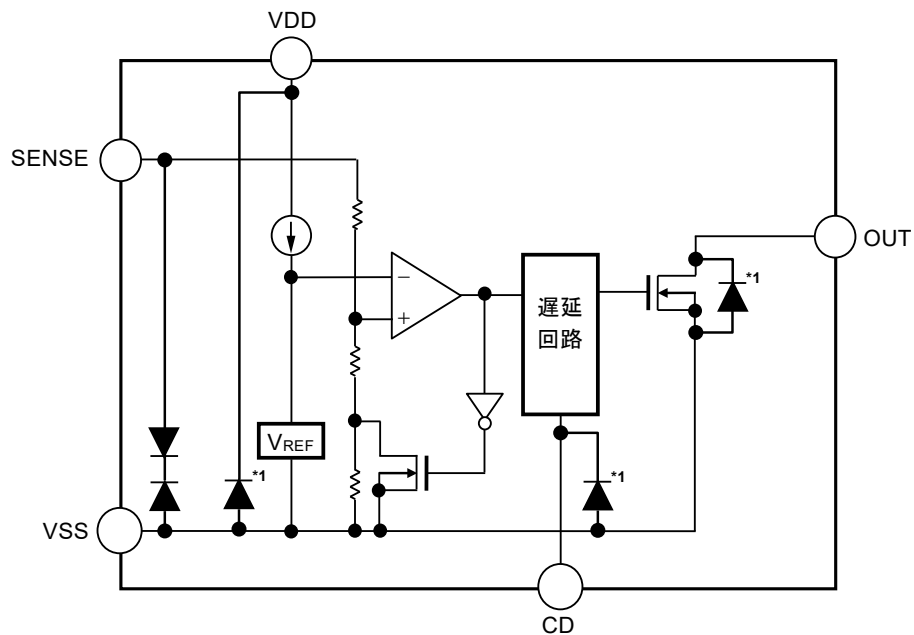


*1. 寄生ダイオード

図1

製品タイプ	ヒステリシス幅	出力形態	出力論理
Lタイプ	0%	Nchオープンドレイン出力	アクティブ "L"

2. S-19115シリーズM/Nタイプ



*1. 寄生ダイオード

図2

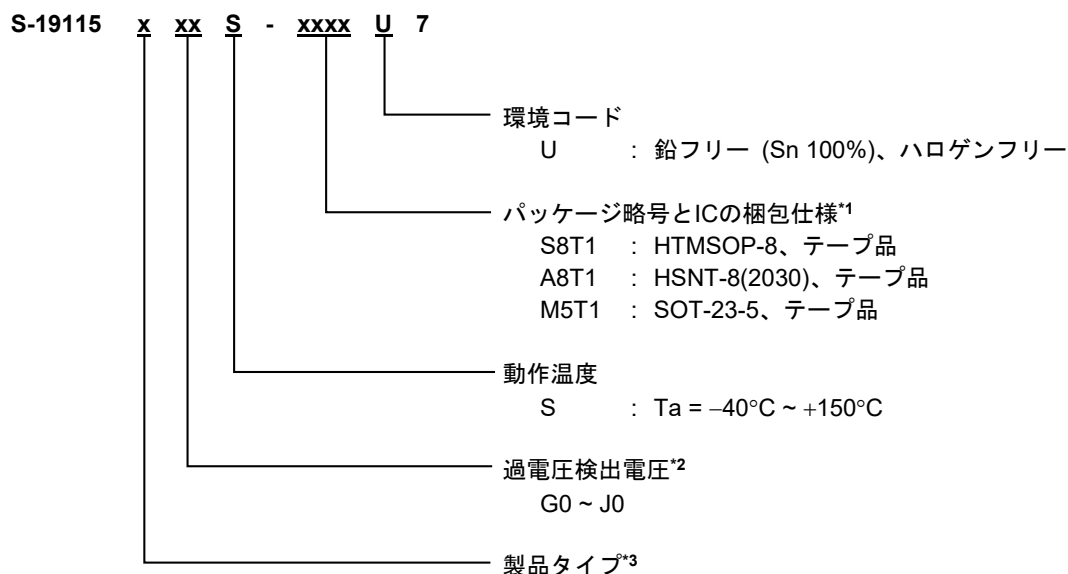
製品タイプ	ヒステリシス幅	出力形態	出力論理
Mタイプ	5.0%	Nchオープンドレイン出力	アクティブ "L"
Nタイプ	10.0%	Nchオープンドレイン出力	アクティブ "L"

■ AEC-Q100対応

本ICはAEC-Q100の動作温度グレード0に対応しています。
AEC-Q100の信頼性試験の詳細については、販売窓口までお問い合わせください。

■ 品目コードの構成

1. 製品名



- *1. テープ図面を参照してください。
- *2. 過電圧検出電圧については、表1を参照してください。
- *3. "2. 製品タイプ機能別一覧" を参照してください。

表1

過電圧検出電圧	記号	過電圧検出電圧	記号	過電圧検出電圧	記号
16.0 V	G0	16.7 V	G7	17.4 V	H4
16.1 V	G1	16.8 V	G8	17.5 V	H5
16.2 V	G2	16.9 V	G9	17.6 V	H6
16.3 V	G3	17.0 V	H0	17.7 V	H7
16.4 V	G4	17.1 V	H1	17.8 V	H8
16.5 V	G5	17.2 V	H2	17.9 V	H9
16.6 V	G6	17.3 V	H3	18.0 V	J0

2. 製品タイプ機能別一覧

表2

製品タイプ	ヒステリシス幅	出力形態	出力論理
Lタイプ	0%	Nchオープンドレイン出力	アクティブ "L"
Mタイプ	5.0%	Nchオープンドレイン出力	アクティブ "L"
Nタイプ	10.0%	Nchオープンドレイン出力	アクティブ "L"

3. パッケージ

表3 パッケージ図面コード

パッケージ名	外形寸法図面	テープ図面	リール図面	ランド図面
HTMSOP-8	FP008-A-P-SD	FP008-A-C-SD	FP008-A-R-SD	FP008-A-L-SD
HSNT-8(2030)	PP008-A-P-SD	PP008-A-C-SD	PP008-A-R-SD	PP008-A-L-SD
SOT-23-5	MP005-A-P-SD	MP005-A-C-SD	MP005-A-R-SD	-

■ ピン配置図

1. HTMSOP-8

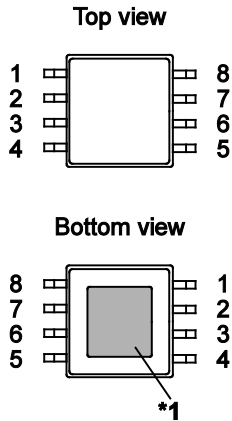


図3

- *1. 網掛け部分の裏面放熱板は、基板に接続し電位をGNDとしてください。
ただし、電極としての機能には使用しないでください。
- *2. NCは電氣的にオープンを示します。
そのため、VDD端子またはVSS端子に接続しても問題ありません。
- *3. CD端子 - VSS端子間にコンデンサを接続します。その容量により、解除遅延時間を調整できます。

表4

端子番号	端子記号	端子内容
1	NC*2	無接続
2	VDD	電圧入力端子
3	NC*2	無接続
4	SENSE	検出電圧入力端子
5	CD*3	解除遅延時間調整コンデンサ接続端子
6	VSS	GND端子
7	OUT	電圧検出出力端子
8	NC*2	無接続

2. HSNT-8(2030)

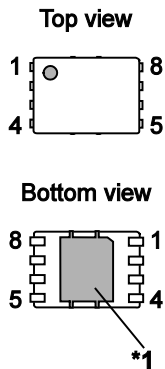


図4

- *1. 網掛け部分の裏面放熱板は、基板に接続し電位をGNDとしてください。
ただし、電極としての機能には使用しないでください。
- *2. NCは電氣的にオープンを示します。
そのため、VDD端子またはVSS端子に接続しても問題ありません。
- *3. CD端子 - VSS端子間にコンデンサを接続します。その容量により、解除遅延時間を調整できます。

表5

端子番号	端子記号	端子内容
1	NC*2	無接続
2	VDD	電圧入力端子
3	NC*2	無接続
4	SENSE	検出電圧入力端子
5	CD*3	解除遅延時間調整コンデンサ接続端子
6	VSS	GND端子
7	OUT	電圧検出出力端子
8	NC*2	無接続

3. SOT-23-5

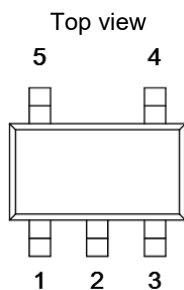


図5

表6

端子番号	端子記号	端子内容
1	OUT	電圧検出出力端子
2	VSS	GND端子
3	CD*1	解除遅延用コンデンサ接続端子
4	SENSE	検出電圧入力端子
5	VDD	電圧入力端子

*1. CD端子 - VSS端子間にコンデンサを接続します。その容量により、解除遅延時間を調整できます。

■ 絶対最大定格

表7

(特記なき場合 : Ta = -40°C ~ +150°C)

項目	記号	絶対最大定格	単位
電源電圧	V _{DD}	V _{SS} - 0.3 ~ V _{SS} + 45.0	V
SENSE端子電圧	V _{SENSE}	V _{SS} - 30.0 ~ V _{SS} + 45.0	V
CD端子入力電圧	V _{CD}	V _{SS} - 0.3 ~ V _{DD} + 0.3 ≤ V _{SS} + 7.0	V
出力電圧	V _{OUT}	V _{SS} - 0.3 ~ V _{SS} + 45.0	V
出力電流	I _{OUT}	25	mA
ジャンクション温度	T _j	-40 ~ +150	°C
動作周囲温度	T _{opr}	-40 ~ +150	°C
保存温度	T _{stg}	-40 ~ +150	°C

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 熱抵抗値

表8

項目	記号	条件	Min.	Typ.	Max.	単位	
ジャンクション温度 - 周囲温度間 熱抵抗値*1	θ _{JA}	HTMSOP-8	Board A	-	159	-	°C/W
			Board B	-	113	-	°C/W
			Board C	-	39	-	°C/W
			Board D	-	40	-	°C/W
			Board E	-	30	-	°C/W
		HSNT-8(2030)	Board A	-	181	-	°C/W
			Board B	-	135	-	°C/W
			Board C	-	40	-	°C/W
			Board D	-	42	-	°C/W
			Board E	-	32	-	°C/W
		SOT-23-5	Board A	-	192	-	°C/W
			Board B	-	160	-	°C/W
			Board C	-	-	-	°C/W
			Board D	-	-	-	°C/W
			Board E	-	-	-	°C/W

*1. 測定環境 : JEDEC STANDARD JESD51-2A準拠

備考 詳細については、"■ Power Dissipation"、"Test Board" を参照してください。

■ 電気的特性

表9

(特記なき場合 : Ta = -40°C ~ +150°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
検出電圧*1	V _{DET}	V _{DD} = 13.5 V, 16.0 V ≤ V _{DET(S)} ≤ 18.0 V	V _{DET(S)} × 0.98	V _{DET(S)}	V _{DET(S)} × 1.02	V	1
ヒステリシス幅*2	V _{HYS}	Lタイプ (V _{HYS} = 0%)	-	V _{DET} × 0.00	-	V	1
		Mタイプ (V _{HYS} = 5.0%)	V _{DET} × 0.04	V _{DET} × 0.05	V _{DET} × 0.06	V	1
		Nタイプ (V _{HYS} = 10.0%)	V _{DET} × 0.09	V _{DET} × 0.10	V _{DET} × 0.11	V	1
消費電流	I _{SS1}	V _{DD} = 13.5 V, V _{SENSE} = 13.5 V	-	0.6	2.4	μA	4
動作電圧	V _{DD}	-	3.0	-	36.0	V	1
出力電流	I _{OUT}	OUT端子Nchドライバ, V _{DD} = 3.0 V, V _{DS} *3 = 0.1 V, V _{SENSE} = V _{DET(S)} + 1 V	0.60	-	-	mA	2
リーク電流	I _{LEAK}	OUT端子Nchドライバ, V _{DD} = 36 V, V _{OUT} = 36 V, V _{SENSE} = 13.5 V	-	-	2.0	μA	2
検出応答時間*4	t _{RESET}	-	-	80	200	μs	3
解除遅延時間*5	t _{DELAY}	C _D = 3.3 nF	8.0	10.0	12.0	ms	3
SENSE端子抵抗	R _{SENSE}	-	6.8	-	200	MΩ	4
CD端子ディスチャージオン抵抗	R _{CD}	V _{DD} = 3.0 V, V _{CD} = 0.7 V	0.15	-	0.90	kΩ	-

*1. V_{DET}: 実際の検出電圧値、V_{DET(S)}: 設定検出電圧値

*2. 解除電圧 (V_{REL}) は下記のようになります。

Lタイプ (ヒステリシス幅 "なし"):

$$V_{REL} = V_{DET}$$

M/Nタイプ (ヒステリシス幅 "あり"):

$$V_{REL} = V_{DET} - V_{HYS}$$

*3. V_{DS}: 出力トランジスタのドレイン - ソース間電圧

*4. V_{SENSE}が一度解除電圧に達した後、SENSE端子にV_{DET(S)} - 1.0 V → V_{DET(S)} + 1.0 Vのパルス電圧を印加してから、V_{OUT}がV_{DD}の50%に達するまでの時間です。

*5. V_{REL(S)}: 設定解除電圧値

SENSE端子にV_{REL(S)} + 1.0 V → V_{REL(S)} - 1.0 Vのパルス電圧を印加してから、V_{OUT}がV_{DD}の50%に達するまでの時間です。

■ 測定回路

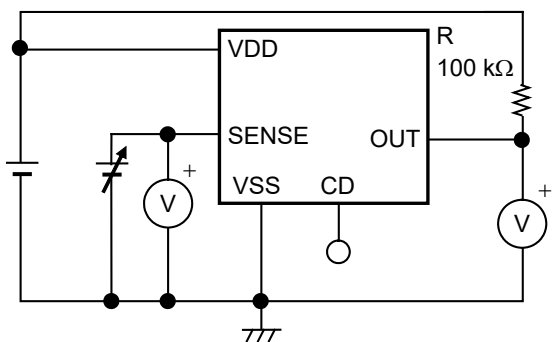


図6 測定回路1

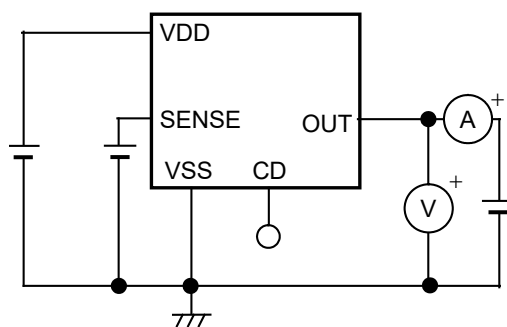


図7 測定回路2

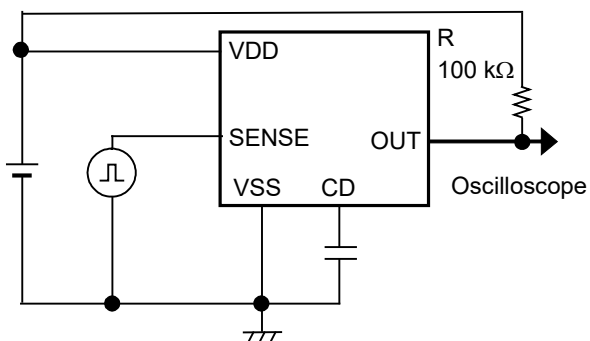


図8 測定回路3

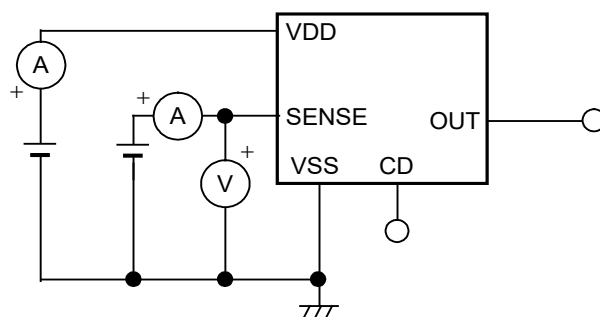
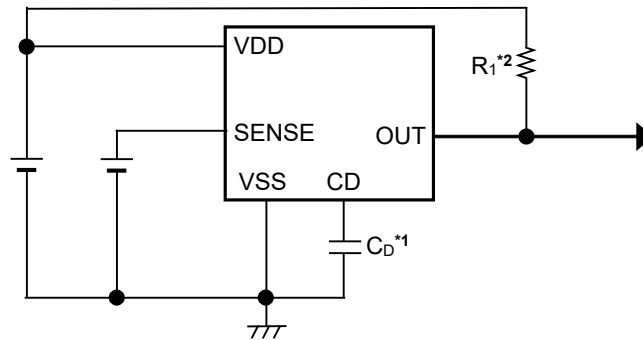


図9 測定回路4

■ 標準回路



- *1. C_D は解除遅延時間調整コンデンサです。CD端子とVSS端子に直接接続してください。
- *2. R_1 は出力端子の外部プルアップ抵抗です。

図10

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで温度特性を含めた十分な評価を行い、定数を設定してください。

■ 使用条件

解除遅延時間調整コンデンサ (C_D) : 1.0 nF以上のセラミックコンデンサを推奨

■ 解除遅延時間調整コンデンサ (C_D) の選定

本ICでは、ディテクタの解除遅延時間 (t_{DELAY}) を調整するためにCD端子 - VSS端子間に解除遅延時間調整コンデンサ (C_D) が必要です。詳細は、"■ 動作説明"、"1.4 遅延回路" を参照してください。

注意 実際のアプリケーションで温度特性を含めた十分な評価を行い、 C_D を選定してください。

■ 用語の説明

1. 検出電圧 (V_{DET})

検出電圧とは、**図13**の出力電圧が "L" に切り換わるときのSENSE端子の電圧です。この検出電圧は同じ製品であっても多少のバラツキがあり、そのバラツキによる検出電圧の最小値から最大値までを検出電圧範囲といいます ("**図11 検出電圧**" 参照)。

例 : $V_{DET} = 16.0$ Vの場合、検出電圧は $15.680 \text{ V} \leq V_{DET} \leq 16.320 \text{ V}$ の範囲内の一点です。
つまり、 $V_{DET} = 15.680$ Vの製品もあれば、 $V_{DET} = 16.320$ Vの製品も存在します。

2. 解除電圧 (V_{REL})

解除電圧とは、**図13**の出力電圧が "H" に切り換わるときのSENSE端子の電圧です。この解除電圧は同じ製品であっても多少のバラツキがあり、そのバラツキによる解除電圧の最小値から最大値までを解除電圧範囲といいます ("**図12 解除電圧**" 参照)。

解除電圧は、検出電圧との差が下記に示す範囲内となります。

- ・ Mタイプ : 4% ~ 6% (5% typ.)
- ・ Nタイプ : 9% ~ 11% (10% typ.)

例 : Nタイプ、 $V_{DET} = 16.0$ Vの場合、 $V_{REL} = 14.400$ V typ.ですが、解除電圧は $13.955 \text{ V} \leq V_{REL} \leq 14.852 \text{ V}$ の範囲内の一点です。
つまり、 $V_{REL} = 13.955$ Vの製品もあれば、 $V_{REL} = 14.852$ Vの製品も存在します。

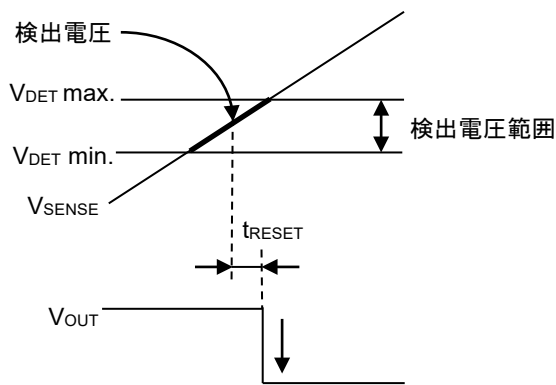


図11 検出電圧

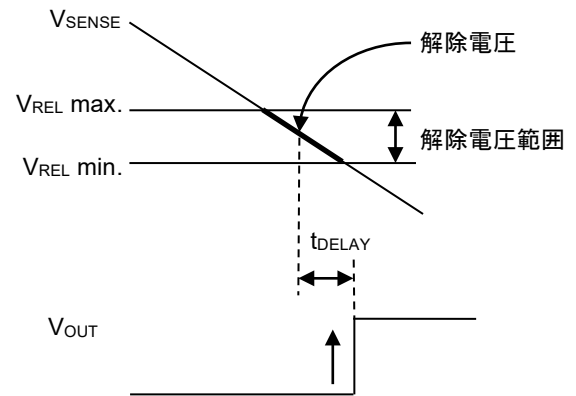


図12 解除電圧

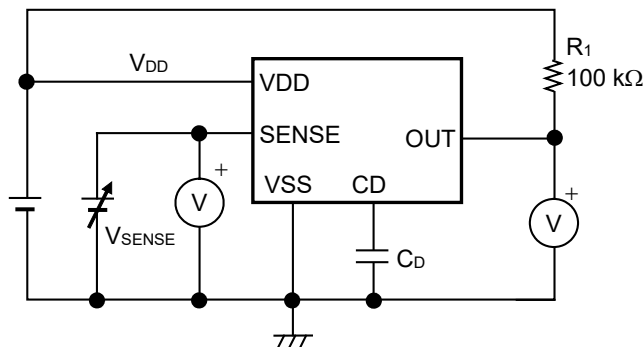


図13 検出電圧、解除電圧の測定回路

3. ヒステリシス幅 (V_{HYS})

ヒステリシス幅とは、検出電圧 (V_{DET}) と解除電圧 (V_{REL}) との電圧差を表しています。 $V_{DET} - V_{REL}$ がOUT端子のヒステリシス幅 (V_{HYS}^{*1}) になります。 V_{DET} と V_{REL} との間にヒステリシス幅をもたせることにより、入力電圧にノイズ等が乗るときに生じる誤動作を防止できます。

*1. 詳細は、「■動作説明」、「1.2 S-19115シリーズM/Nタイプ」を参照してください。

4. 貫通電流

貫通電流とは、ディテクタの検出および解除時にVDD端子に瞬間的に流れる電流です。

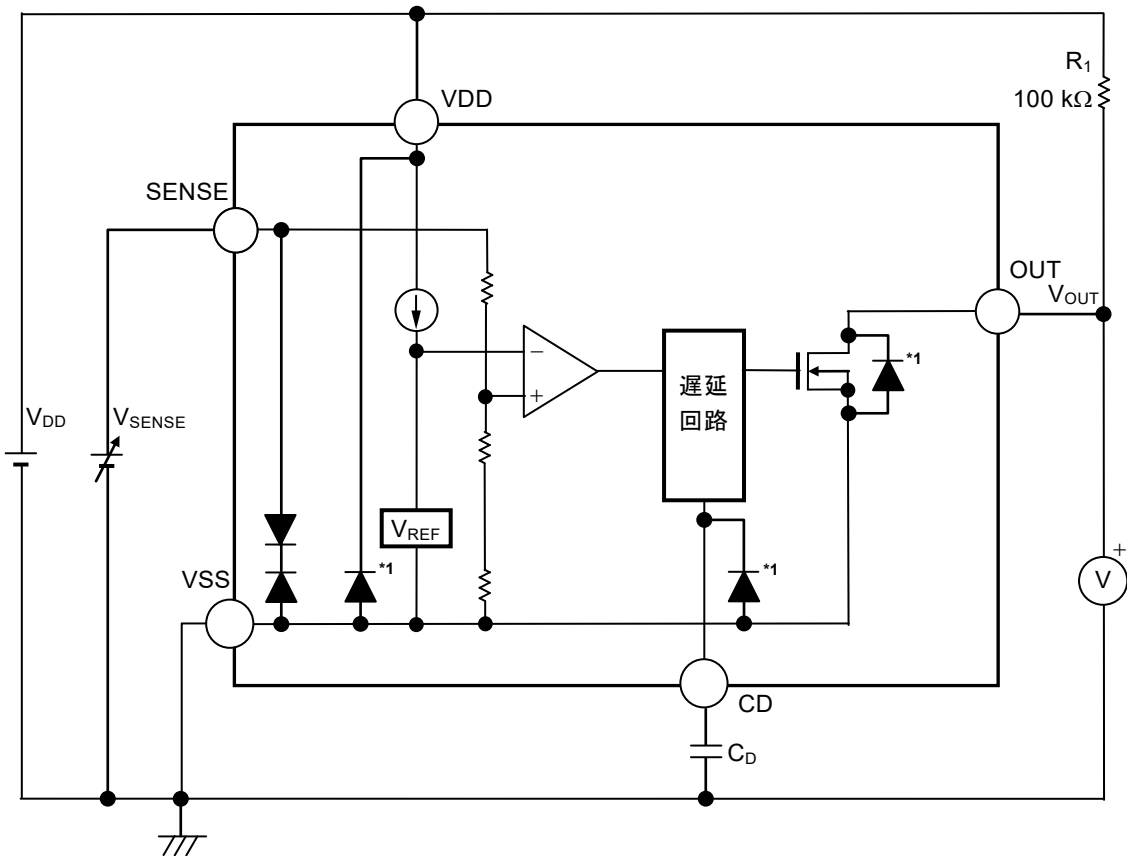
■ 動作説明

1. 基本動作

図14、図16のように、抵抗 (R_1) を介してOUT端子をプルアップしている場合を例に、ディテクタ部の基本動作を示します。

1.1 S-19115シリーズLタイプ

- (1) 解除状態 → 検出状態
 SENSE端子電圧 (V_{SENSE}) が上昇し検出電圧 (V_{DET}) を越えると、検出応答時間 (t_{RESET}) 後にOUT端子の出力は "L" になります。
- (2) 検出状態 → 解除状態
 V_{SENSE} が下降し解除電圧 ($V_{REL} = V_{DET}$) を下回ると、解除遅延時間 (t_{DELAY}) 後にOUT端子の出力は "H" になります。



*1. 寄生ダイオード

図14 S-19115シリーズLタイプの動作説明図

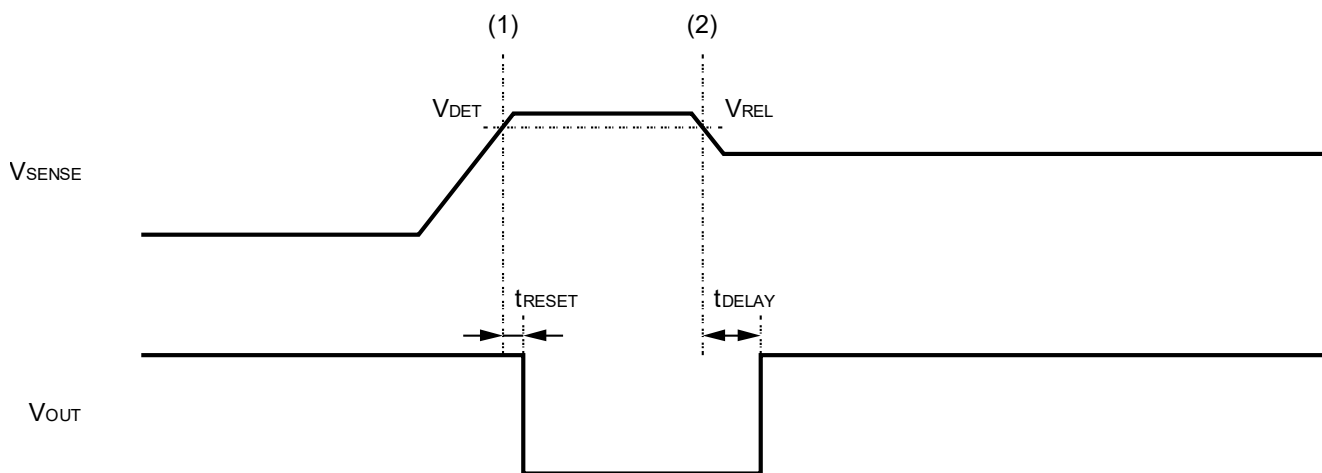
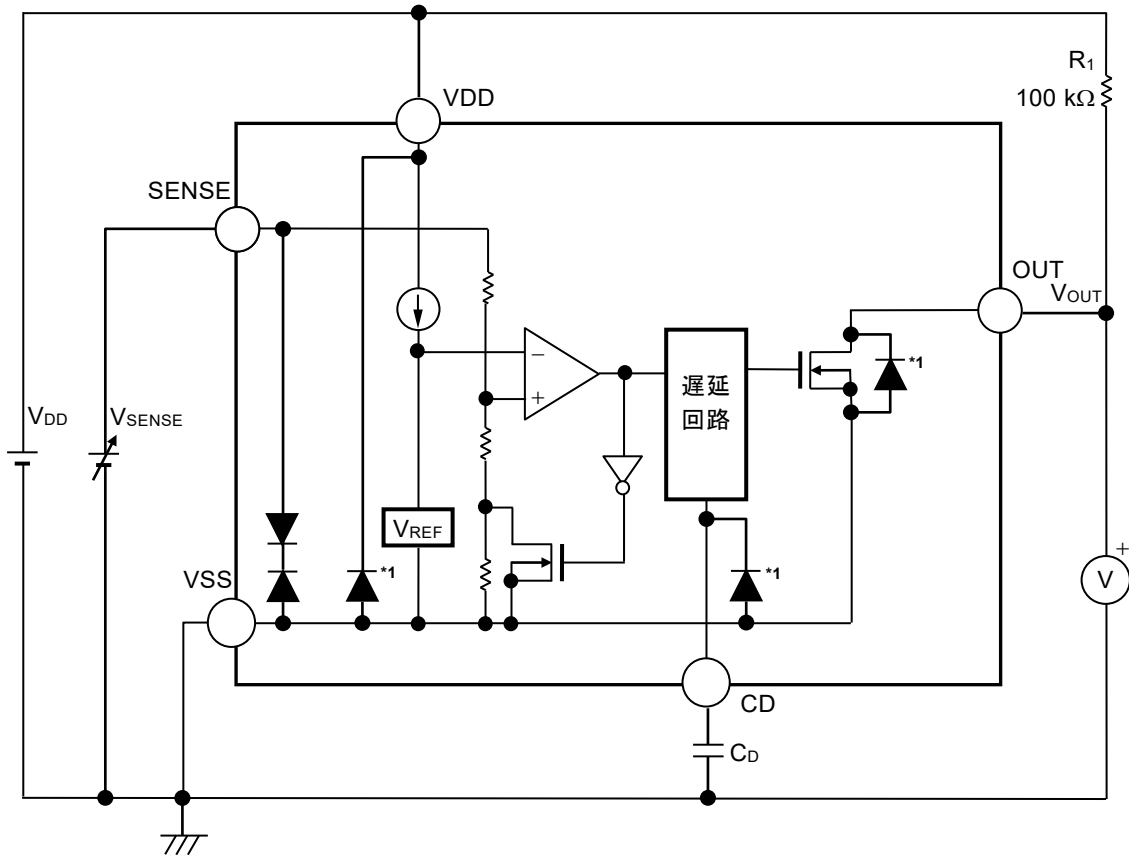


図15 S-19115シリーズLタイプのタイミングチャート

1.2 S-19115シリーズM/Nタイプ

- (1) 解除状態 → 検出状態
 SENSE端子電圧 (V_{SENSE}) が上昇し検出電圧 (V_{DET}) を越えると、検出応答時間 (t_{RESET}) 後にOUT端子の出力は "L" になります。
- (2) 検出状態 → 解除状態
 V_{SENSE} が下降し解除電圧 ($V_{REL} = V_{DET} - V_{HYS}$) を下回ると、解除遅延時間 (t_{DELAY}) 後にOUT端子の出力は "H" になります。



*1. 寄生ダイオード

図16 S-19115シリーズM/Nタイプの動作説明図

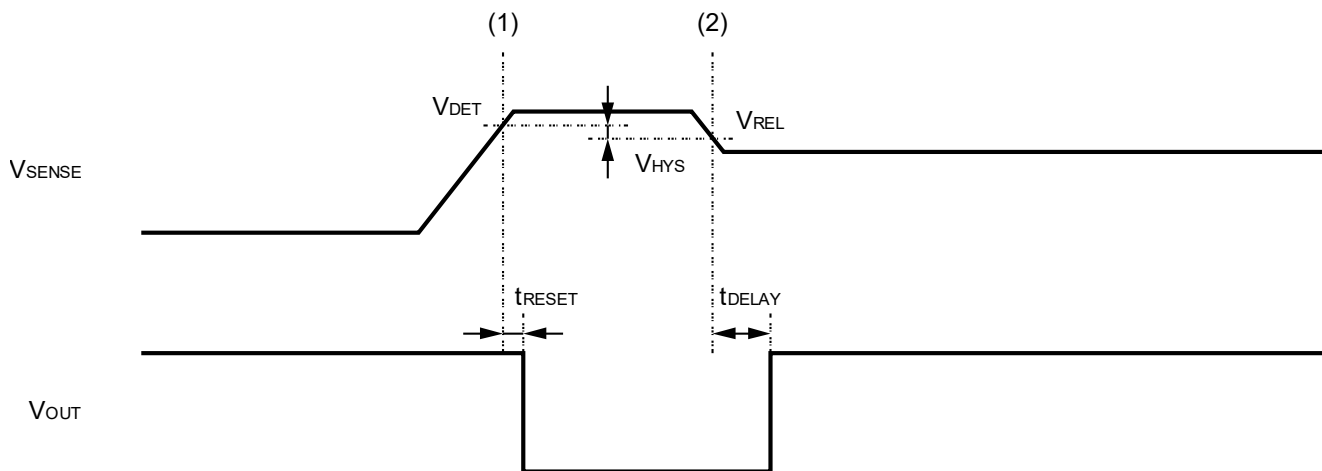


図17 S-19115シリーズM/Nタイプのタイミングチャート

1.3 SENSE端子

SENSE端子は、検出電圧の入力端子です。電源のVDD端子と電圧検出用のSENSE端子を分けているため、VDD端子へ電圧が供給されていれば、SENSE端子への入力電圧が最低動作電圧を下回っても解除信号を保持できます。また、本ICのSENSE端子には、逆接続保護回路を内蔵しています。SENSE端子電圧<VSS端子電圧となる場合でも、VSS端子からSENSE端子に流れる電流を0.05 mA typ.に抑えられます。

1.3.1 検出電圧外部設定時の誤差

図18のように抵抗 (R_A) と抵抗 (R_B) で分圧したノードをSENSE端子に接続することにより、検出電圧を外部設定できます。

SENSE端子がない従来の製品では、分圧ノードをVDD端子に接続する必要があるため、外付け抵抗をあまり大きくできません。VDD端子には検出 / 解除の切り換え時に貫通電流が流れ、外付け抵抗が大きい場合、発振するまたはヒステリシス幅の誤差が大きくなるなどの問題が発生しやすいためです。

本ICでは、貫通電流が流れないSENSE端子に分圧ノードを接続できるため、図18の R_A 、 R_B を大きくしやすくなっています。ただし、内部の抵抗 (R_{SENSE}) に流れる電流分の誤差は生じますので注意してください。

本ICはこの誤差も小さくなるように R_{SENSE}^{*1} を大きくしていますが、許容範囲内の誤差に収まるように R_A 、 R_B を選定してください。

*1. 6.8 M Ω min.

1.3.2 R_A、R_Bの選定

図18において、外部設定の検出電圧 (V_{DX}) と実際の検出電圧 (V_{DET}) の関係式は、理想的には下式のようになります。

$$V_{DX} = V_{DET} \times \left(1 + \frac{R_A}{R_B}\right) \dots\dots\dots(1)$$

しかし実際には、R_{SENSE}に流れる電流分の誤差が生じます。
 この誤差を考慮した場合、V_{DX}とV_{DET}の関係式は下式のようになります。

$$\begin{aligned} V_{DX} &= V_{DET} \times \left(1 + \frac{R_A}{R_B \parallel R_{SENSE}}\right) \\ &= V_{DET} \times \left(1 + \frac{R_A}{\frac{R_B \times R_{SENSE}}{R_B + R_{SENSE}}}\right) \\ &= V_{DET} \times \left(1 + \frac{R_A}{R_B}\right) + \frac{R_A}{R_{SENSE}} \times V_{DET} \dots\dots\dots(2) \end{aligned}$$

(1)、(2) の式から、誤差は $V_{DET} \times \frac{R_A}{R_{SENSE}}$ となります。
 誤差を (1) の式の右辺で割った誤差率は、下式のようになります。

$$\frac{R_A \times R_B}{R_{SENSE} \times (R_A + R_B)} \times 100 [\%] = \frac{R_A \parallel R_B}{R_{SENSE}} \times 100 [\%] \dots\dots(3)$$

(3) の式から、R_AとR_Bの抵抗値がR_{SENSE}に対して小さいほど、誤差率は小さくなります。

また、外部設定のヒステリシス幅 (V_{HX}) とヒステリシス幅 (V_{HYS}) の関係式は下式のようになります。これにも、検出電圧と同様にR_{SENSE}による誤差が生じます。

$$V_{HX} = V_{HYS} \times \left(1 + \frac{R_A}{R_B}\right) \dots\dots\dots(4)$$

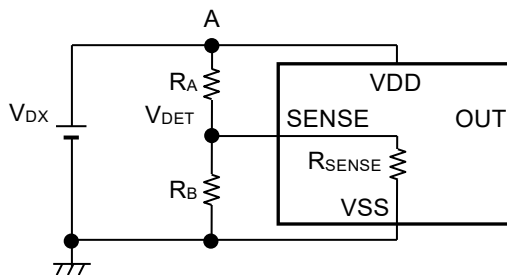


図18 検出電圧外部設定回路

注意 R_A, R_Bが大きいとSENSE端子の入カインピーダンスが高くなり、ノイズによって誤動作する可能性があります。その場合は、SENSE端子 - VSS端子間にコンデンサを接続してください。

1.4 遅延回路

遅延回路は、SENSE端子電圧 (V_{SENSE}) が解除電圧 ($V_{REL} = V_{DET} - V_{HYS}$) 以下になってからOUT端子出力が反転するまでの解除遅延時間 (t_{DELAY}) を調整する機能を持っています。

t_{DELAY} は、遅延係数、解除遅延時間調整コンデンサ (C_D)、CD端子オープン時解除遅延時間 (t_{DELAY0})で決まり、次式で算出されます。

$$t_{DELAY} [\text{ms}] = \text{遅延係数} \times C_D [\text{nF}] + t_{DELAY0} [\text{ms}]$$

表10

動作温度	遅延係数		
	Min.	Typ.	Max.
Ta = +150°C	2.52	3.00	3.58
Ta = +125°C	2.65	3.03	3.41
Ta = +25°C	2.92	3.06	3.14
Ta = -40°C	2.65	3.09	3.41

表11

動作温度	CD端子オープン時解除遅延時間 (t_{DELAY0})		
	Min.	Typ.	Max.
Ta = +150°C	0.05	0.09	0.16
Ta = +125°C	0.05	0.09	0.17
Ta = +25°C	0.06	0.11	0.19
Ta = -40°C	0.06	0.13	0.25

- 注意 1. CD端子のインピーダンスは高いので、この端子に外部より電流が流れ込んだり、また流れ出したりしないように実装基板をレイアウトしてください (正確な遅延時間が得られないことがあります)。
2. C_D はコンデンサ自身のリーク電流が内蔵定電流値 (約160 nA) に対して無視できるものを選べば容量に制限はありません。リーク電流があると、遅延時間に誤差が発生します。また、内蔵定電流以上のリーク電流があると検出、解除しなくなります。
3. 上記計算式は、動作を保証するものではありません。 C_D の容量は実際の使用条件において、温度特性を含めた十分な評価を行い決定してください。

■ 使用上の注意

1. 電源投入手順

下記の2種類のいずれかの手順で電源投入してください。

- (1) VDD端子、SENSE端子の順番 (図19参照)
- (2) VDD端子、SENSE端子同時

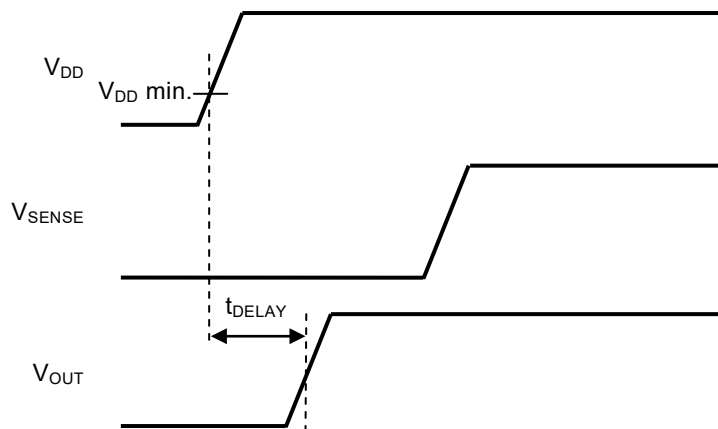


図19

注意 SENSE端子、VDD端子の順番に電源投入した場合、 $V_{SENSE} < V_{DET}$ であっても、誤って検出状態になることがあります。

2. SENSE端子電圧のグリッチ (Typicalデータ)

2.1 検出動作

解除状態でSENSE端子に検出電圧 (V_{DET}) 以上のパルスを入力したとき、解除状態を保持できるパルス幅とパルス電圧差 (V_{OD}) の関係を図20に示します。

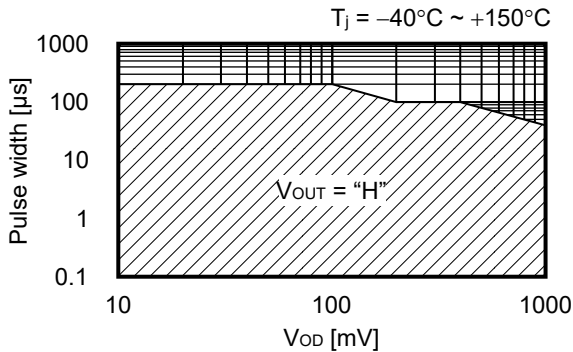
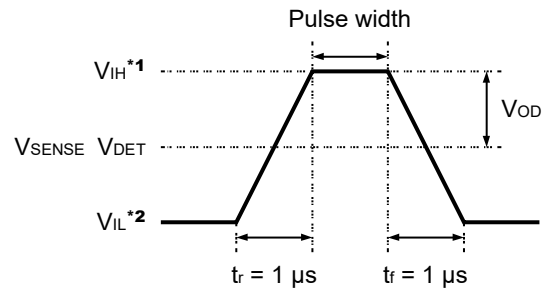


図20



*1. $V_{IH} = V_{DET} + V_{OD}$

*2. $V_{IL} = 13.5 \text{ V}$

図21 SENSE端子入力電圧波形

注意 図20は、解除状態を保持できるパルス条件を示しています。その条件よりもパルス幅、 V_{OD} の大きいパルスをSENSE端子に入力すると、OUT端子が検出状態になる場合があります。

2.2 解除動作

検出状態でSENSE端子に解除電圧 (V_{REL}) 以下のパルスを入力したとき、検出状態を保持できるパルス幅とパルス電圧差 (V_{OD}) の関係を図22に示します。

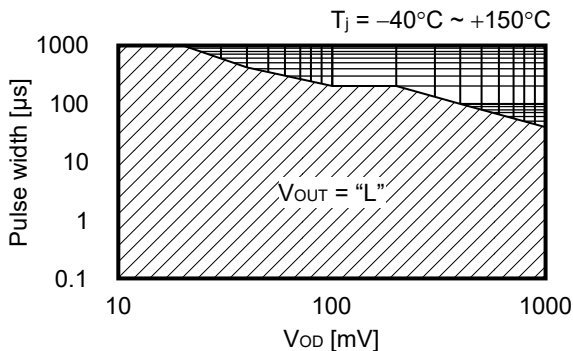
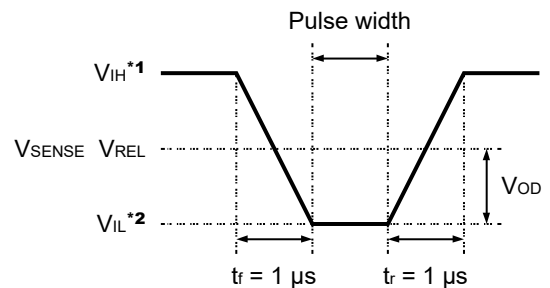


図22



*1. $V_{IH} = V_{DET} + 1.0 \text{ V}$

*2. $V_{IL} = V_{REL} - V_{OD}$

図23 SENSE端子入力電圧波形

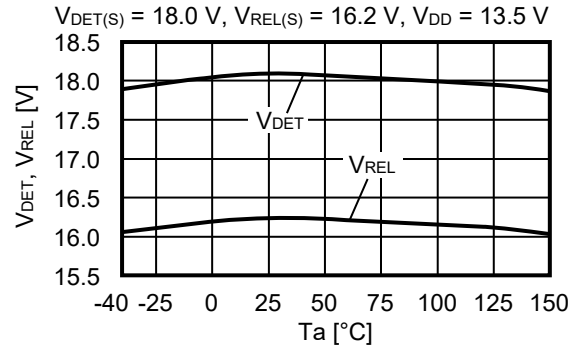
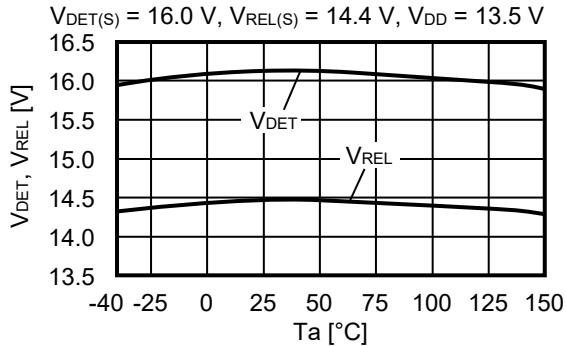
注意 図22は、検出状態を保持できるパルス条件を示しています。その条件よりもパルス幅、 V_{OD} の大きいパルスをSENSE端子に入力すると、OUT端子が解除状態になる場合があります。

■ 注意事項

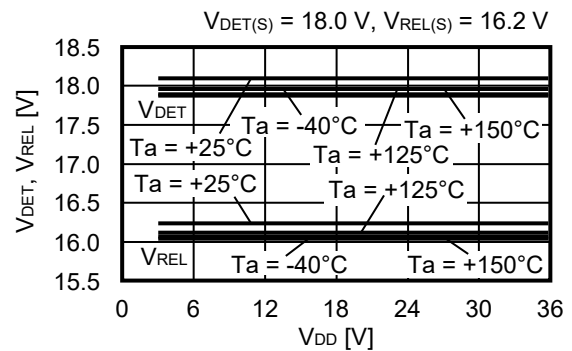
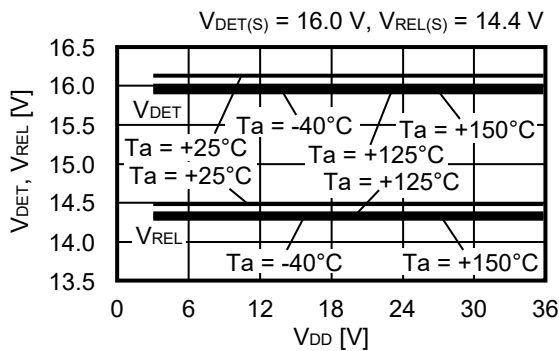
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ SENSE端子はインピーダンスが高いため、ノイズによって誤動作することがあります。実際のアプリケーションでは、SENSE端子の配線と併走する配線に注意してください。
- ・ 本資料に掲載の応用回路を量産設計に用いる場合は、部品の偏差、温度特性に注意してください。また、掲載回路に関する特許については、弊社ではその責を負いかねます。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

■ 諸特性データ (Typicalデータ)

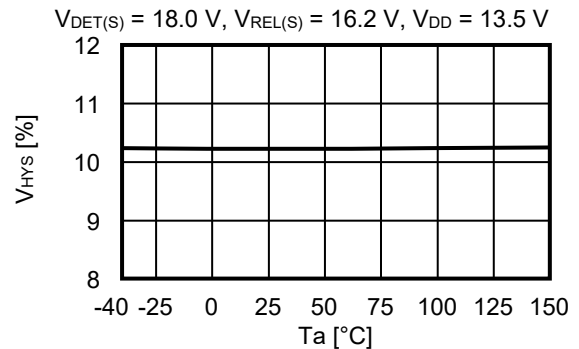
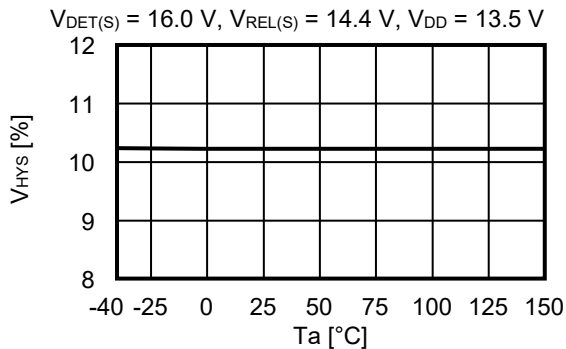
1. 検出電圧 (V_{DET}), 解除電圧 (V_{REL}) – 温度 (T_a)



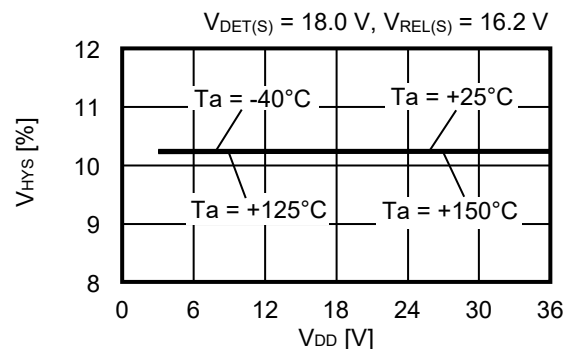
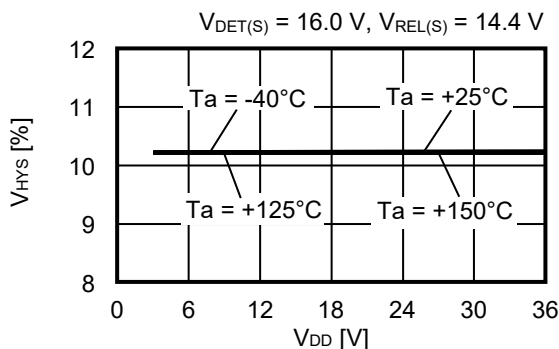
2. 検出電圧 (V_{DET}), 解除電圧 (V_{REL}) – 電源電圧 (V_{DD})



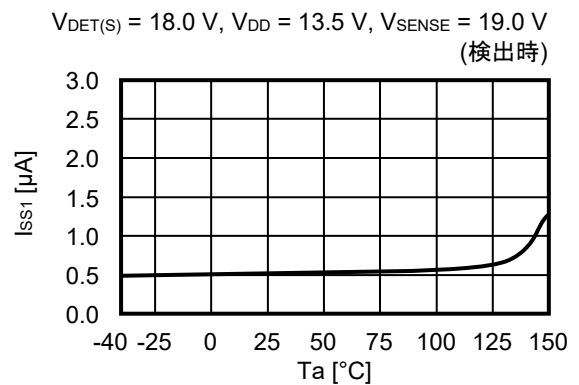
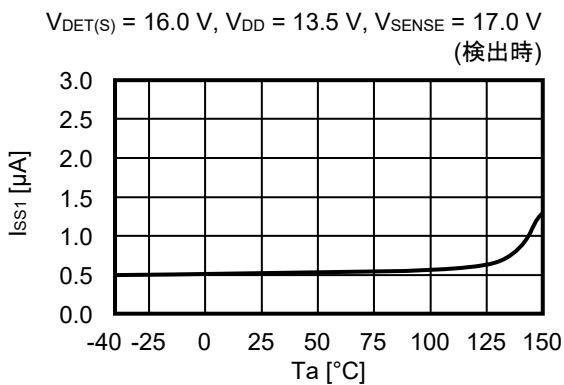
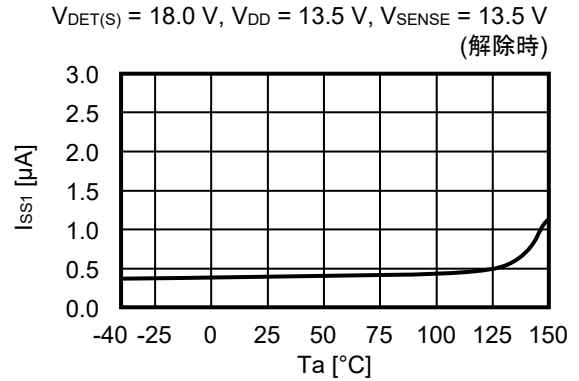
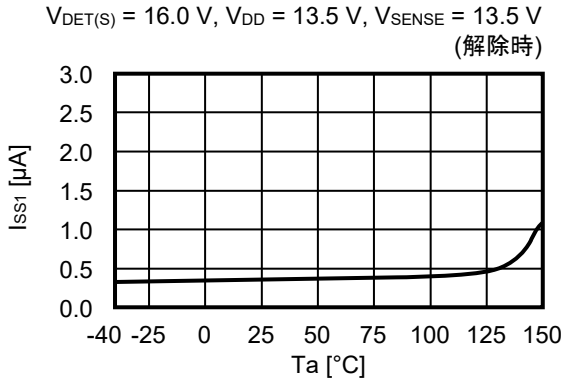
3. ヒステリシス幅 (V_{HYS}) – 温度 (T_a)



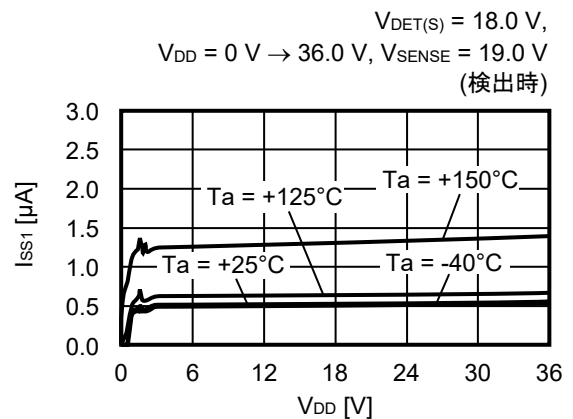
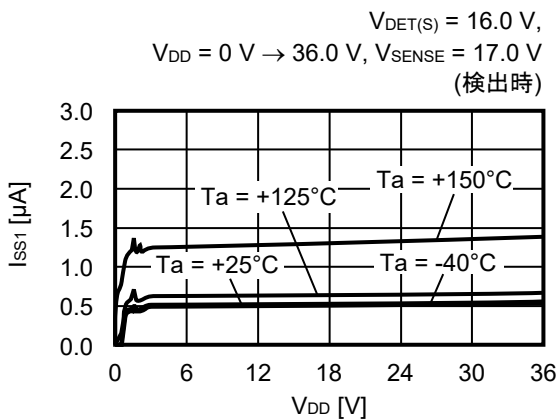
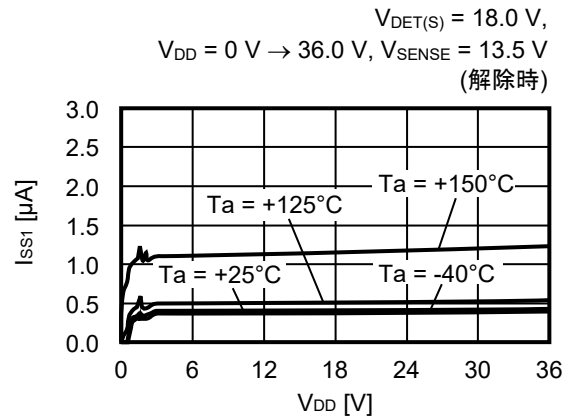
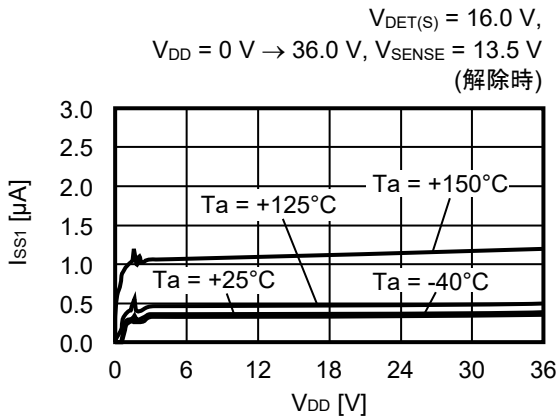
4. ヒステリシス幅 (V_{HYS}) – 電源電圧 (V_{DD})



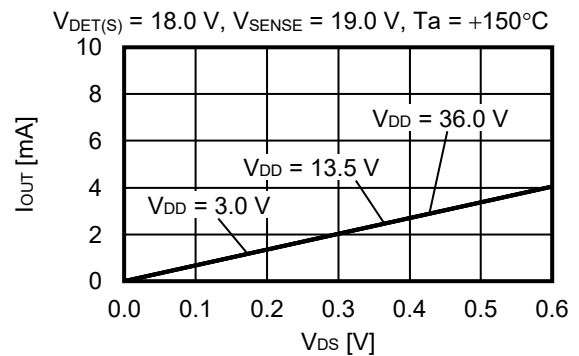
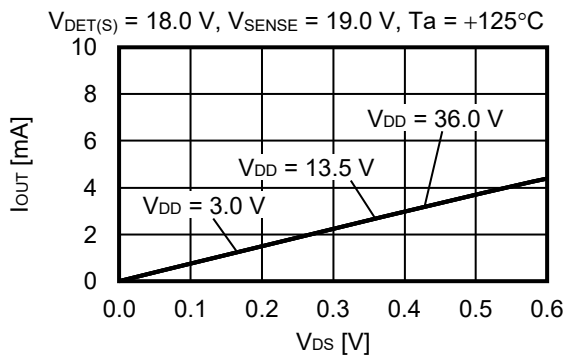
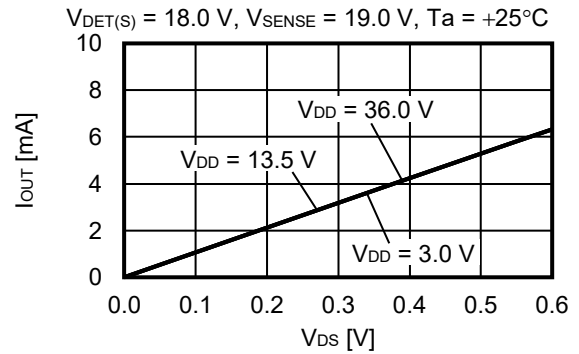
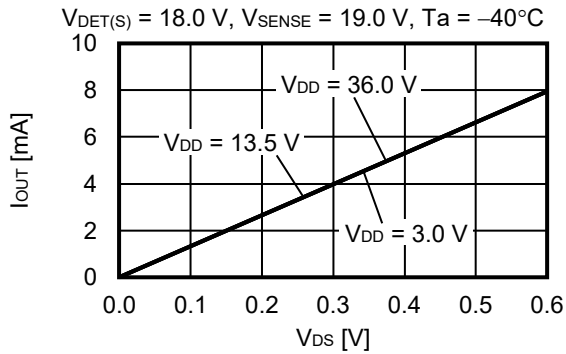
5. 消費電流 (I_{SS1}) – 温度 (T_a)



6. 消費電流 (I_{SS1}) – 電源電圧 (V_{DD}) (無負荷)

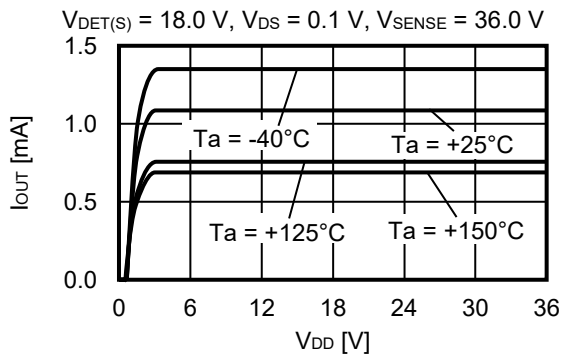


7. Nchトランジスタ出力電流 (I_{OUT}) – V_{DS}



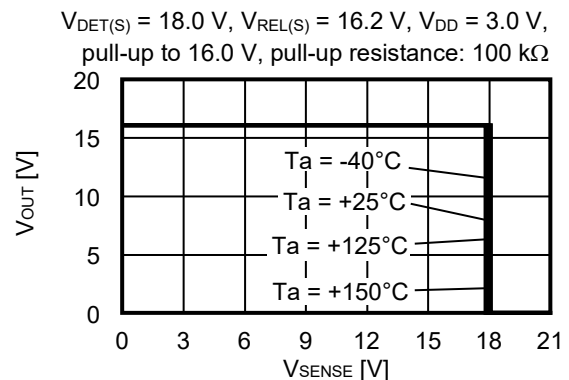
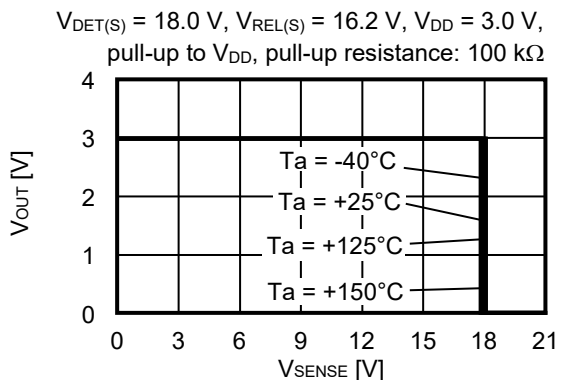
備考 V_{DS} : 出力トランジスタのドレイン – ソース間電圧

8. Nchトランジスタ出力電流 (I_{OUT}) – 電源電圧 (V_{DD})

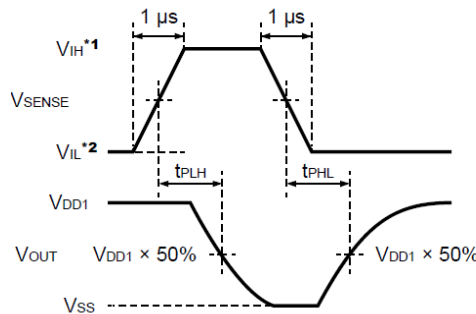
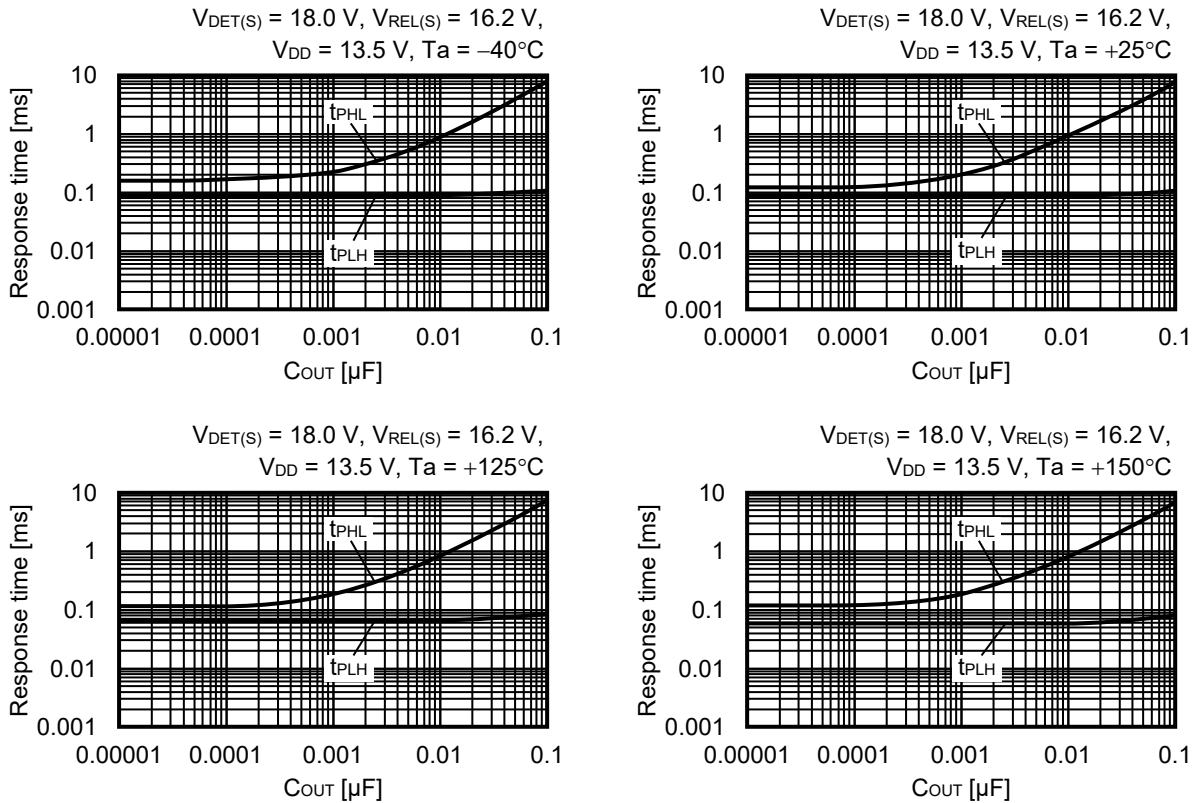


備考 V_{DS} : 出力トランジスタのドレイン – ソース間電圧

9. 出力電圧 (V_{OUT}) – SENSE端子電圧 (V_{SENSE})



10. ダイナミック応答特性 – 出力端子容量 (C_{OUT}) (CD端子オープン)



- *1. t_{PLH} : V_{IH} = V_{DET(S)} + 1.0 V, t_{PHL} : V_{IH} = V_{REL(S)} + 1.0 V
- *2. t_{PLH} : V_{IL} = V_{DET(S)} - 1.0 V, t_{PHL} : V_{IL} = V_{REL(S)} - 1.0 V

図24 応答時間の測定条件

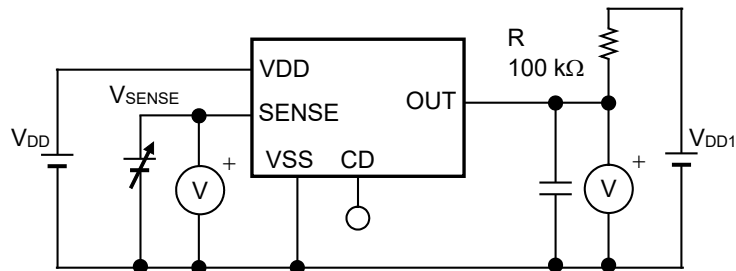
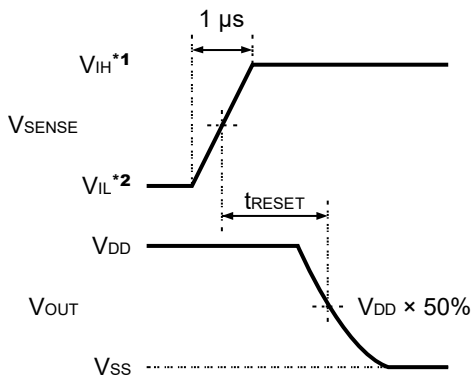
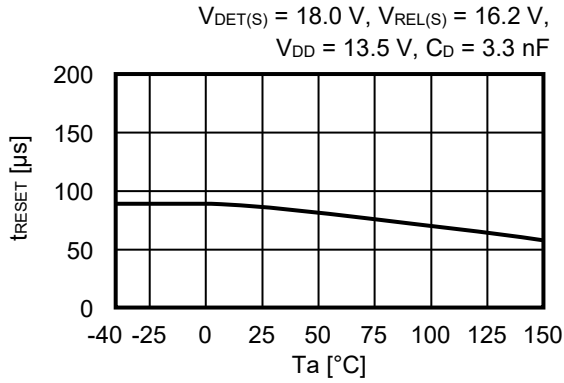


図25 応答時間の測定回路

- 注意 1. 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで温度特性を含めた十分な評価を行い、定数を設定してください。
- 2. CD端子がオープンの場合は、解除時にダブルパルスが出る場合があります。ダブルパルスが問題となる場合には、CD端子に1 nF以上の容量を付けて使用してください。

■ 参考データ

1. 検出応答時間 (t_{RESET}) - 温度 (T_a)



- *1. $V_{IH} = V_{DET(S)} + 1.0\text{ V}$
- *2. $V_{IL} = V_{DET(S)} - 1.0\text{ V}$

図26 検出応答時間の測定条件

2. 検出応答時間 (t_{RESET}) - 電源電圧 (V_{DD})

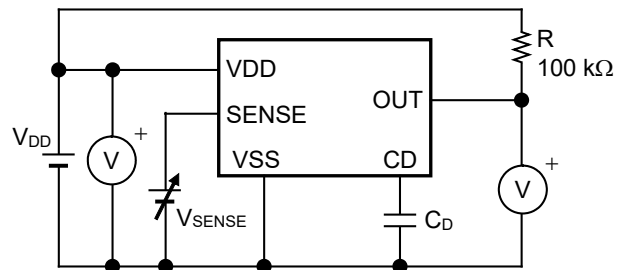
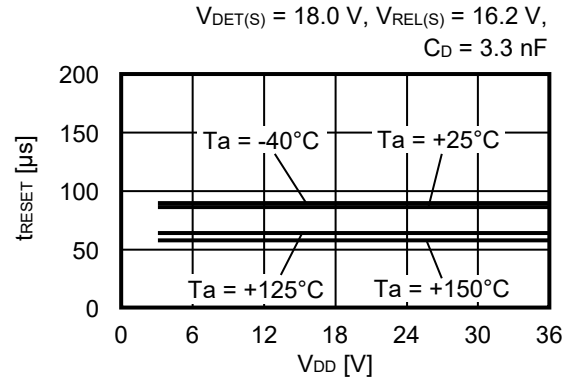
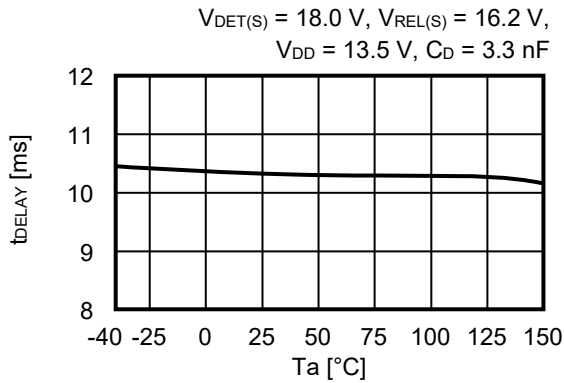


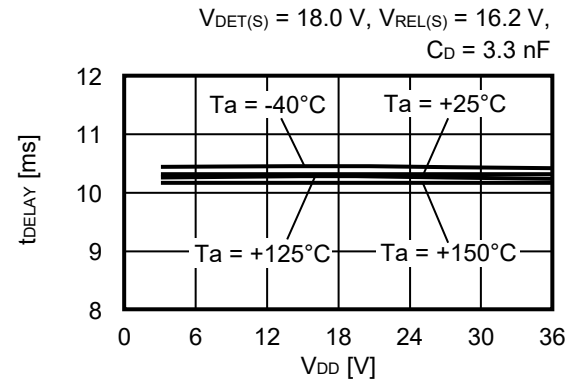
図27 検出応答時間の測定回路

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで温度特性を含めた十分な評価を行い、定数を設定してください。

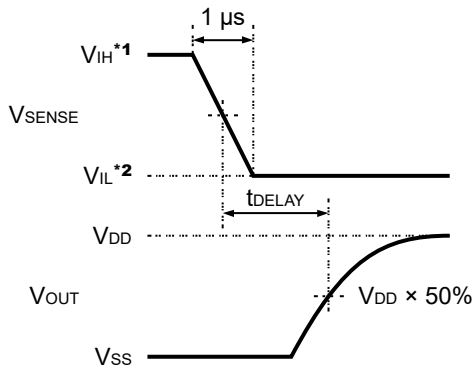
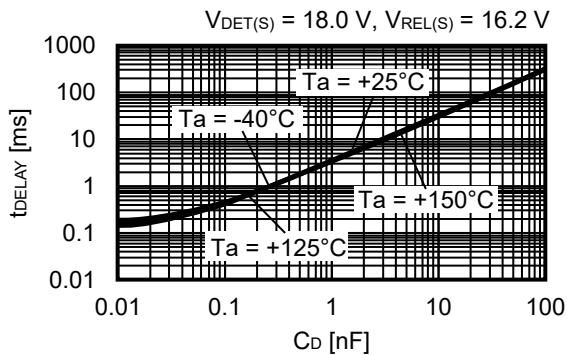
3. 解除遅延時間 (t_{DELAY}) – 温度 (T_a)



4. 解除遅延時間 (t_{DELAY}) – 電源電圧 (V_{DD})



5. 解除遅延時間 (t_{DELAY}) – C_D 端子容量 (C_D) (出力端子容量なし)



*1. $V_{IH} = V_{REL(S)} + 1.0\text{ V}$

*2. $V_{IL} = V_{REL(S)} - 1.0\text{ V}$

図28 解除遅延時間の測定条件

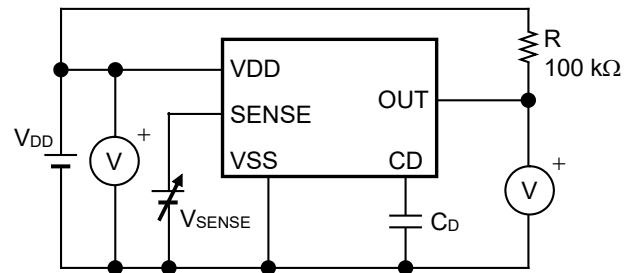


図29 解除遅延時間の測定回路

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで温度特性を含めた十分な評価を行い、定数を設定してください。

6. ロードダンプ特性 ($T_a = +25^\circ\text{C}$)

6.1 $V_{\text{DET(S)}} = 18.0 \text{ V}$

$V_{\text{DD}} = V_{\text{SENSE}} = 13.5 \text{ V} \leftrightarrow 45.0 \text{ V}$,
 $V_{\text{DD1}} = 5.0 \text{ V}$, $C_{\text{D}} = 3.3 \text{ nF}$

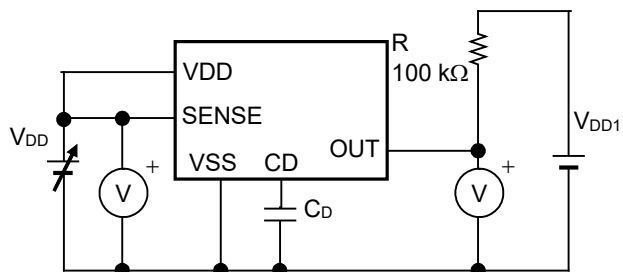
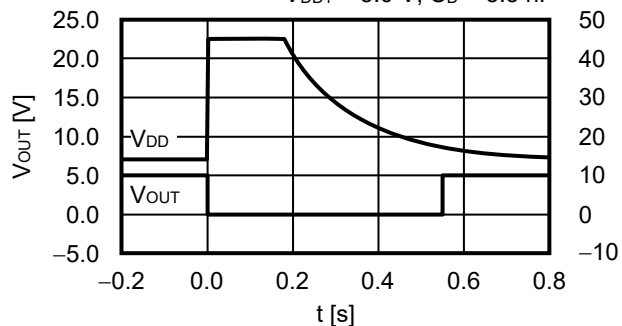
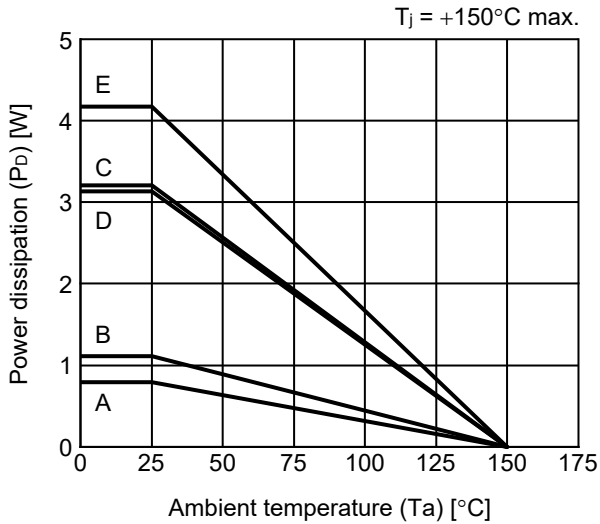


図30

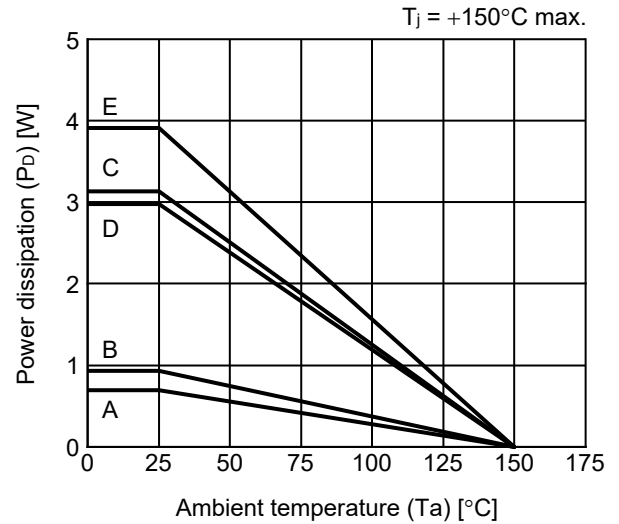
■ Power Dissipation

HTMSOP-8



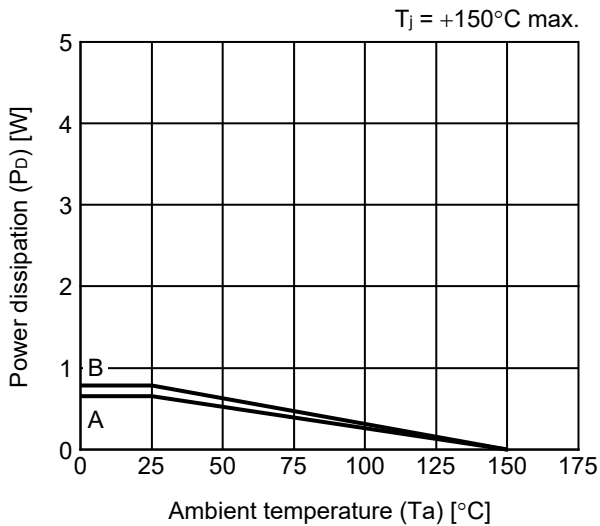
Board	Power Dissipation (P_D)
A	0.79 W
B	1.11 W
C	3.21 W
D	3.13 W
E	4.17 W

HSNT-8(2030)



Board	Power Dissipation (P_D)
A	0.69 W
B	0.93 W
C	3.13 W
D	2.98 W
E	3.91 W

SOT-23-5

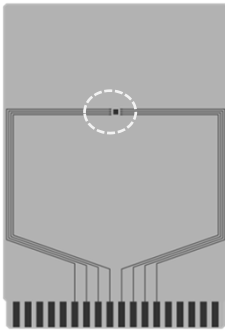


Board	Power Dissipation (P_D)
A	0.65 W
B	0.78 W
C	-
D	-
E	-

HTMSOP-8 Test Board

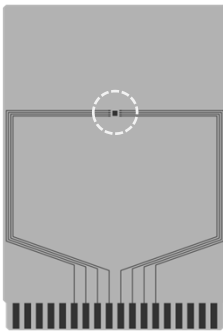
 IC Mount Area

(1) Board A



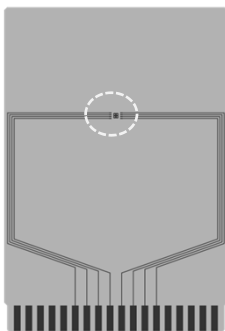
Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	2	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via	-	

(2) Board B



Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	-	

(3) Board C



Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	Number: 4 Diameter: 0.3 mm	



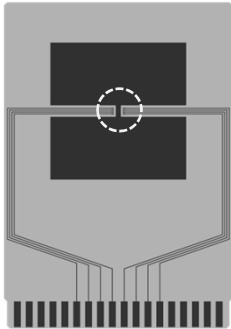
enlarged view

No. HTMSOP8-A-Board-SD-1.0

HTMSOP-8 Test Board

 IC Mount Area

(4) Board D

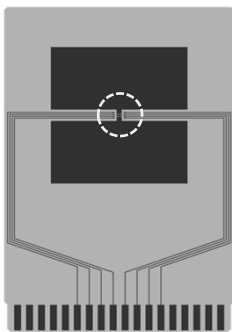


Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Pattern for heat radiation: 2000mm ² t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	-	



enlarged view

(5) Board E




Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Pattern for heat radiation: 2000mm ² t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	Number: 4 Diameter: 0.3 mm	



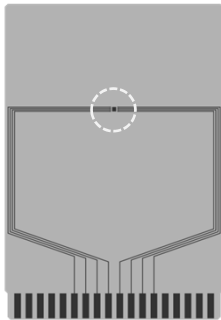
enlarged view

No. HTMSOP8-A-Board-SD-1.0

HSNT-8(2030) Test Board

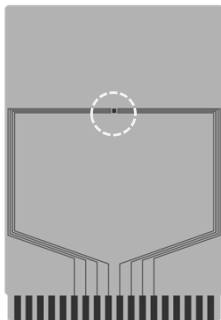
 IC Mount Area

(1) Board A



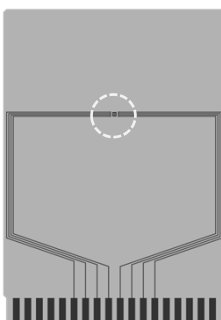
Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	2	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via	-	

(2) Board B



Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	-	

(3) Board C




Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	Number: 4 Diameter: 0.3 mm	



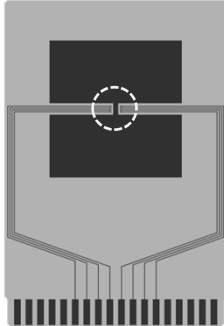
enlarged view

No. HSNT8-A-Board-SD-2.0

HSNT-8(2030) Test Board

 IC Mount Area

(4) Board D

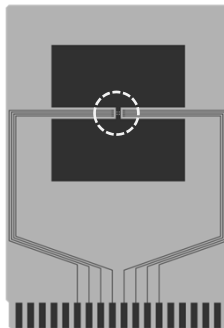


Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Pattern for heat radiation: 2000mm ² t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	-	



enlarged view

(5) Board E



Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Pattern for heat radiation: 2000mm ² t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	Number: 4 Diameter: 0.3 mm	



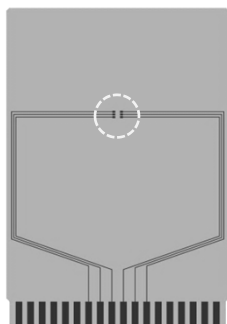
enlarged view

No. HSNT8-A-Board-SD-2.0

SOT-23-3/3S/5/6 Test Board

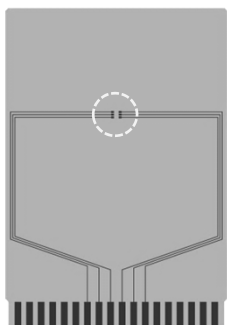
 IC Mount Area

(1) Board A



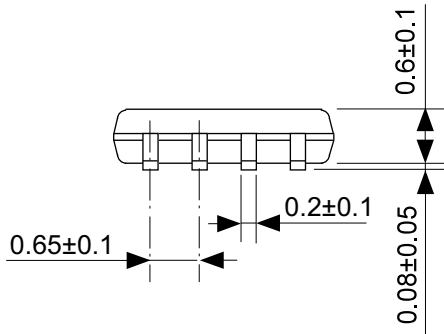
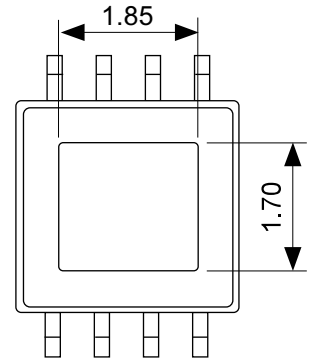
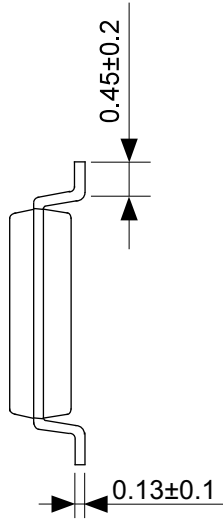
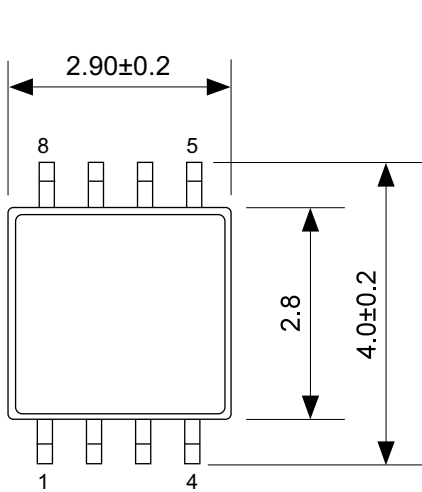
Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		2
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via		-

(2) Board B



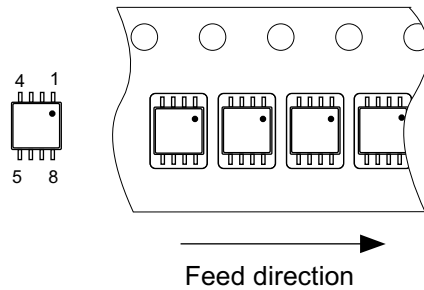
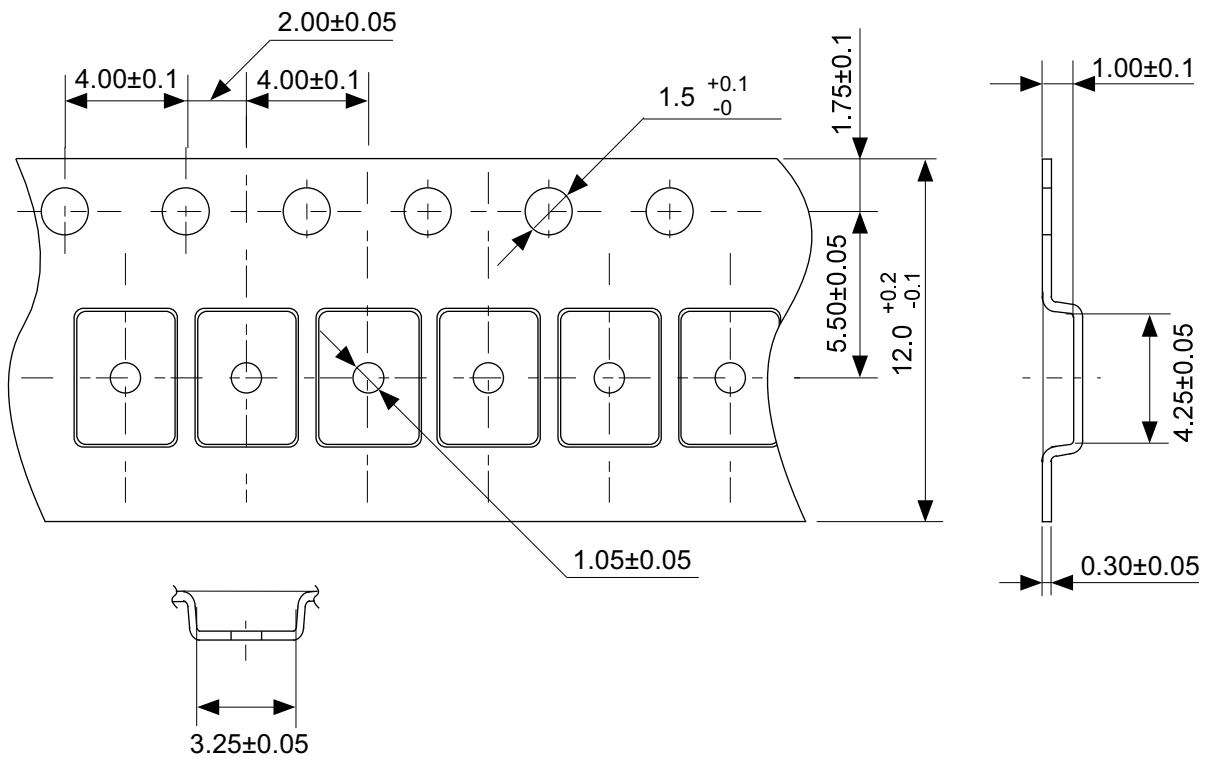
Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-

No. SOT23x-A-Board-SD-2.0



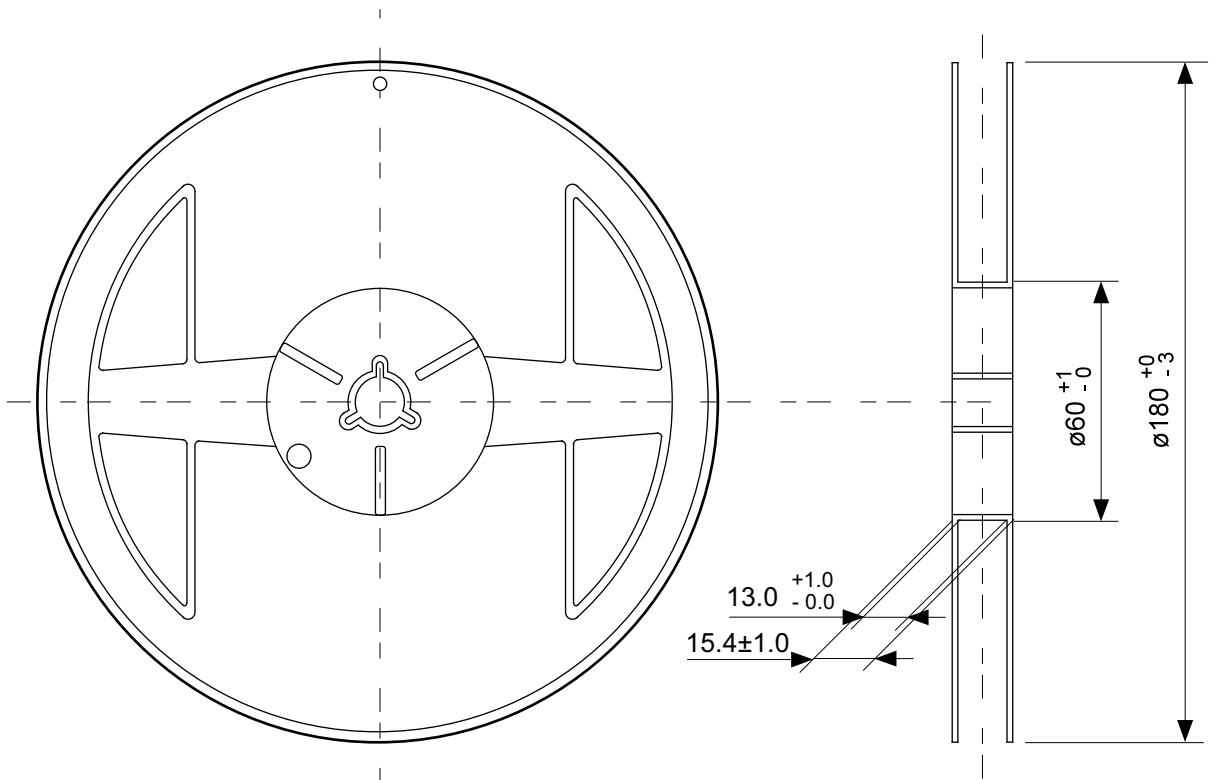
No. FP008-A-P-SD-2.0

TITLE	HTMSOP8-A-PKG Dimensions
No.	FP008-A-P-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	

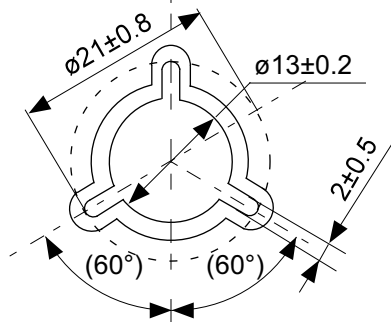


No. FP008-A-C-SD-1.0

TITLE	HTMSOP8-A-Carrier Tape
No.	FP008-A-C-SD-1.0
ANGLE	
UNIT	mm
ABLIC Inc.	

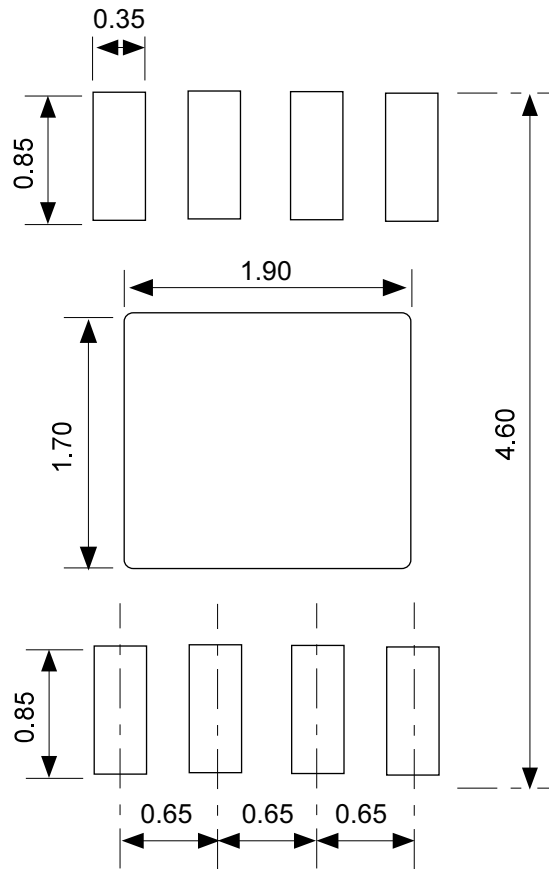


Enlarged drawing in the central part



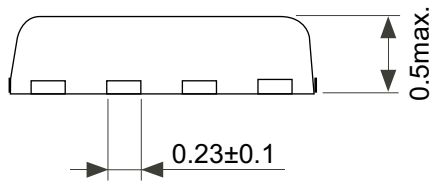
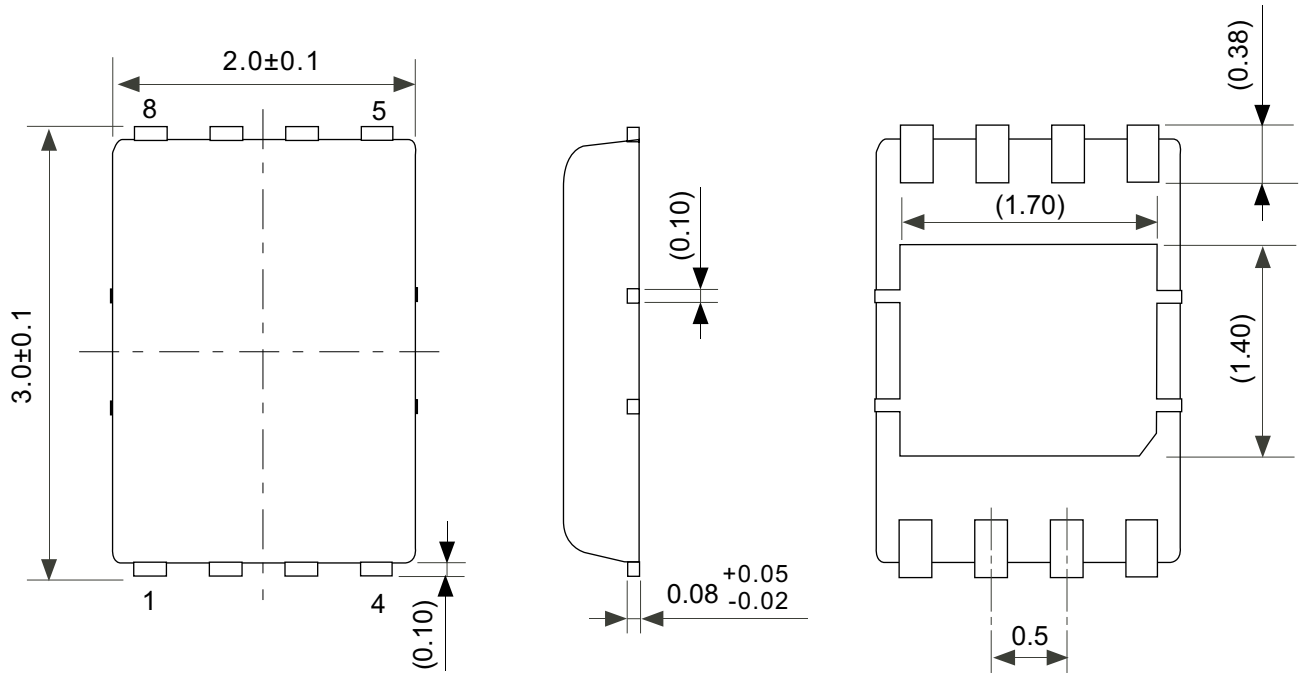
No. FP008-A-R-SD-2.0

TITLE	HTMSOP8-A-Reel		
No.	FP008-A-R-SD-2.0		
ANGLE		QTY.	4,000
UNIT	mm		
ABLIC Inc.			



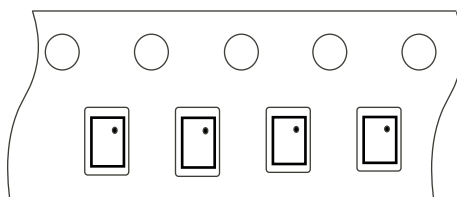
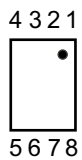
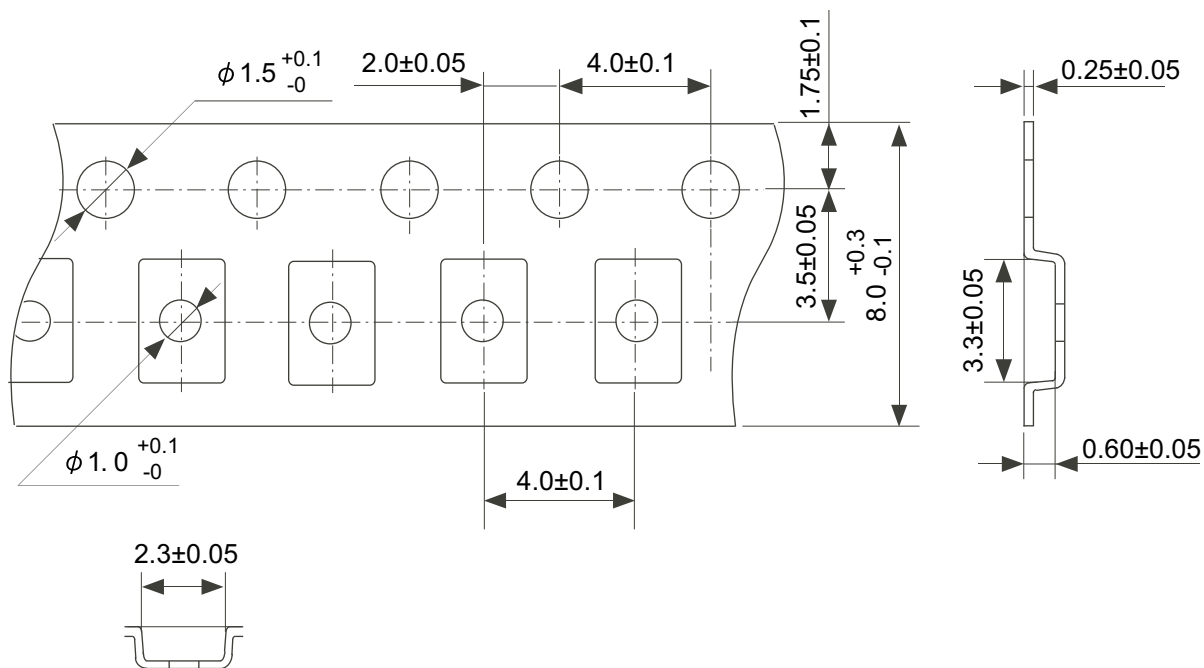
No. FP008-A-L-SD-2.0

TITLE	HTMSOP8-A -Land Recommendation
No.	FP008-A-L-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	



No. PP008-A-P-SD-3.0

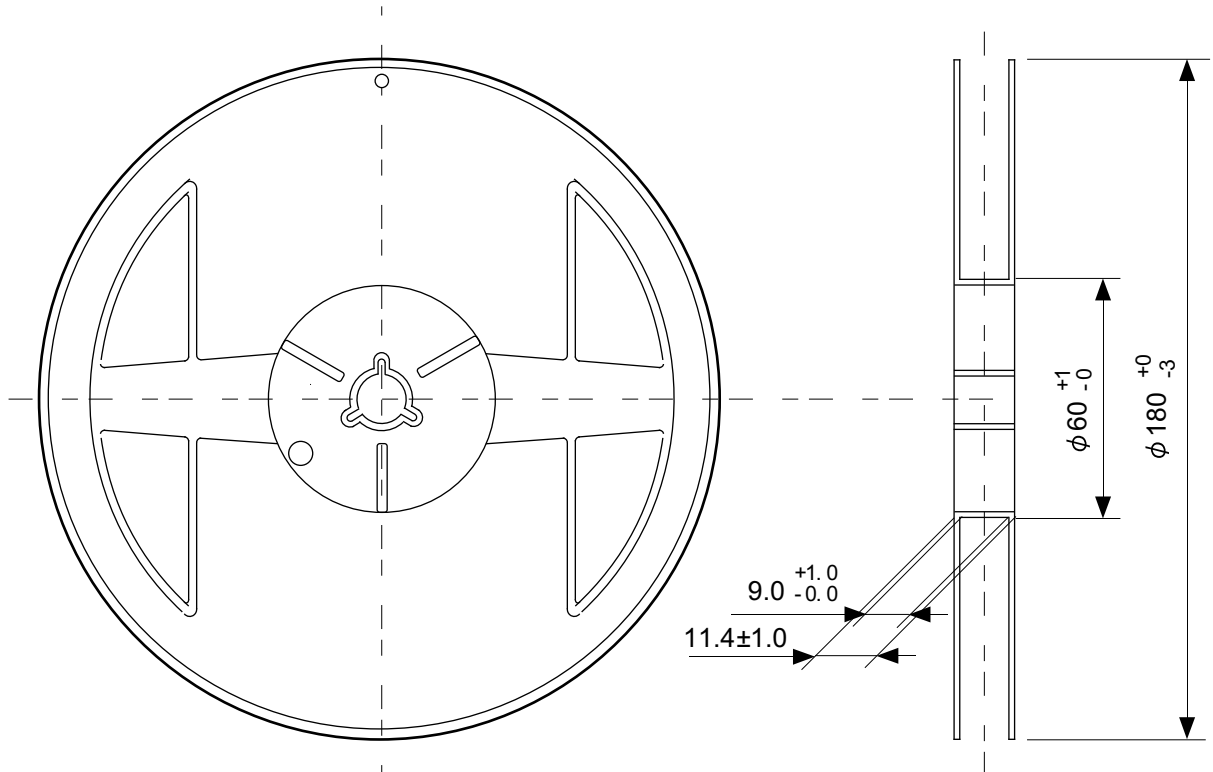
TITLE	HSNT-8-A-PKG Dimensions
No.	PP008-A-P-SD-3.0
ANGLE	
UNIT	mm
ABLIC Inc.	



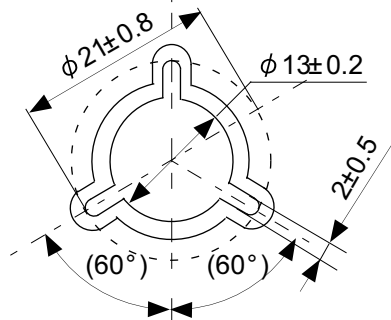
Feed direction →

No. PP008-A-C-SD-1.0

TITLE	HSNT-8-A-Carrier Tape	
No.	PP008-A-C-SD-1.0	
ANGLE		
UNIT	mm	
ABLIC Inc.		

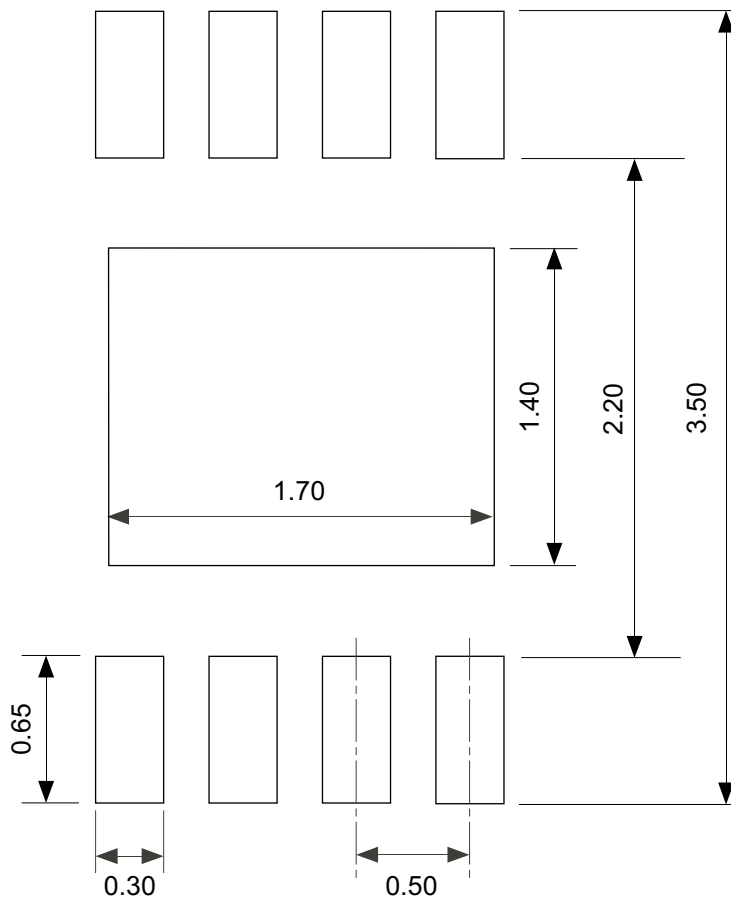


Enlarged drawing in the central part



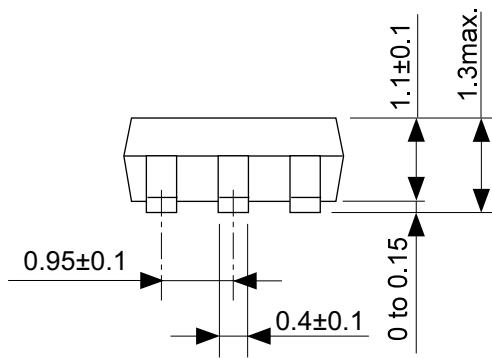
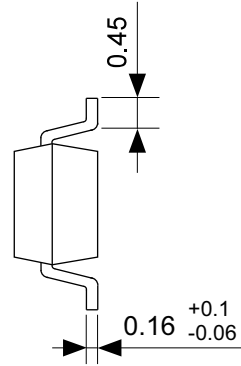
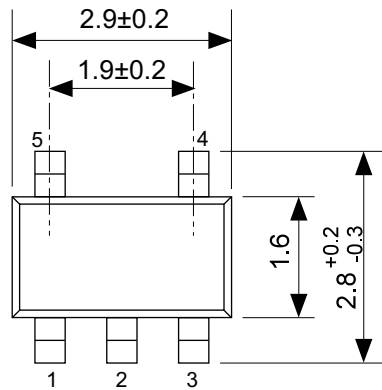
No. PP008-A-R-SD-2.0

TITLE	HSNT-8-A-Reel		
No.	PP008-A-R-SD-2.0		
ANGLE		QTY.	5,000
UNIT	mm		
ABLIC Inc.			



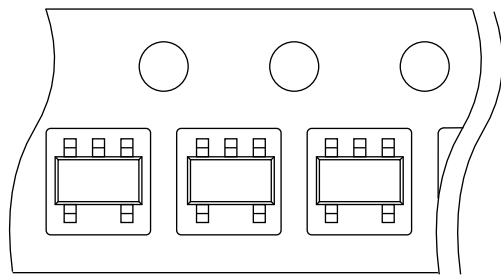
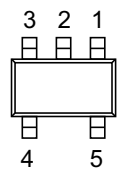
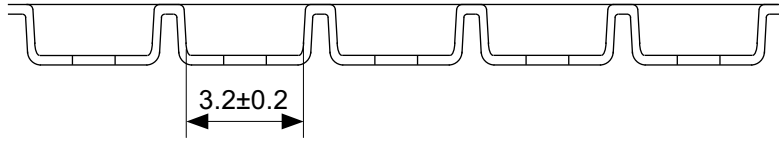
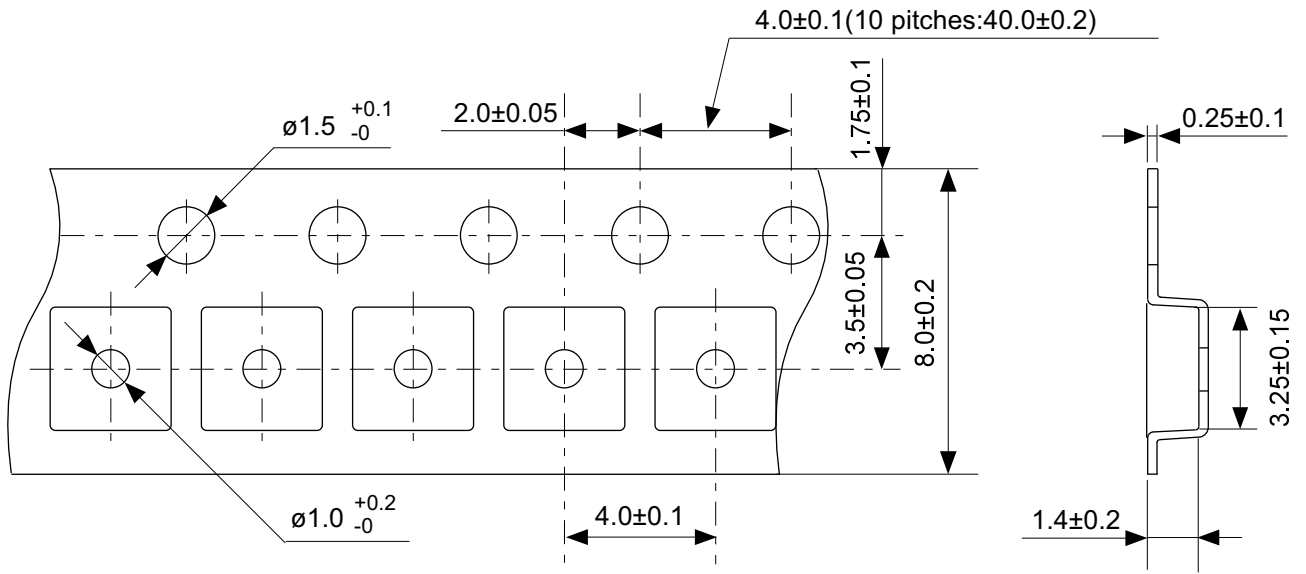
No. PP008-A-L-SD-2.0

TITLE	HSNT-8-A -Land Recommendation
No.	PP008-A-L-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	



No. MP005-A-P-SD-1.3

TITLE	SOT235-A-PKG Dimensions
No.	MP005-A-P-SD-1.3
ANGLE	
UNIT	mm
ABLIC Inc.	

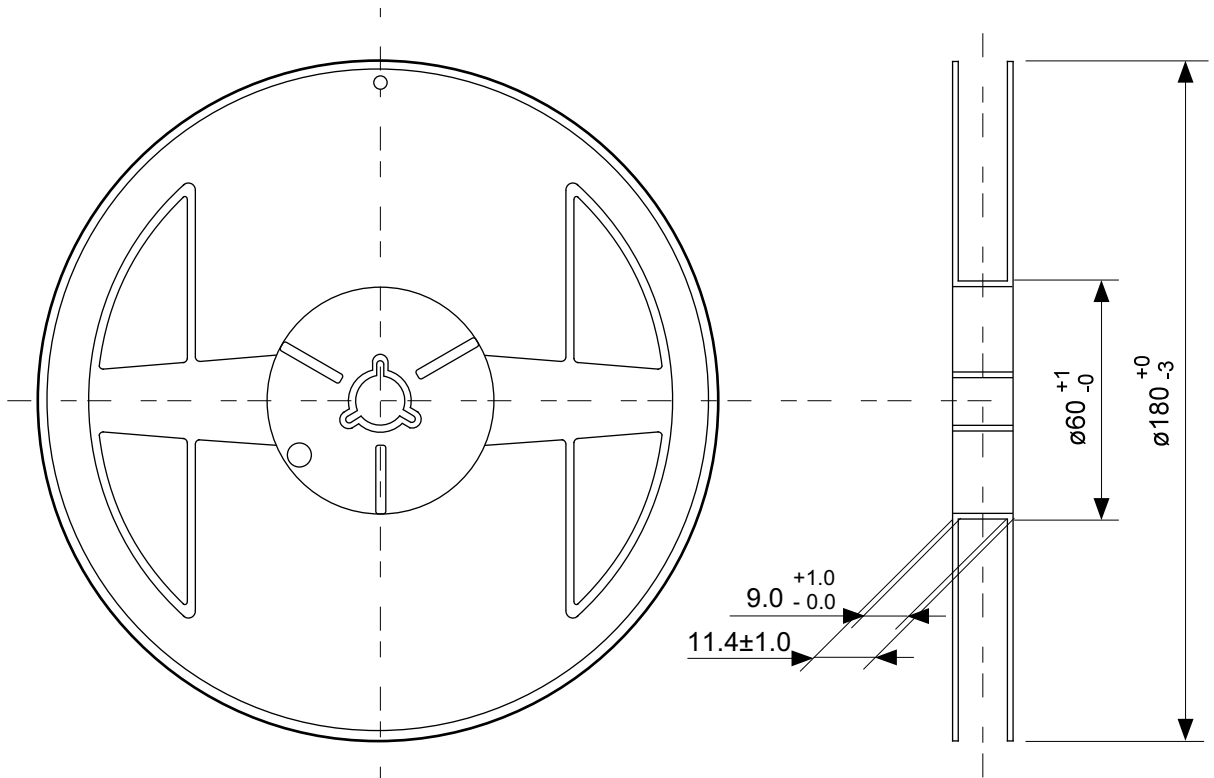


→
Feed direction

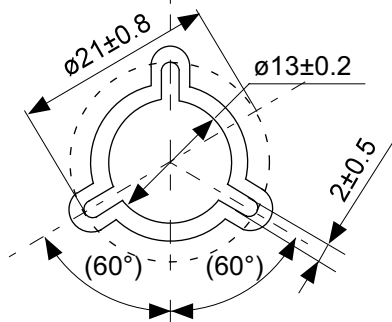
No. MP005-A-C-SD-2.1

TITLE	SOT235-A-Carrier Tape
No.	MP005-A-C-SD-2.1
ANGLE	
UNIT	mm

ABLIC Inc.



Enlarged drawing in the central part



No. MP005-A-R-SD-2.0

TITLE	SOT235-A-Reel		
No.	MP005-A-R-SD-2.0		
ANGLE		QTY.	3,000
UNIT	mm		
ABLIC Inc.			

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com