

■ ピン配置図

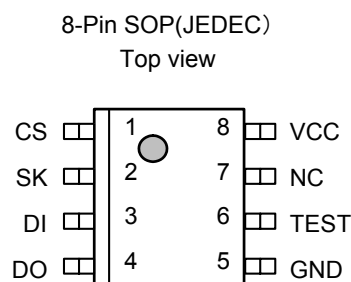


図1

S-93C76ADFJ-TBH-U

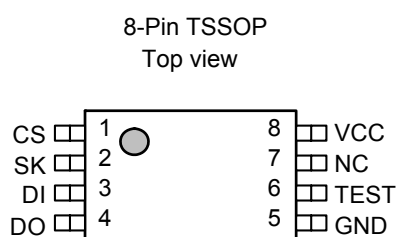


図2

S-93C76AFT-TBH-U

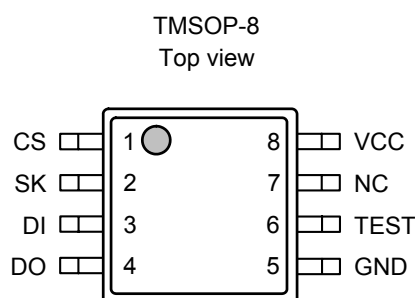


図3

S-93C76AFM-TFH-U

表1

端子番号	端子記号	端子内容
1	CS	チップセレクト入力
2	SK	シリアルクロック入力
3	DI	シリアルデータ入力
4	DO	シリアルデータ出力
5	GND	グラウンド
6	TEST ^{*1}	テスト
7	NC	無接続
8	VCC	電源

*1. GNDまたはV_{CC}に接続してください。
オープンの場合でも絶対最大定格を越えない限り実用上支障はありません。

表2

端子番号	端子記号	端子内容
1	CS	チップセレクト入力
2	SK	シリアルクロック入力
3	DI	シリアルデータ入力
4	DO	シリアルデータ出力
5	GND	グラウンド
6	TEST ^{*1}	テスト
7	NC	無接続
8	VCC	電源

*1. GNDまたはV_{CC}に接続してください。
オープンの場合でも絶対最大定格を越えない限り実用上支障はありません。

表3

端子番号	端子記号	端子内容
1	CS	チップセレクト入力
2	SK	シリアルクロック入力
3	DI	シリアルデータ入力
4	DO	シリアルデータ出力
5	GND	グラウンド
6	TEST ^{*1}	テスト
7	NC	無接続
8	VCC	電源

*1. GNDまたはV_{CC}に接続してください。
オープンの場合でも絶対最大定格を越えない限り実用上支障はありません。

備考 形状については「外形寸法図」を参照してください。

■ ブロック図

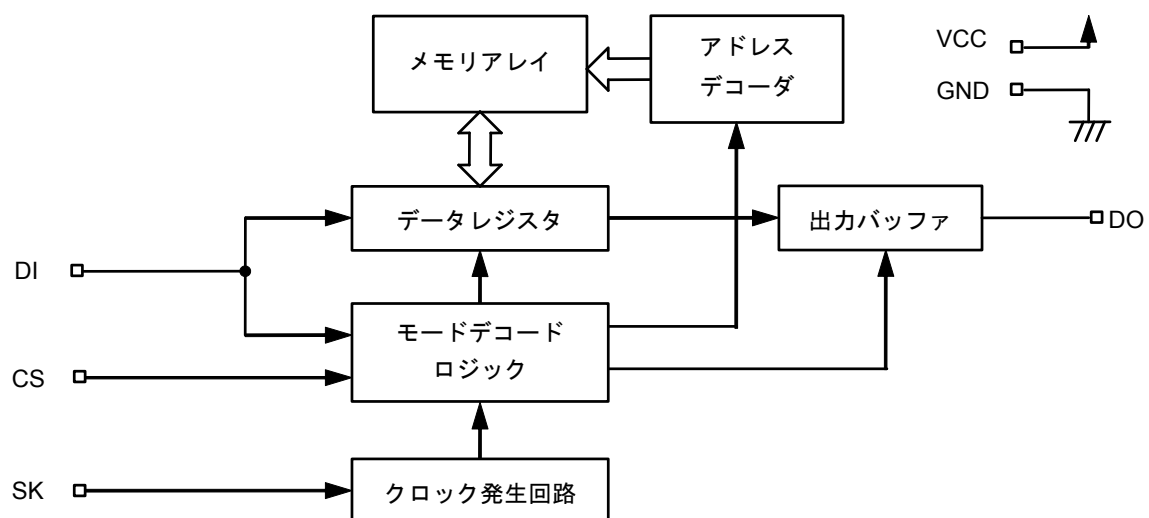


図4

■ 命令セット

表4

命令	スタート ビット	オペコード		アドレス												データ
SK入力クロック	1	2	3	4	5	6	7	8	9	10	11	12	13	14～29		
READ（データ読み出し）	1	1	0	x	A8	A7	A6	A5	A4	A3	A2	A1	A0	D15～D0出力 ^{*1}		
WRITE（データ書き込み） ^{*2}	1	0	1	x	A8	A7	A6	A5	A4	A3	A2	A1	A0	D15～D0入力		
ERASE（データ消去） ^{*2}	1	1	1	x	A8	A7	A6	A5	A4	A3	A2	A1	A0	—		
WRAL（チップ書き込み） ^{*2}	1	0	0	0	1	x	x	x	x	x	x	x	x	D15～D0入力		
ERAL（チップ消去） ^{*2}	1	0	0	1	0	x	x	x	x	x	x	x	x	—		
EWEN（書き込み許可） ^{*2}	1	0	0	1	1	x	x	x	x	x	x	x	x	—		
EWDS（書き込み禁止）	1	0	0	0	0	x	x	x	x	x	x	x	x	—		

*1. 指定されたアドレスの 16 ビットデータが出力されると、続けて次のアドレスのデータが出力されます。

*2. WRITE、ERASE、WRAL、ERAL、EWEN は、 $V_{CC} \geq 2.7\text{ V}$ でのみ保証されています。

備考 x: 任意

■ 絶対最大定格

表5

項目	記号	定格	単位
電源電圧	V _{CC}	-0.3~+7.0	V
入力電圧	V _{IN}	-0.3~V _{CC} +0.3	V
出力電圧	V _{OUT}	-0.3~V _{CC}	V
動作周囲温度	T _{opr}	-40~+105	°C
保存温度	T _{stg}	-65~+150	°C

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 推奨動作条件

表6

項目	記号	条件	-40~+85°C		+85~+105°C		単位
			Min.	Max.	Min.	Max.	
電源電圧	V _{CC}	READ, EWDS	1.8	5.5	2.7	5.5	V
		WRITE, ERASE, EWEN	2.7	5.5	2.7	5.5	V
		WRAL, ERAL	2.7	5.5	4.5	5.5	V
高レベル入力電圧	V _{IH}	V _{CC} = 4.5~5.5 V	2.0	V _{CC}	2.0	V _{CC}	V
		V _{CC} = 2.7~4.5 V	0.8 × V _{CC}	V _{CC}	0.8 × V _{CC}	V _{CC}	V
		V _{CC} = 1.8~2.7 V	0.8 × V _{CC}	V _{CC}	—	—	V
低レベル入力電圧	V _{IL}	V _{CC} = 4.5~5.5 V	0.0	0.8	0.0	0.8	V
		V _{CC} = 2.7~4.5 V	0.0	0.2 × V _{CC}	0.0	0.2 × V _{CC}	V
		V _{CC} = 1.8~2.7 V	0.0	0.15 × V _{CC}	—	—	V

■ 端子容量

表7

(Ta = +25°C、f = 1.0 MHz、V_{CC} = 5.0 V)

項目	記号	条件	Min.	Max.	単位
入力容量	C _{IN}	V _{IN} = 0 V	—	8	pF
出力容量	C _{OUT}	V _{OUT} = 0 V	—	10	pF

■ 書き換え回数

表8

項目	記号	動作周囲温度	Min.	Max.	単位
書き換え回数	N _W	-40~+85°C	10 ⁶	—	回/語 ^{*1}
		+85~+105°C	5×10 ⁵	—	回/語 ^{*1}

*1.アドレスごと（語：16ビット）

■ データ保持

表9

項目	記号	動作周囲温度	Min.	Max.	単位
データ保持	—	+25°C	100	—	年
		-40~+105°C	20	—	年

■ DC電気的特性

表10 (1/2)

項目	記号	条件	-40~+85°C						単位
			V _{CC} = 4.5~5.5 V		V _{CC} = 2.5~4.5 V		V _{CC} = 1.8~2.5 V		
			Min.	Max.	Min.	Max.	Min.	Max.	
読み出し時消費電流	I _{CC1}	DO無負荷	—	0.8	—	0.5	—	0.4	mA

表10 (2/2)

項目	記号	条件	+85~+105°C				単位
			V _{CC} = 4.5~5.5 V		V _{CC} = 2.7~4.5 V		
			Min.	Max.	Min.	Max.	
読み出し時消費電流	I _{CC1}	DO無負荷	—	0.8	—	0.5	mA

表11 (1/2)

項目	記号	条件	-40~+85°C				単位
			V _{CC} = 4.5~5.5 V		V _{CC} = 2.7~4.5 V		
			Min.	Max.	Min.	Max.	
書き込み時消費電流	I _{CC2}	DO無負荷	—	2.0	—	1.5	mA

表11 (2/2)

項目	記号	条件	+85~+105°C		単位
			V _{CC} = 2.7~5.5 V		
			Min.	Max.	
書き込み時消費電流	I _{CC2}	DO無負荷	—	2.0	mA

表12 (1/2)

項目	記号	条件	-40~+85°C						単位
			V _{CC} = 4.5~5.5 V		V _{CC} = 2.5~4.5 V		V _{CC} = 1.8~2.5 V		
			Min.	Max.	Min.	Max.	Min.	Max.	
待機時消費電流	I _{SB}	CS = GND, DO = オープン その他の入力V _{CC} またはGND	—	2.0	—	2.0	—	2.0	μA
入力リーク電流	I _{LI}	V _{IN} = GND~V _{CC}	—	1.0	—	1.0	—	1.0	μA
出力リーク電流	I _{LO}	V _{OUT} = GND~V _{CC}	—	1.0	—	1.0	—	1.0	μA
低レベル出力電圧	V _{OL}	I _{OL} = 2.1 mA	—	0.4	—	—	—	—	V
		I _{OL} = 100 μA	—	0.1	—	0.1	—	0.1	V
高レベル出力電圧	V _{OH}	I _{OH} = -400 μA	2.4	—	—	—	—	—	V
		I _{OH} = -100 μA	V _{CC} -0.3	—	V _{CC} -0.3	—	—	—	V
		I _{OH} = -10 μA	V _{CC} -0.2	—	V _{CC} -0.2	—	V _{CC} -0.2	—	V
書き込みイネーブル ラッチデータ保持電圧	V _{DH}	プログラムディスエーブル 状態の保持に限る	1.5	—	1.5	—	1.5	—	V

表12 (2/2)

項目	記号	条件	+85~+105°C				単位
			V _{CC} = 4.5~5.5 V		V _{CC} = 2.7~4.5 V		
			Min.	Max.	Min.	Max.	
待機時消費電流	I _{SB}	CS = GND, DO = オープン その他の入力V _{CC} またはGND	—	2.0	—	2.0	μA
入力リーク電流	I _{LI}	V _{IN} = GND~V _{CC}	—	1.0	—	1.0	μA
出力リーク電流	I _{LO}	V _{OUT} = GND~V _{CC}	—	1.0	—	1.0	μA
低レベル出力電圧	V _{OL}	I _{OL} = 2.1 mA	—	0.4	—	—	V
		I _{OL} = 100 μA	—	0.1	—	0.1	V
高レベル出力電圧	V _{OH}	I _{OH} = -400 μA	2.4	—	—	—	V
		I _{OH} = -100 μA	V _{CC} -0.3	—	V _{CC} -0.3	—	V
		I _{OH} = -10 μA	V _{CC} -0.2	—	V _{CC} -0.2	—	V
書き込みイネーブル ラッチデータ保持電圧	V _{DH}	プログラムディスエーブル 状態の保持に限る	1.5	—	1.5	—	V

■ AC電気的特性

表13 測定条件

入力パルス電圧	$0.1 \times V_{CC} \sim 0.9 \times V_{CC}$
出力判定電圧	$0.5 \times V_{CC}$
出力負荷	100 pF

表14 (1/2)

項目	記号	-40~+85°C						単位
		V _{CC} = 4.5~5.5 V		V _{CC} = 2.5~4.5 V		V _{CC} = 1.8~2.5 V		
		Min.	Max.	Min.	Max.	Min.	Max.	
CSセットアップ時間	t _{CSS}	0.2	—	0.4	—	1.0	—	μs
CSホールド時間	t _{CSH}	0	—	0	—	0	—	μs
CSディセレクト時間	t _{CDS}	0.2	—	0.2	—	0.4	—	μs
データセットアップ時間	t _{DS}	0.1	—	0.2	—	0.4	—	μs
データホールド時間	t _{DH}	0.1	—	0.2	—	0.4	—	μs
出力遅延時間	t _{PD}	—	0.4	—	0.8	—	2.0	μs
クロック周波数*1	f _{SK}	0	2.0	0	0.5	0	0.25	MHz
SKクロック “L” 時間*1	t _{SKL}	0.1	—	0.5	—	1.0	—	μs
SKクロック “H” 時間*1	t _{SKH}	0.1	—	0.5	—	1.0	—	μs
出力ディスエーブル時間	t _{HZ1} , t _{HZ2}	0	0.15	0	0.5	0	1.0	μs
出カイナーブル時間	t _{SV}	0	0.15	0	0.5	0	1.0	μs

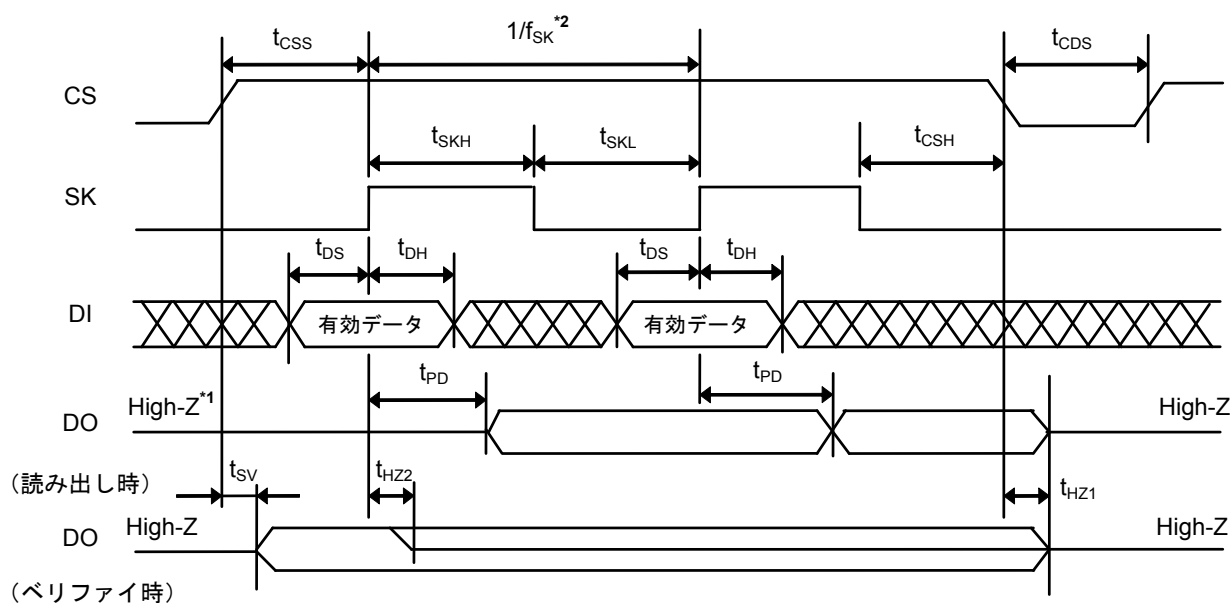
表14 (2/2)

項目	記号	+85~+105°C				単位
		V _{CC} = 4.5~5.5 V		V _{CC} = 2.7~4.5 V		
		Min.	Max.	Min.	Max.	
CSセットアップ時間	t _{CSS}	0.2	—	0.4	—	μs
CSホールド時間	t _{CSH}	0	—	0	—	μs
CSディセレクト時間	t _{CDS}	0.2	—	0.2	—	μs
データセットアップ時間	t _{DS}	0.1	—	0.2	—	μs
データホールド時間	t _{DH}	0.1	—	0.2	—	μs
出力遅延時間	t _{PD}	—	0.6	—	0.8	μs
クロック周波数*1	f _{SK}	0	1.0	0	0.5	MHz
SKクロック “L” 時間*1	t _{SKL}	0.25	—	0.5	—	μs
SKクロック “H” 時間*1	t _{SKH}	0.25	—	0.5	—	μs
出力ディスエーブル時間	t _{HZ1} , t _{HZ2}	0	0.15	0	0.5	μs
出カイナーブル時間	t _{SV}	0	0.15	0	0.5	μs

*1. SK クロック（周波数 f_{SK} ）のクロック周期は $1/f_{SK}$ μs です。このクロック周期は、いくつかの AC 特性の組み合わせにより決定されます。そのため、SK クロックサイクル時間を最小にする場合でも、クロック周期 ($1/f_{SK}$) = t_{SKL} (Min.) + t_{SKH} (Min.) とすることはできませんのでご注意ください。

表15

項目	記号	-40~+85°C			+85~+105°C			単位
		V _{CC} = 2.7~5.5 V			V _{CC} = 2.7~5.5 V			
		Min.	Typ.	Max.	Min.	Typ.	Max.	
書き込み時間	t _{PR}	—	4.0	10.0	—	4.0	10.0	ms



- *1. ハイインピーダンスを示します。
*2. $1/f_{SK}$ はSKクロック周期です。このクロック周期は、いくつかのAC特性の組み合わせにより決定されます。そのため、SKクロックサイクル時間を最小にする場合でも、クロック周期 $1/f_{SK} = t_{SKL}(\text{Min.}) + t_{SKH}(\text{Min.})$ とすることはできませんのでご注意ください。

図5 タイミングチャート

■ 初期出荷時データ

初期出荷時のデータは、すべてのアドレスが "FFFFh" になっています。

■ 動作説明

すべての命令はCSを“H”にした後、SKパルスの立ち上がりに同期してDI入力を取り込むことで行います。命令は、スタートビット、インストラクション、アドレス、データの順に入力します。スタートビットは、CSを“H”にした後、SKの立ち上がり時にDIの“H”を取り込むことで認識します。したがって、CSを“H”にした後、DIが“L”を維持している限り、SKパルスを入力してもスタートビットを認識しません。スタートビット取り込みの前にDIを“L”の状態を入力するSKクロックをダミークロックと呼びます。ダミークロックをスタートビットの前に何発か挿入し、CPU内蔵のシリアルインタフェースの送出できるクロック数と、シリアルメモリICの動作に必要なクロック数を調整します。CSを“L”にすることで命令入力完了します。命令と命令の間は必ずCSをいったん、 t_{CDS} の期間“L”にします。CSが“L”の時はスタンバイ状態であり、SKおよびDI入力は無効となり、いかなる命令も受け付けません。

1. 読み出し (READ)

READ 命令は指定アドレスのデータを読み出します。READ 命令では、SK の立ち上がりでアドレス A_0 を取り込んだ後、DO 端子はハイインピーダンス (High-Z) 状態であったものが“L”を出力します。続いて SK の立ち上がりに同期して 16 ビットのデータを順次出力します。

指定アドレスの 16 ビット長のデータを出力した後、続けて SK を入力すると、自動的にアドレスがインクリメントされ、次のアドレスの 16 ビット長のデータが順次出力されます。CS を“H”に維持したまま SK を連続的に入力することで、全メモリ空間のデータを読み出すことが可能です。最終アドレス ($A_8 \cdots A_1 \ A_0 = 1 \cdots 1 \ 1$) がインクリメントされると、先頭アドレス ($A_8 \cdots A_1 \ A_0 = 0 \cdots 0 \ 0$) となります。

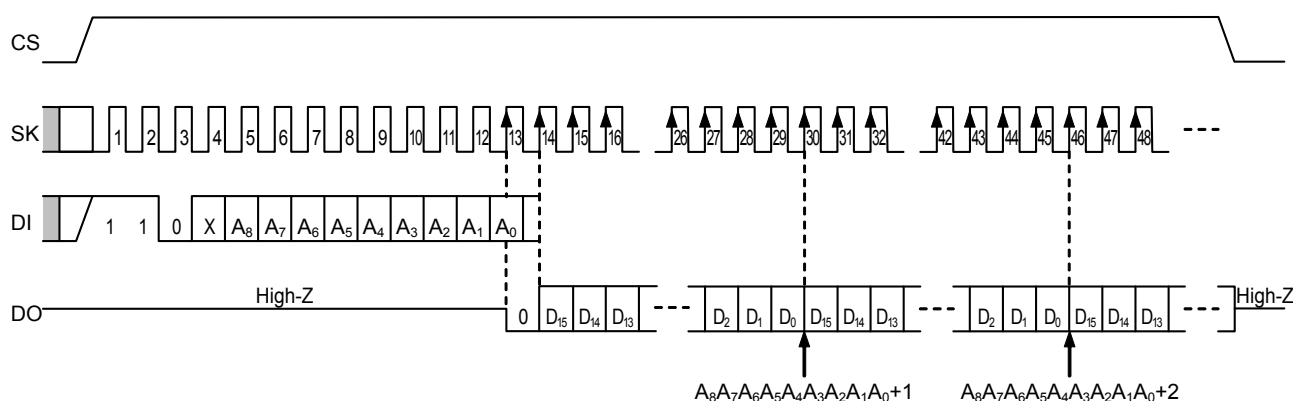


図6 読み出しタイミング

2. 書き込み (WRITE、ERASE、WRAL、ERAL)

書き込み命令 (WRITE、ERASE、WRAL、ERAL) では、所定のクロックを入力した後 CS を “L” にすることにより不揮発性メモリの書き込み動作が開始します。

いずれの書き込み命令においても、書き込み時間 t_{PR} 10 ms 以内に書き込み動作が終了しますが、標準的な書き込み時間は 10 ms の半分以下です。したがって、書き込み動作の終了を知ることができれば、書き込みサイクルを最小にすることができます。書き込み動作の終了を知るためには、CS を “L” にして書き込み動作が開始した後に、CS を再び “H” にして DO 出力端子の状態をみることで行います。この一連の動作をペリファイ動作と呼びます。

CS が “H” のペリファイ動作期間中、DO 出力が “L” であれば書き込み動作中であることを示し、DO 出力が “H” であれば書き込み動作が終了していることを示します。ペリファイ動作は、連続して何度でも行うことができます。したがって、CS を “H” に保持しておき、DO 出力が “L” から “H” に変化するのを検出する方法と、CS をいったん “H” にして DO 出力をみた後、CS を “L” に戻すという動作を繰り返して、DO 出力が “L” から “H” に変化するのを検出する方法があります。

書き込み期間中は SK、DI 入力は無効となりますので命令は入力しないでください。命令の入力は、DO 端子が “H” を出力しているか、ハイインピーダンス (High-Z) 状態である場合に行ってください。DO 端子が “H” を出力している場合であっても、SK の立ち上がりで DI の “H” (スタートビット) を取り込むことで、DO 端子は直ちにハイインピーダンス (High-Z) となります。

ペリファイ動作期間中は、DI 入力は “L” にします。

2.1 データ書き込み (WRITE)

指定するアドレスに 16 ビット長のデータを書き込みます。

CS を “H” にした後、スタートビットに続いて WRITE 命令、アドレス、16 ビットのデータを入力します。16 ビット以上のデータを入力した場合、書き込みデータはクロックごとに順次シフトし、最後に入力した 16 ビット分のデータが有効となります。CS を “L” に立ち下げることで、書き込み動作が開始します。データ書き込み前にデータを “1” にしておく必要はありません。

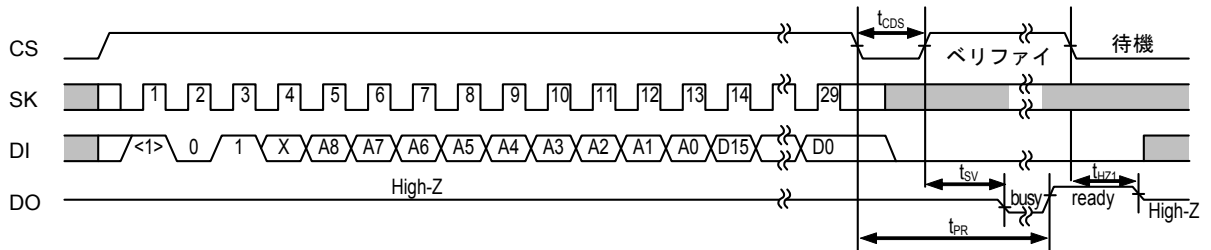


図7 データ書き込みタイミング

2.2 データ消去 (ERASE)

指定するアドレスの 16 ビット長のデータを消去します。データは 16 ビットすべて “1” となります。CS を “H” にした後、スタートビットに続いて ERASE 命令およびアドレスを入力します。データを入力する必要はありません。CS を “L” に立ち下げることで、データ消去動作が開始します。

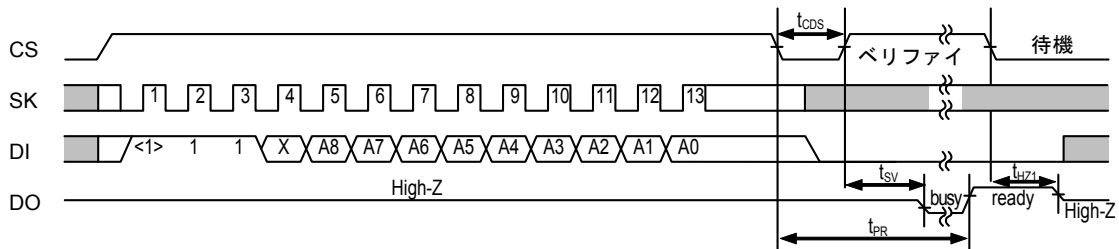


図8 データ消去タイミング

2.3 チップ書き込み (WRAL)

メモリの全アドレス空間に 16 ビット長の同一データを書き込みます。

CS を “H” とした後、スタートビットに続いて WRAL 命令、アドレス、16 ビットのデータを入力します。アドレスは任意です。16 ビット以上のデータを入力した場合、書き込みデータはクロックごとに順次シフトし、最後に入力した 16 ビット分のデータが有効となります。CS を “L” に立ち下げること、書き込み動作が開始します。データ書き込み前にデータを “1” にしておく必要はありません。

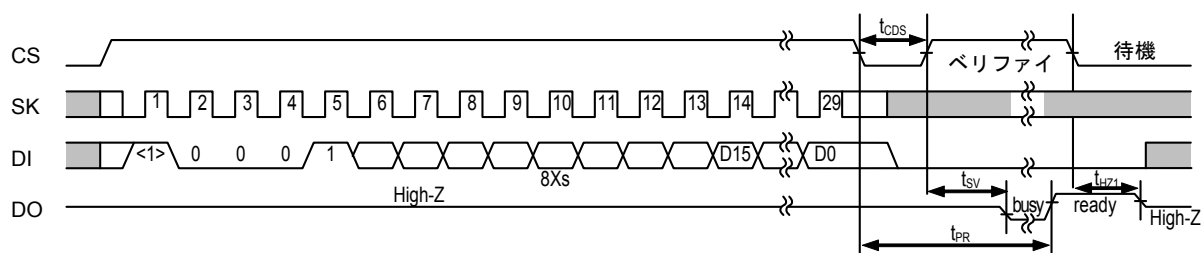


図9 チップ書き込みタイミング

2.4 チップ消去 (ERAL)

メモリの全アドレス空間のデータを消去します。

データはすべて “1” となります。CS を “H” とした後、スタートビットに続いて ERAL 命令およびアドレスを入力します。アドレスは任意です。データを入力する必要はありません。CS を “L” に立ち下げること、チップ消去動作が開始します。

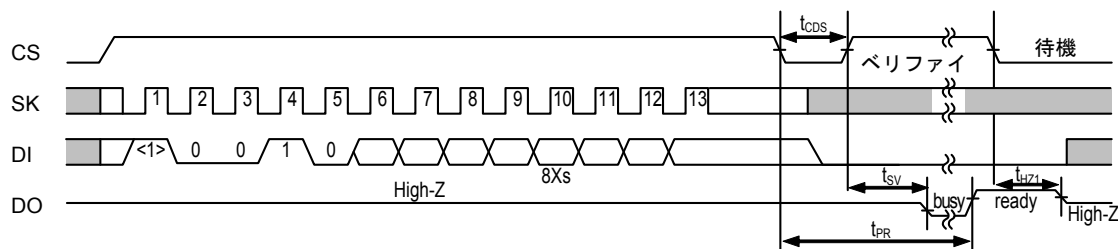


図10 チップ消去タイミング

3. 書き込み許可 (EWEN) / 禁止 (EWDS)

EWEN 命令は、書き込み動作を許可します。書き込み動作が許可されている状態をプログラムイネーブルモードと呼びます。

EWDS 命令は、書き込み動作を禁止します。書き込み動作が禁止されている状態をプログラムディスエーブルモードと呼びます。

パワーオン時と低電源電圧の検出時には書き込み動作禁止状態になっています。外来ノイズや、CPU の暴走などによる意図しない書き込み動作を防止するため、書き込みをする場合以外と電源の ON 後、OFF 前にも EWDS を実行し、プログラムディスエーブルモードにしてください。

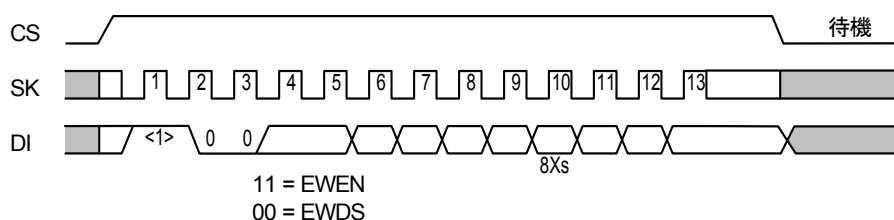


図11 書き込み許可 / 禁止タイミング

■ スタートビットの取り込み

スタートビットは、CSを“H”にした後、SKの立ち上がり時にDIの“H”を取り込むことで認識します(スタートビット認識)。また、書き込み命令を入力し、CSを“L”にして書き込み動作が開始した後に再びCSを“H”とすることで、DO端子からは、書き込み動作中であれば“L”を、書き込み動作が終了していれば“H”を出力します(ペリファイ動作)。したがって、書き込み動作後に限り、次の命令入力を行うためにCSを“H”にすることでDO端子はハイインピーダンス (High-Z) 状態からデータ出力状態となりますが、スタートビットを認識すると、DO端子は再びハイインピーダンス (High-Z) 状態となります (図5 タイミングチャート参照)。

特に、DI入力端子とDO出力端子を接続して3線式インタフェースを構成する場合には、CPUからのデータ出力と、シリアルメモリICからのデータ出力が衝突しないように配慮してください。このことが十分考慮されていないと、スタートビットの取り込みに関して障害が発生する可能性があります。「■ 3線式インタフェース (DI-DO直結)」に記載されている対策を行ってください。

■ 低電源電圧時の書き込み禁止機能

S-93C76A は低電源電圧の検出回路を内蔵し、電源電圧の低下時および電源投入時には書き込み命令 (WRITE、ERASE、WRAL、ERAL) をキャンセルすると共に自動的に書き込み禁止状態 (EWDS) となります。検出電圧は 1.75 V Typ.、解除電圧は 2.05 V Typ. で約 0.3 V のヒステリシスを持っています (図 12 参照)。

したがって、電源電圧が低下し再び書き込み可能な電圧まで上昇した後に書き込み動作を行う場合には、書き込み命令 (WRITE、ERASE、WRAL、ERAL) を送る前に必ず書き込み許可命令 (EWEN) を送る必要があります。

また、書き込み動作中に電源電圧が低下した場合は、書き込みを行っていたアドレスのデータは保証されません。

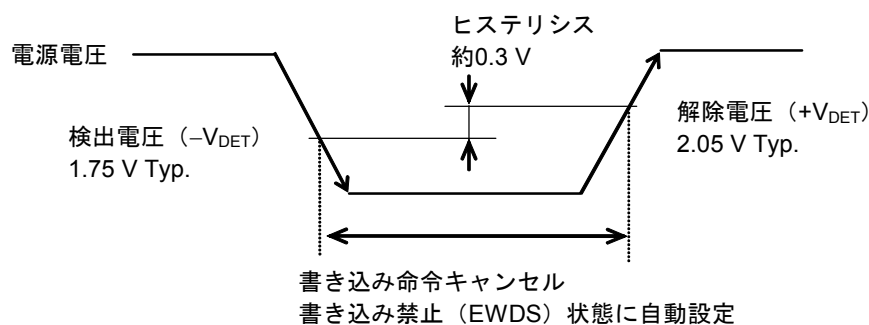


図12 低電源電圧時の動作

■ 3線式インタフェース（DI-DO直結）

シリアルインタフェースを構成する方法として、CS、SK、DI、DO 端子をそれぞれ用いた 4 線式インタフェース方式と DI 入力端子-DO 出力端子を接続する 3 線式インタフェース方式があります。

3 線式インタフェース方式を採用する場合、CPU 側からのデータ出力とシリアルメモリ側からのデータ出力が衝突する期間が発生し、誤動作の原因となる可能性があります。

そのような誤動作を防止するために、CPU からのデータ出力が優先的に DI 端子に入力されるよう、本製品の DI 端子と DO 端子との間に抵抗（10 kΩ～100 kΩの抵抗）を介して接続してください（図 13 参照）。

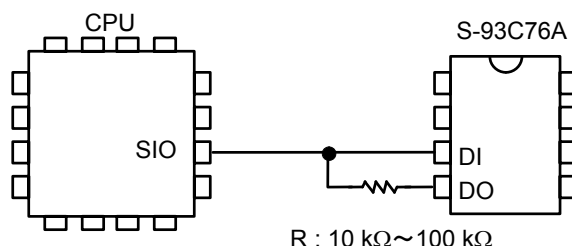


図13 3線式インタフェースの接続法

■ 入出力端子について

1. 入力端子の接続について

本製品の入力端子は、すべてCMOS構造になっておりますので、本製品の動作時にはハイインピーダンスが入力されないように設計してください。特に「電源ON/OFF時」や「動作待機時」はCS入力を非選択状態“L”にしてください。データの誤書き込みは、CS端子が非選択状態“L”であれば起こりません。CS端子を抵抗（10 kΩ～100 kΩのプルダウン抵抗）を介してGNDに接続してください。

より確実に誤動作を防止するためには、CS端子以外の端子についても同等のプルダウン抵抗で処理することを推奨します。

2. 入力、出力端子等価回路

本製品の入力端子の等価回路を示します。各入力端子にはプルアップおよびプルダウン素子は内蔵しておりませんので、フローティング状態にならないよう、設計の際は十分にご注意ください。

出力端子はハイレベル／ローレベル／ハイインピーダンスのトライステート出力になります。

TEST端子は、通常の動作時には、スイッチング用トランジスタで内部回路とは切り離されています。

絶対最大定格内でご使用いただいている限りは、TEST端子と内部回路が接続されることはありません。

2.1 入力端子

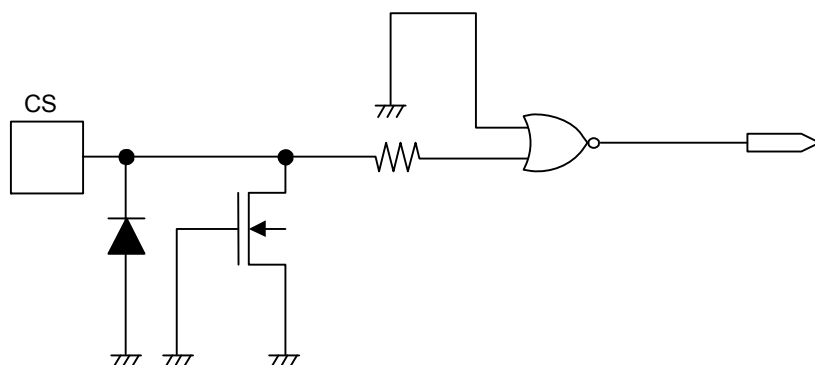


図14 CS端子

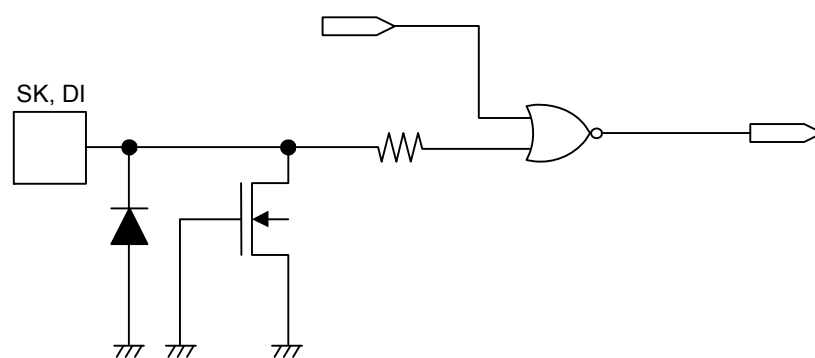


図15 SK DI端子

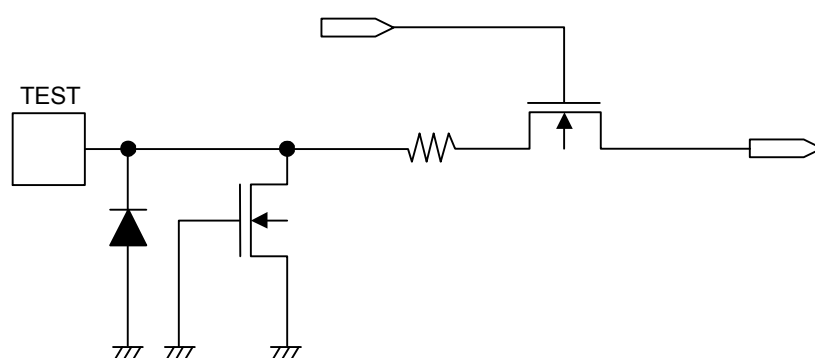


図16 TEST端子

2.2 出力端子

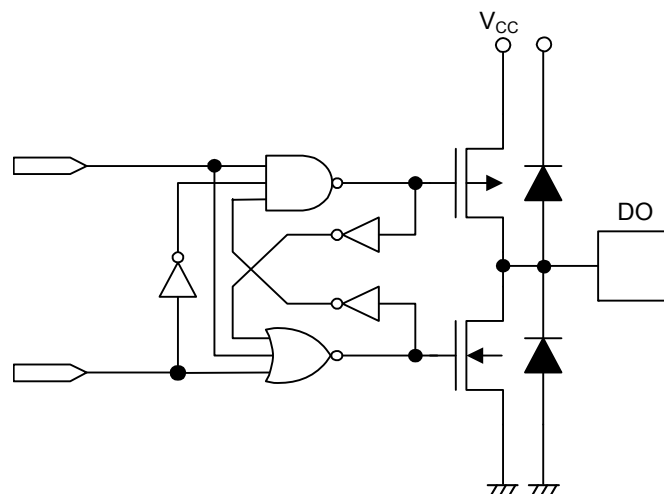


図17 DO端子

3. 入力端子ノイズ除去時間について

本製品のSK端子とDI端子とCS端子にはノイズを除去するためのローパスフィルター回路を内蔵しています。この回路により電源電圧が5.0 Vの場合、常温で20 ns以下のパルス幅のノイズを除去することができます。しかし、20 nsより長いパルス幅で、電圧が V_{IH} / V_{IL} を越える場合には、ノイズを除去することができないため、パルスとして認識しますのでご注意ください。

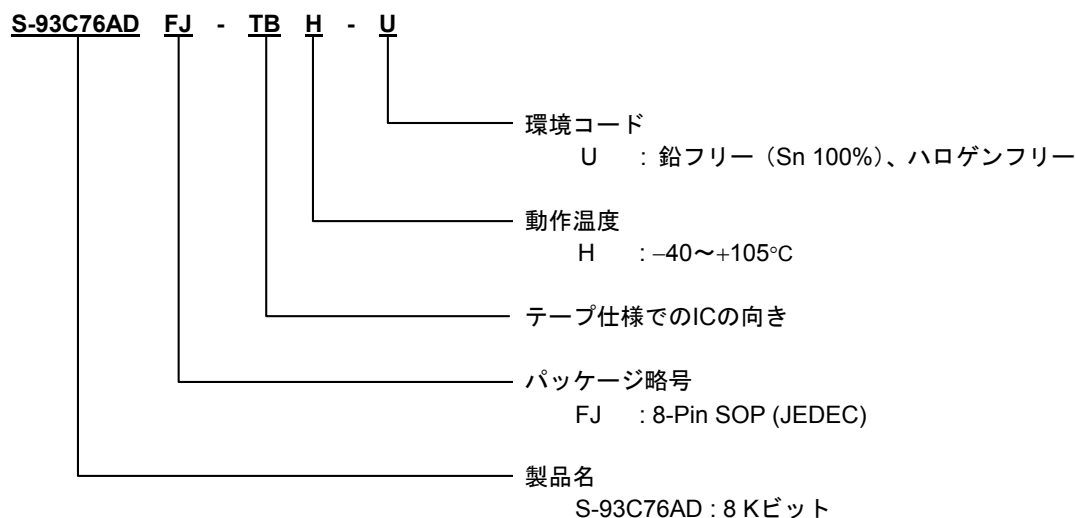
■ 注意事項

- ・ 本 IC は静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気が IC に印加されないようにしてください。
- ・ 弊社 IC を使用して製品を作る場合には、その製品での当 IC の使い方や製品の仕様また、出荷先の国などによって当 IC を含めた製品が特許に抵触した場合、その責任は負いかねます。

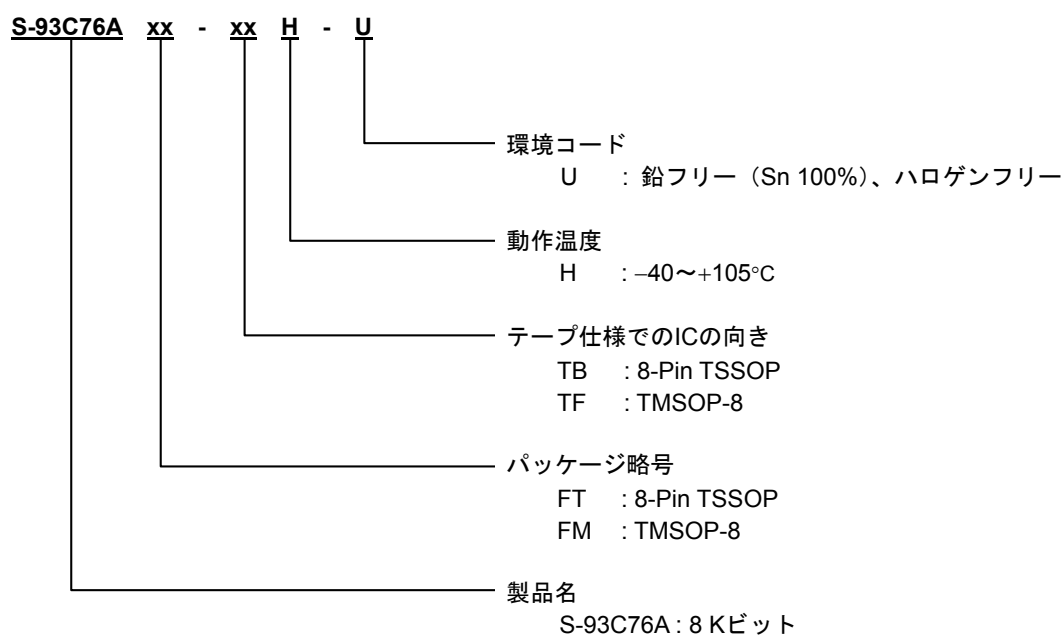
■ 品目コードの構成

1. 製品名

(1) 8-Pin SOP (JEDEC)



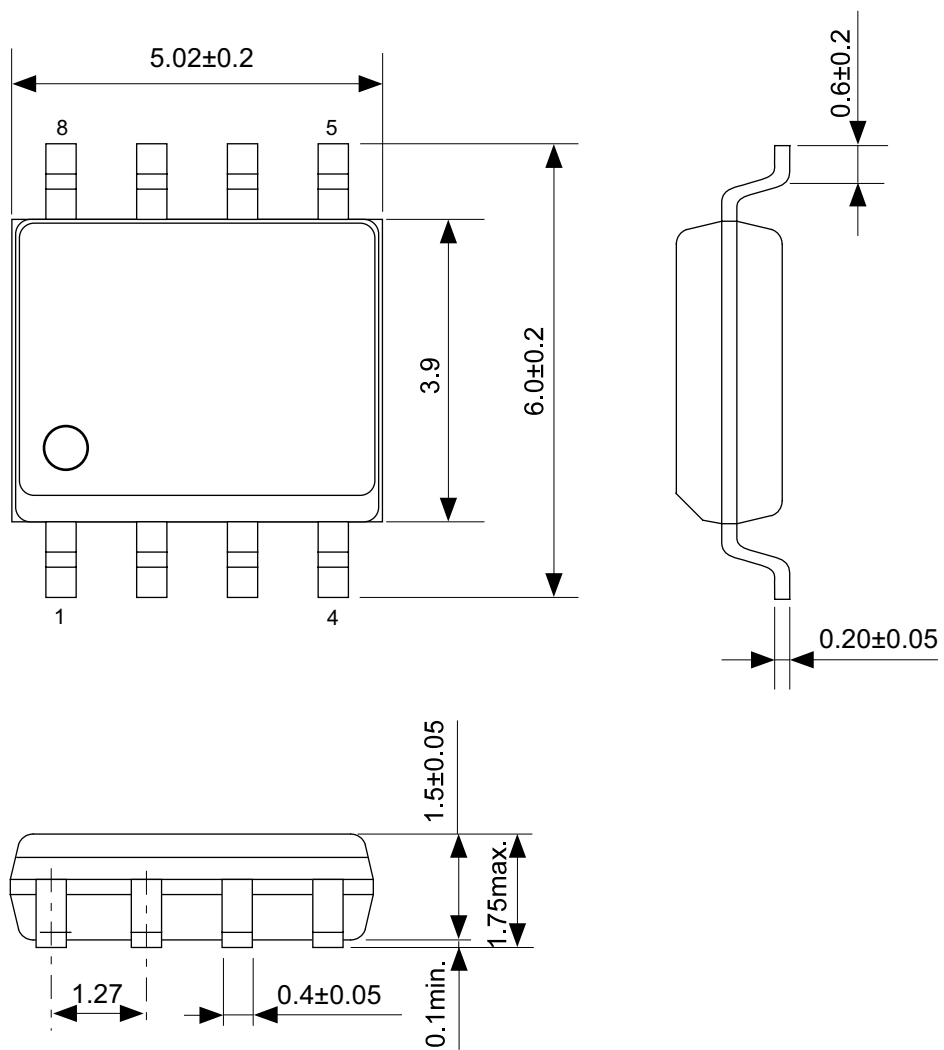
(2) 8-Pin TSSOP、TMSOP-8



備考 上記以外の品目コードの製品をご希望のときは、弊社営業部までお問い合わせください。

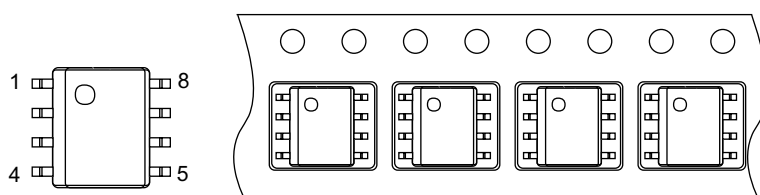
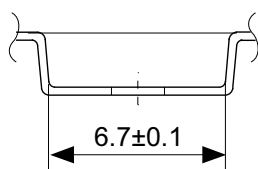
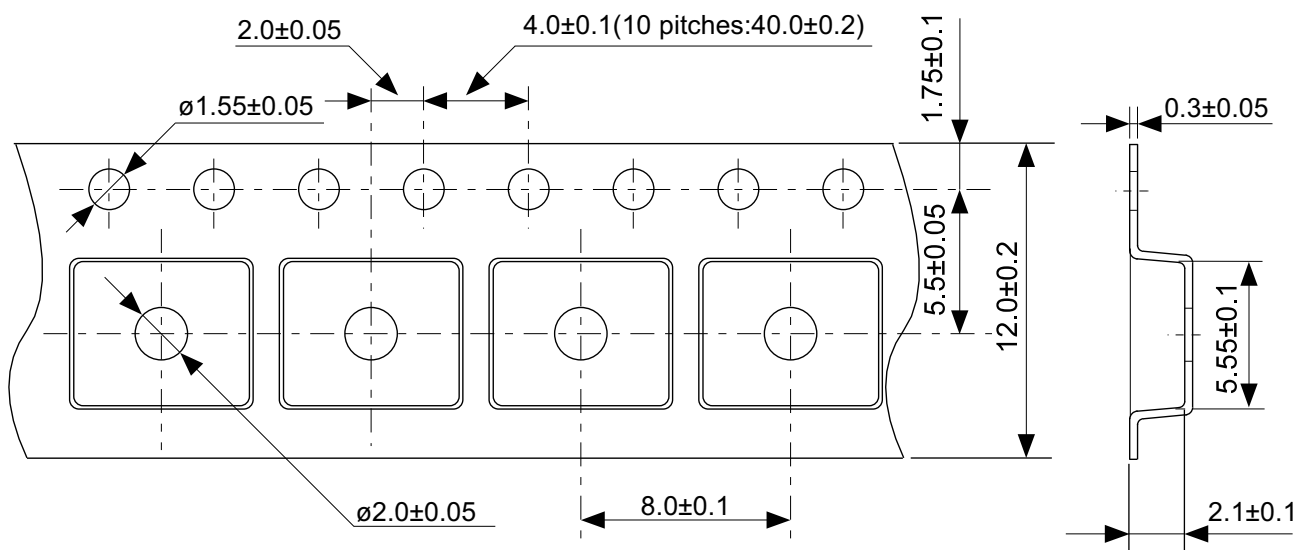
2. パッケージ

パッケージ名	図面コード		
	パッケージ図面	テープ図面	リール図面
8-Pin SOP (JEDEC)	FJ008-A-P-SD	FJ008-D-C-SD	FJ008-D-R-SD
8-Pin TSSOP	FT008-A-P-SD	FT008-E-C-SD	FT008-E-R-SD
TMSOP-8	FM008-A-P-SD	FM008-A-C-SD	FM008-A-R-SD



No. FJ008-A-P-SD-2.2

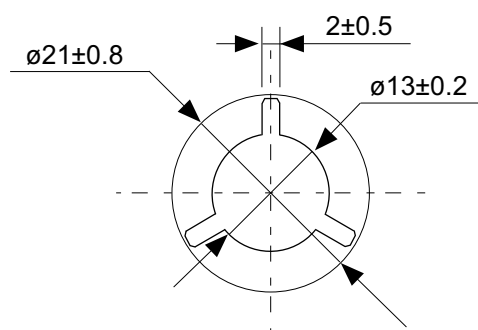
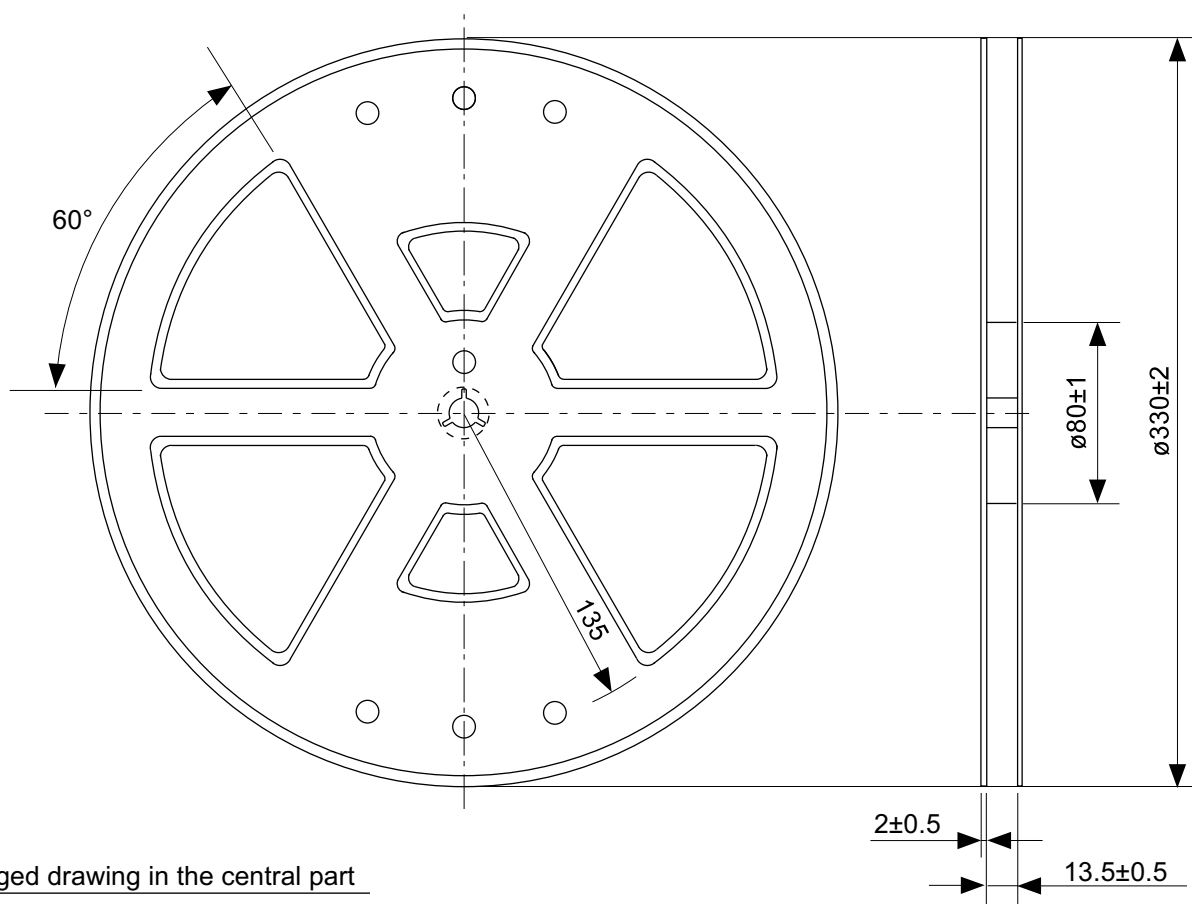
TITLE	SOP8J-D-PKG Dimensions
No.	FJ008-A-P-SD-2.2
ANGLE	
UNIT	mm
ABLIC Inc.	



Feed direction

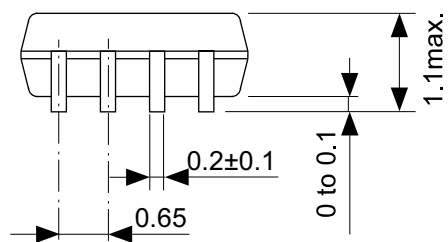
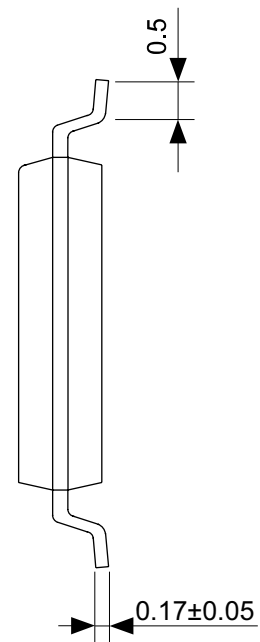
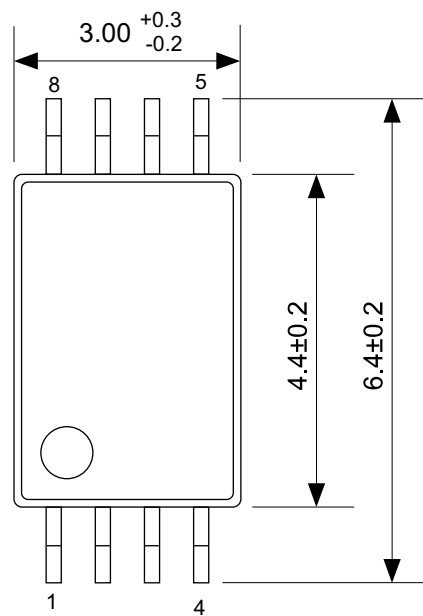
No. FJ008-D-C-SD-1.1

TITLE	SOP8J-D-Carrier Tape
No.	FJ008-D-C-SD-1.1
ANGLE	
UNIT	mm
ABLIC Inc.	



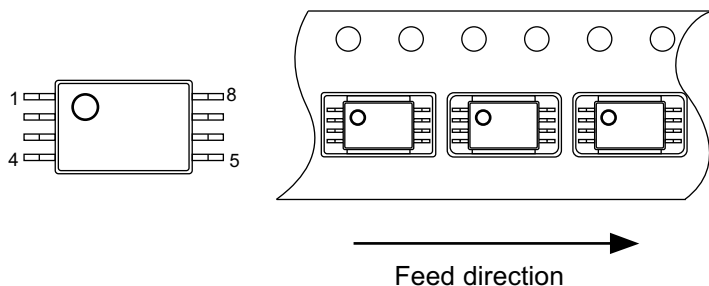
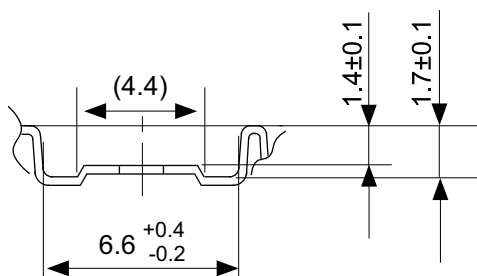
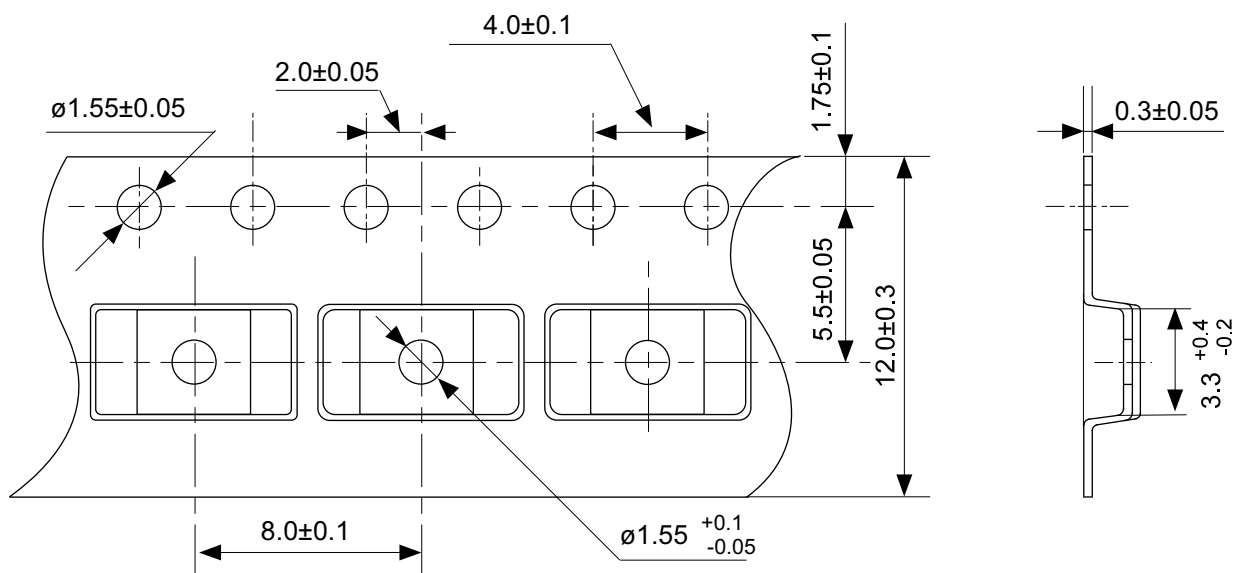
No. FJ008-D-R-SD-1.1

TITLE	SOP8J-D-Reel		
No.	FJ008-D-R-SD-1.1		
ANGLE		QTY.	2,000
UNIT	mm		
ABLIC Inc.			



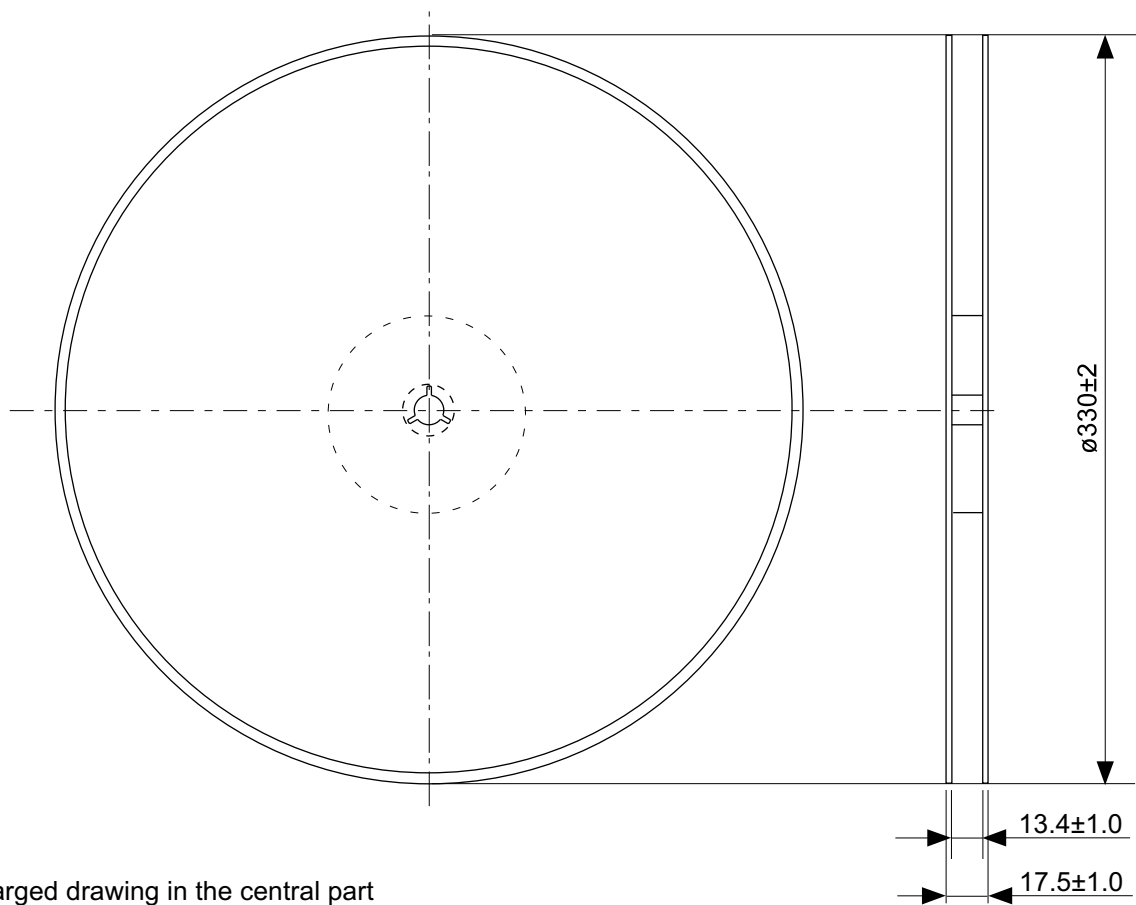
No. FT008-A-P-SD-1.2

TITLE	TSSOP8-E-PKG Dimensions
No.	FT008-A-P-SD-1.2
ANGLE	
UNIT	mm
ABLIC Inc.	

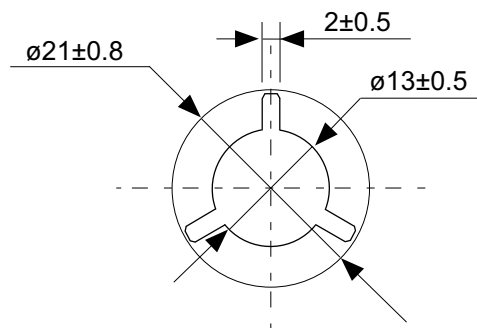


No. FT008-E-C-SD-1.0

TITLE	TSSOP8-E-Carrier Tape
No.	FT008-E-C-SD-1.0
ANGLE	
UNIT	mm
ABLIC Inc.	

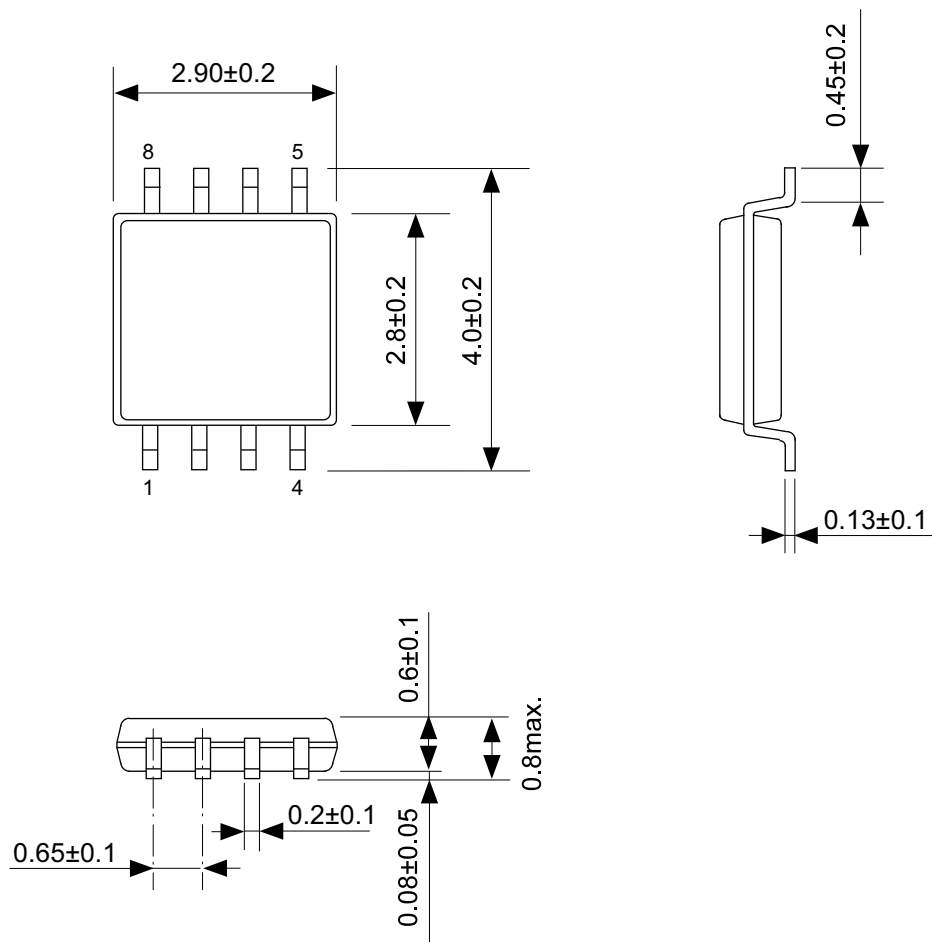


Enlarged drawing in the central part



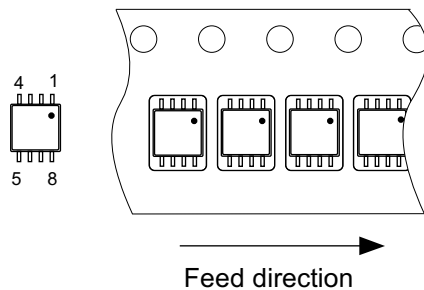
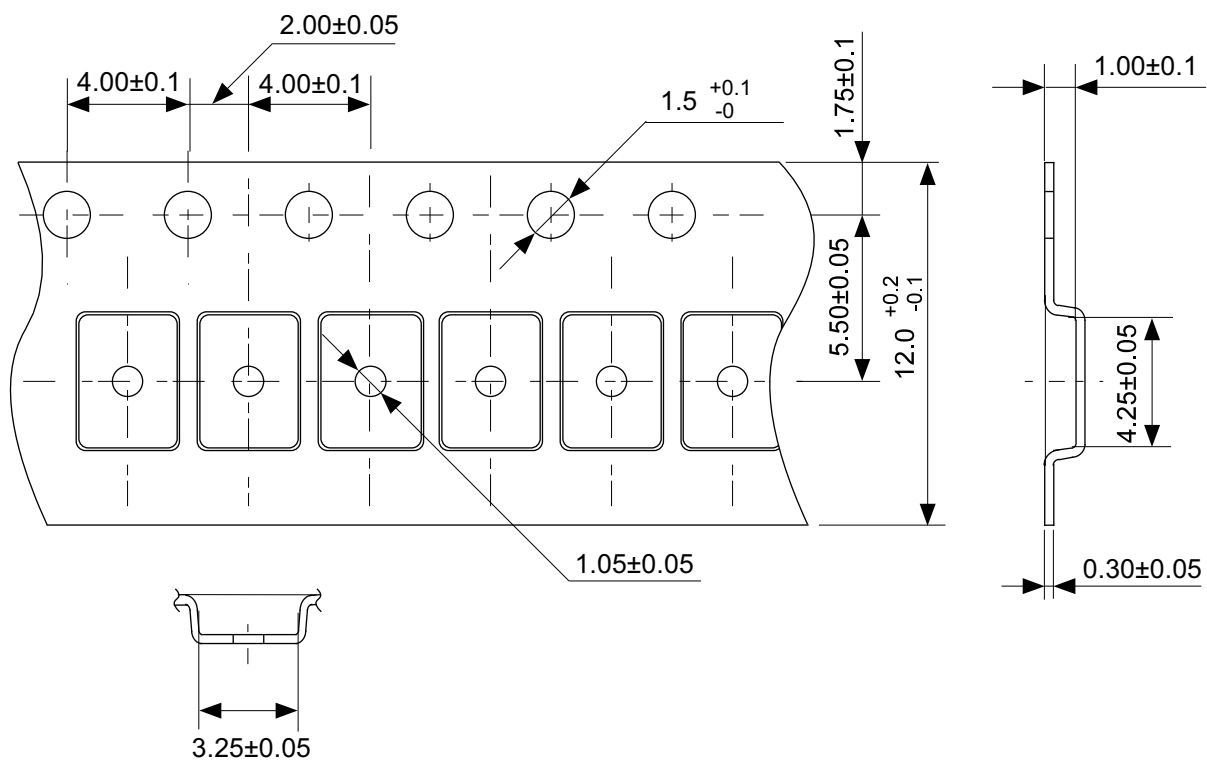
No. FT008-E-R-SD-1.0

TITLE	TSSOP8-E-Reel		
No.	FT008-E-R-SD-1.0		
ANGLE		QTY.	3,000
UNIT	mm		
ABLIC Inc.			



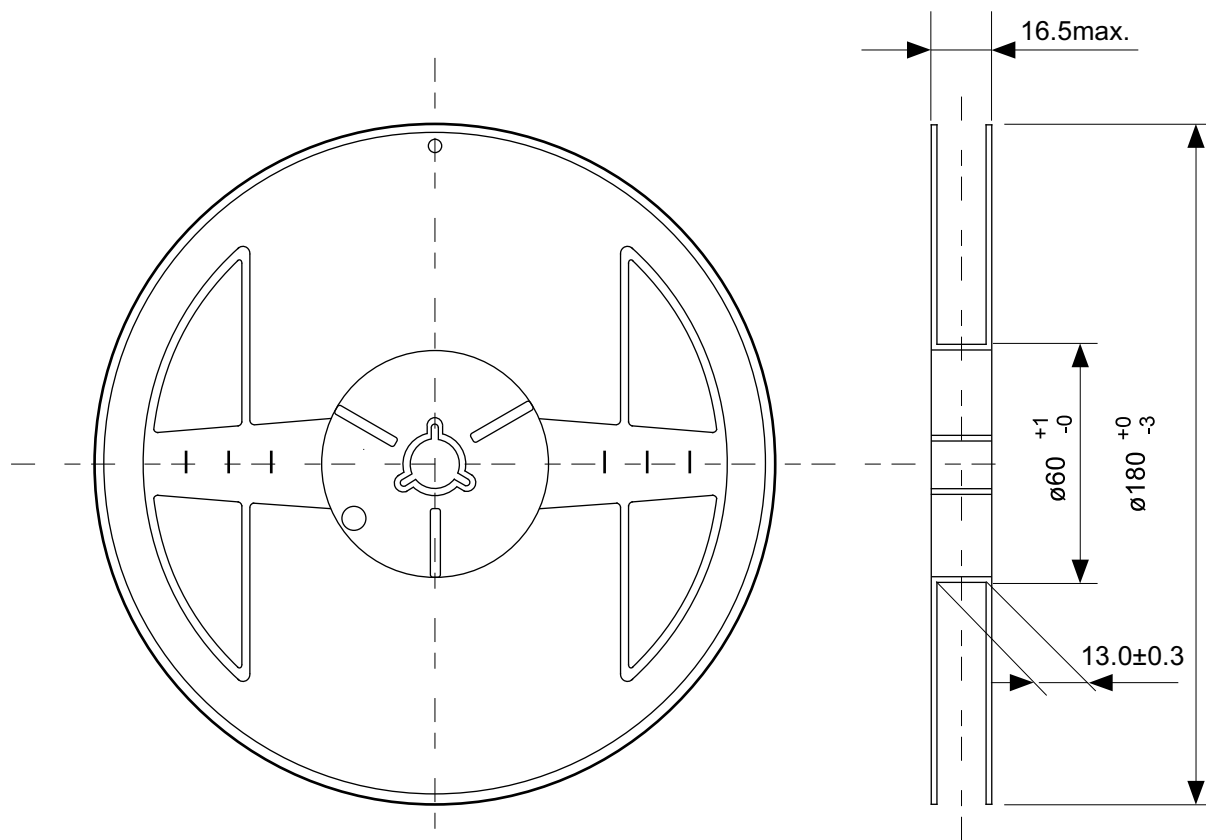
No. FM008-A-P-SD-1.2

TITLE	TMSOP8-A-PKG Dimensions
No.	FM008-A-P-SD-1.2
ANGLE	
UNIT	mm
ABLIC Inc.	

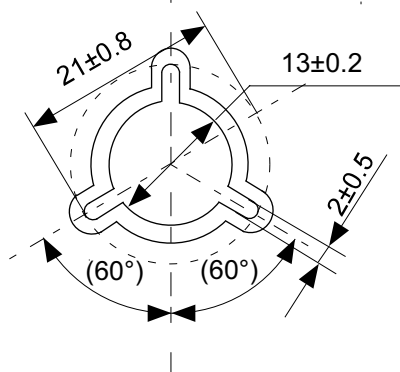


No. FM008-A-C-SD-2.0

TITLE	TMSOP8-A-Carrier Tape
No.	FM008-A-C-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	



Enlarged drawing in the central part



No. FM008-A-R-SD-1.0

TITLE	TMSOP8-A-Reel		
No.	FM008-A-R-SD-1.0		
ANGLE		QTY.	4,000
UNIT	mm		
ABLIC Inc.			

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例、使用方法は参考情報であり、量産設計を保証するものではありません。
本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料に記載の内容に記述の誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。
本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、身体、生命および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。ただし、弊社が車載用等の用途を指定する場合を除きます。上記の機器および装置には、弊社の書面による許可なくして使用しないでください。
特に、生命維持装置、人体に埋め込んで使用する機器等、直接人命に影響を与える機器には使用できません。
これらの用途への利用を検討の際には、必ず事前に弊社営業部にご相談ください。
また、弊社指定の用途以外に使用されたことにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。
本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。
また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。
本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細については、弊社営業部までお問い合わせください。

2.0-2018.01



ABLIC

エイブリック株式会社
www.ablicinc.com