

本IC内置有高精度电压检测电路和延迟电路，通过8个引脚的小型封装可以监视3节 ~ 5节串联锂离子可充电电池的状态。通过将各节电池间短路，可适用于3节 ~ 5节电池的串联连接。

■ 特点

- 针对各节电池的高精度电压检测电路

过充电检测电压 n	3.500 V ~ 4.700 V (进阶单位为5 mV)	精度 ± 20 mV ($T_a = +25^\circ\text{C}$)
		精度 ± 25 mV ($T_a = -10^\circ\text{C} \sim +60^\circ\text{C}$)
过充电解除电压 n^{*1}	3.100 V ~ 4.700 V	精度 ± 50 mV
过放电检测电压 n	1.500 V ~ 3.200 V (进阶单位为50 mV)	精度 ± 80 mV
过放电检测电压 n^{*2}	1.500 V ~ 3.900 V (进阶单位为100 mV)	精度 ± 100 mV
 - 延迟时间仅通过内置电路即可实现 (不需要外接电容)

过充电检测延迟时间:	0.5 s、1 s、2 s、4 s、6 s、8 s
过放电检测延迟时间:	128 ms、256 ms、0.5 s、1 s
 - CO端子、DO端子输出电压限于7.5 V (最大值)
 - CO端子、DO端子输出形式: CMOS输出、N沟道开路漏极输出
 - CO端子、DO端子输出逻辑: 动态 "H"、动态 "L"
 - 高耐压: 绝对最大额定值28 V
 - 工作电压范围广: 3.6 V ~ 24 V
 - 工作温度范围广: $T_a = -40^\circ\text{C} \sim +85^\circ\text{C}$
 - 消耗电流低

工作时 (各节电池3.4 V):	7.0 μA (最大值)
------------------	-------------------------
 - 无铅 (Sn 100%)、无卤素
- *1. 过充电解除电压 = 过充电检测电压 - 过充电滞后电压
(过充电滞后电压为在0 mV ~ 400 mV的范围内以50 mV为进阶单位来选择)
- *2. 过放电解除电压 = 过放电检测电压 + 过放电滞后电压
(过放电滞后电压为在0 mV ~ 700 mV的范围内以100 mV为进阶单位来选择)

备注 $n = 1, 2, 3, 4, 5$

■ 用途

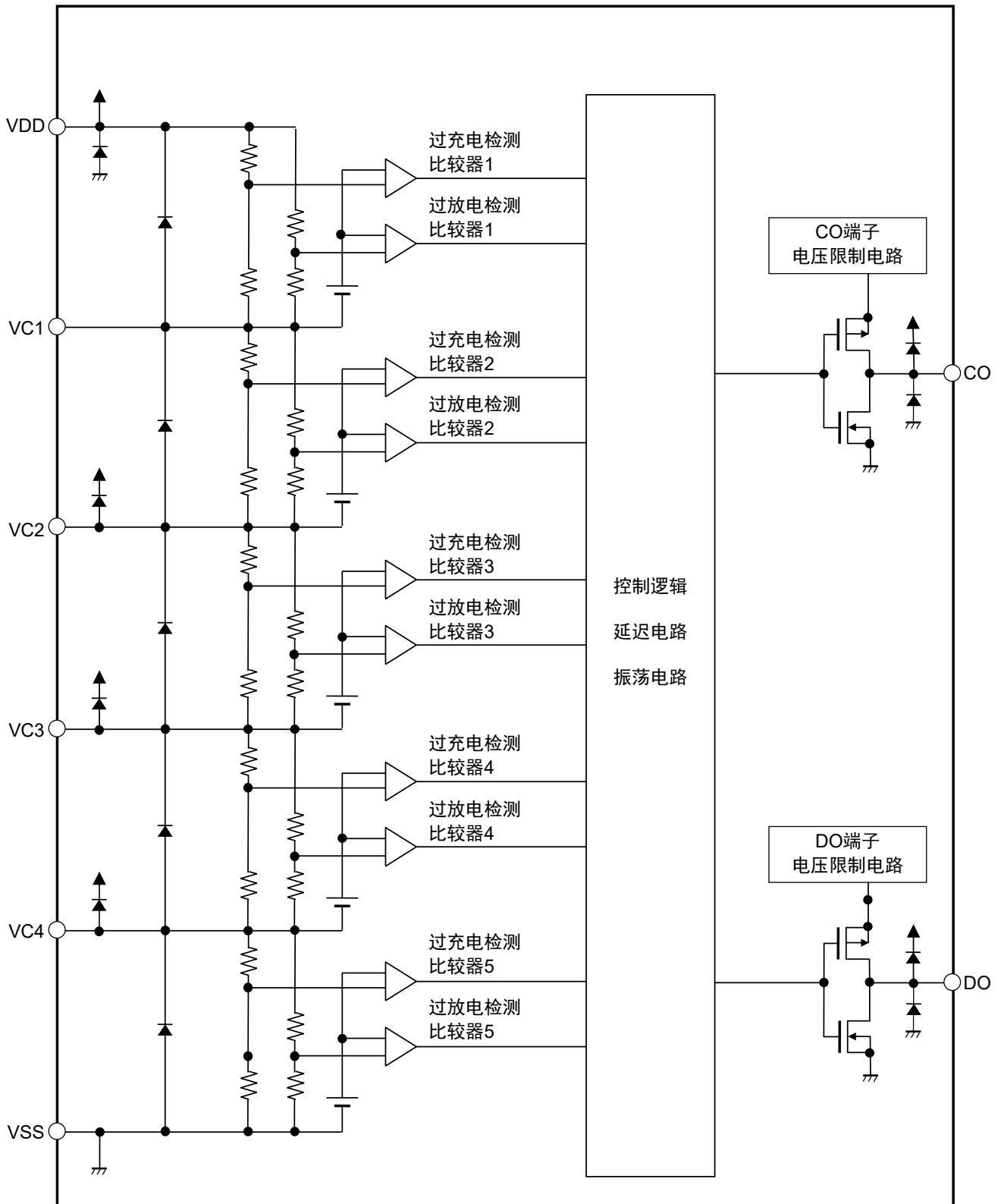
- 锂离子可充电电池组

■ 封装

- TMSOP-8
- SNT-8A

■ 框图

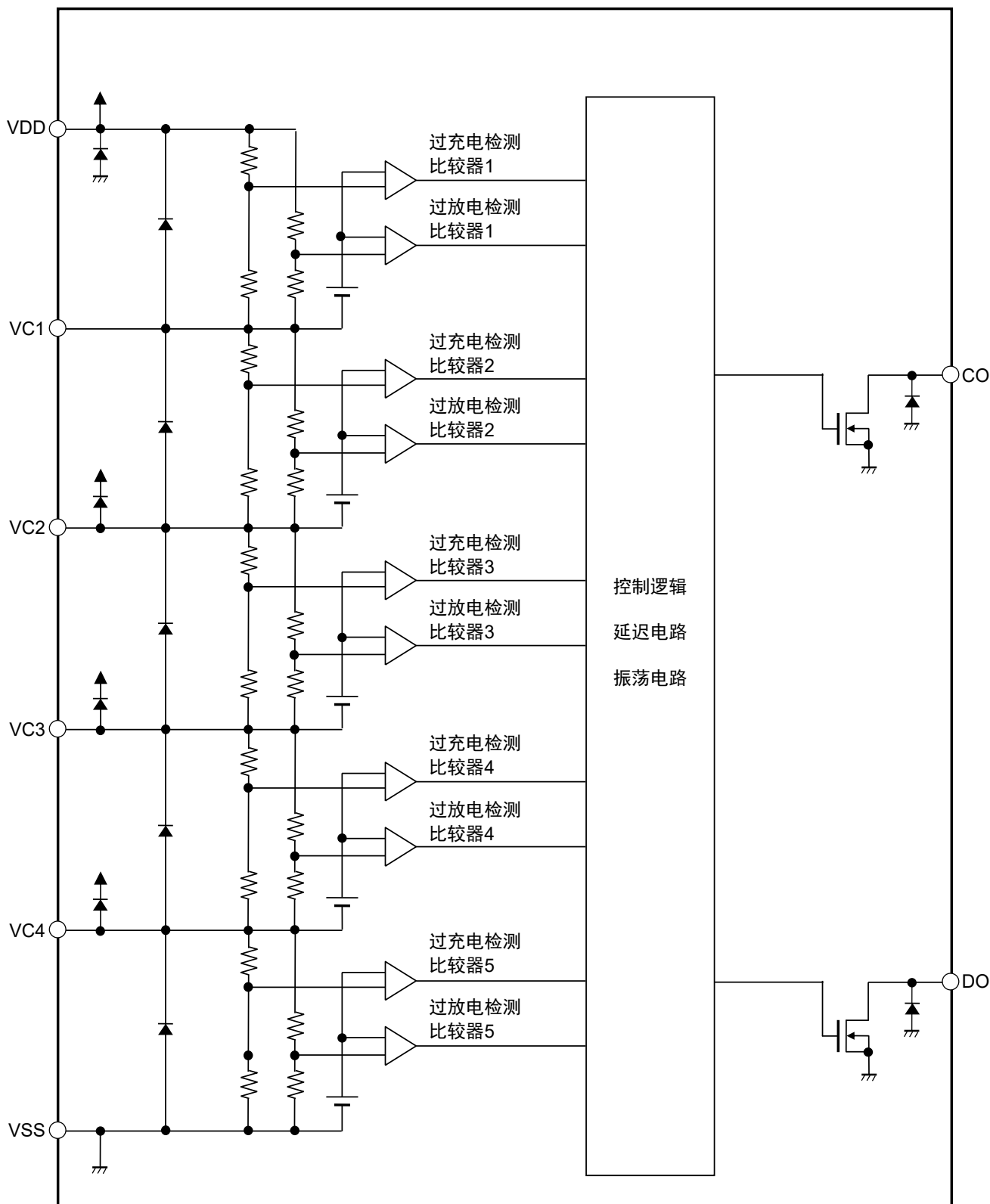
1. CMOS输出产品



备注 图中所指的二极管为寄生二极管。

图1

2. N沟道开路漏极输出产品

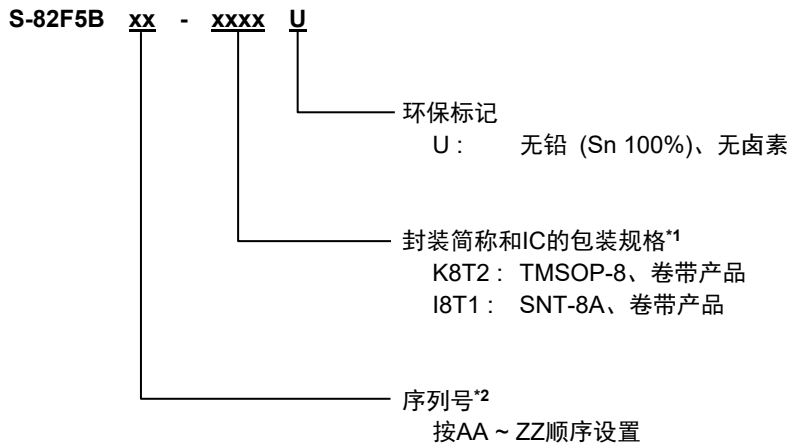


备注 图中所指的二极管为寄生二极管。

图2

■ 产品型号的构成

1. 产品名



*1. 请参阅卷带图。

*2. 请参阅 "3. 产品名目录"。

2. 封装

表1 封装图纸号码

封装名	外形尺寸图	卷带图	带卷图	焊盘图
TMSOP-8	FM008-A-P-SD	FM008-A-C-SD	FM008-A-R-SD	-
SNT-8A	PH008-A-P-SD	PH008-A-C-SD	PH008-A-R-SD	PH008-A-L-SD

3. 产品名目录

3.1 TMSOP-8

表2 (1 / 2)

产品名	过充电 检测电压 [V _{CU}]	过充电 解除电压 [V _{CL}]	过放电 检测电压 [V _{DL}]	过放电 解除电压 [V _{DU}]	过充电检测 延迟时间 ^{*1} [t _{CU}]	过放电检测 延迟时间 ^{*2} [t _{DL}]
S-82F5BAA-K8T2U	4.275 V	4.225 V	2.000 V	2.200 V	1.0 s	1.0 s

表2 (2 / 2)

产品名	CO端子 输出方式	CO端子 输出逻辑	DO端子 输出方式	DO端子 输出逻辑
S-82F5BAA-K8T2U	N沟道开路 漏极输出	动态 "L"	CMOS输出	动态 "H"

*1. 过充电检测延迟时间： 0.5 s、1 s、2 s、4 s、6 s、8 s

*2. 过放电检测延迟时间： 128 ms、256 ms、0.5 s、1 s

备注 如果需要上述以外的产品时，请向代理商咨询。

3.2 SNT-8A

表3 (1 / 2)

产品名	过充电 检测电压 [V _{CU}]	过充电 解除电压 [V _{CL}]	过放电 检测电压 [V _{DL}]	过放电 解除电压 [V _{DU}]	过充电检测 延迟时间 ^{*1} [t _{CU}]	过放电检测 延迟时间 ^{*2} [t _{DL}]
S-82F5BAA-I8T1U	4.275 V	4.225 V	2.000 V	2.200 V	1.0 s	1.0 s

表3 (2 / 2)

产品名	CO端子 输出方式	CO端子 输出逻辑	DO端子 输出方式	DO端子 输出逻辑
S-82F5BAA-I8T1U	N沟道开路 漏极输出	动态 "L"	CMOS输出	动态 "H"

*1. 过充电检测延迟时间： 0.5 s、1 s、2 s、4 s、6 s、8 s

*2. 过放电检测延迟时间： 128 ms、256 ms、0.5 s、1 s

备注 如果需要上述以外的产品时，请向代理商咨询。

■ 引脚排列图

1. TMSOP-8

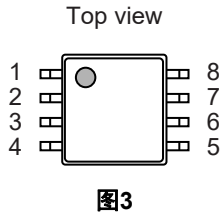


表4

引脚号	符号	描述
1	VDD	正电源输入端子、 电池1的正电压连接端子
2	VC1	电池1的负电压连接端子、 电池2的正电压连接端子
3	VC2	电池2的负电压连接端子、 电池3的正电压连接端子
4	VC3	电池3的负电压连接端子、 电池4的正电压连接端子
5	VC4	电池4的负电压连接端子、 电池5的正电压连接端子
6	VSS	负电源输入端子、 电池5的负电压连接端子
7	DO	过放电检测输出端子
8	CO	过充电检测输出端子

2. SNT-8A

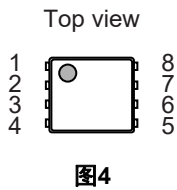


表5

引脚号	符号	描述
1	VDD	正电源输入端子、 电池1的正电压连接端子
2	VC1	电池1的负电压连接端子、 电池2的正电压连接端子
3	VC2	电池2的负电压连接端子、 电池3的正电压连接端子
4	VC3	电池3的负电压连接端子、 电池4的正电压连接端子
5	VC4	电池4的负电压连接端子、 电池5的正电压连接端子
6	VSS	负电源输入端子、 电池5的负电压连接端子
7	DO	过放电检测输出端子
8	CO	过充电检测输出端子

■ 绝对最大额定值

表6

(除特殊注明以外 : Ta = +25°C)

项目		符号	适用端子	绝对最大额定值	单位
VDD端子 - VSS端子间输入电压		V_{DS}	VDD	$V_{SS} - 0.3 \sim V_{SS} + 28$	V
输入端子电压		V_{IN1}	VC1	$V_{DD} - 6.0 \sim V_{DD} + 0.3,$ $V_{IN2} - 0.3 \sim V_{IN2} + 6.0$	V
		V_{IN2}	VC2	$V_{IN3} - 0.3 \sim V_{IN3} + 6.0,$ $V_{IN3} - 0.3 \sim V_{DD} + 0.3$	V
		V_{IN3}	VC3	$V_{IN4} - 0.3 \sim V_{IN4} + 6.0,$ $V_{IN4} - 0.3 \sim V_{DD} + 0.3$	V
		V_{IN4}	VC4	$V_{SS} - 0.3 \sim V_{SS} + 6.0,$ $V_{SS} - 0.3 \sim V_{DD} + 0.3$	V
输出端子电压	CMOS输出产品	V_{OUT}	DO	$V_{SS} - 0.3 \sim V_{DD} + 0.3$	V
			CO	$V_{SS} - 0.3 \sim V_{DD} + 0.3$	V
	N沟道开路漏极输出产品		DO	$V_{SS} - 0.3 \sim V_{SS} + 28$	V
			CO	$V_{SS} - 0.3 \sim V_{SS} + 28$	V
工作环境温度		T_{opr}	-	-40 ~ +85	°C
保存温度		T_{stg}	-	-40 ~ +125	°C

注意 绝对最大额定值是指在任何条件下都不能超过的额定值。万一超过此额定值, 有可能造成产品劣化等物理性的损伤。

■ 热敏电阻值

表7

项目	符号	条件	最小值	典型值	最大值	单位	
结至环境热阻*1	θ_{JA}	TMSOP-8	Board A	-	160	-	°C/W
			Board B	-	133	-	°C/W
			Board C	-	-	-	°C/W
			Board D	-	-	-	°C/W
			Board E	-	-	-	°C/W
		SNT-8A	Board A	-	211	-	°C/W
			Board B	-	173	-	°C/W
			Board C	-	-	-	°C/W
			Board D	-	-	-	°C/W
			Board E	-	-	-	°C/W

*1. 测定环境 : 遵循JEDEC STANDARD JESD51-2A标准

备注 关于详情, 请参阅 "■ Power Dissipation" 和 "Test Board"。

■ 电气特性

表8

(除特殊注明以外: Ta = +25°C)

项目	符号	条件	最小值	典型值	最大值	单位	测定电路
检测电压							
过充电检测电压n (n = 1, 2, 3, 4, 5)	V _{CU_n}	V1 = V2 = V3 = V4 = V5 = V _{CU} - 0.1 V	V _{CU} - 0.020	V _{CU}	V _{CU} + 0.020	V	1
		Ta = -10°C ~ +60°C*1, V1 = V2 = V3 = V4 = V5 = V _{CU} - 0.1 V	V _{CU} - 0.025	V _{CU}	V _{CU} + 0.025	V	1
过充电解除电压n (n = 1, 2, 3, 4, 5)	V _{CL_n}	-	V _{CL} - 0.050	V _{CL}	V _{CL} + 0.050	V	2
过放电检测电压n (n = 1, 2, 3, 4, 5)	V _{DL_n}	-	V _{DL} - 0.08	V _{DL}	V _{DL} + 0.08	V	2
过放电解除电压n (n = 1, 2, 3, 4, 5)	V _{DU_n}	-	V _{DU} - 0.10	V _{DU}	V _{DU} + 0.10	V	2
输入电压							
VDD端子 - VSS端子间工作电压	V _{DSOP}	-	3.6	-	24	V	-
输出电压							
CO端子电压 "H"	V _{COH}	CMOS输出产品	5.0	6.0	7.5	V	2
DO端子电压 "H"	V _{DOH}	CMOS输出产品	5.0	6.0	7.5	V	2
输入电流							
工作时消耗电流	I _{OPE}	V1 = V2 = V3 = V4 = V5 = 3.4 V	-	2.5	7.0	μA	2
VCn端子电流 (n = 1, 2, 3, 4)	I _{VCN}	V1 = V2 = V3 = V4 = V5 = 3.4V	-1.0	0	1.0	μA	2
输出电流							
DO端子吸收电流	I _{DOL}	-	20	-	-	μA	2
DO端子源极电流	I _{DOH}	CMOS输出产品	-	-	-20	μA	2
DO端子泄漏电流	I _{DOLL}	N沟道开路漏极输出产品	-	-	0.1	μA	2
CO端子吸收电流	I _{COL}	-	20	-	-	μA	2
CO端子源极电流	I _{COH}	CMOS输出产品	-	-	-20	μA	2
CO端子泄漏电流	I _{COLL}	N沟道开路漏极输出产品	-	-	0.1	μA	2
延迟时间							
过充电检测延迟时间	t _{CU}	-	t _{CU} × 0.7	t _{CU}	t _{CU} × 1.3	-	2
过放电检测延迟时间	t _{DL}	-	t _{DL} × 0.7	t _{DL}	t _{DL} × 1.3	-	2

*1. 并没有在高温以及低温的条件下进行筛选, 因此只保证在此温度范围下的设计规格。

■ 测定电路

测定电路的初始状态请按下述设定。

表9

测定项目	CO端子输出方式	DO端子输出方式	SW1	SW2	SW3	SW4	SW5	SW6
工作时消耗电流、 CO端子吸收电流、 CO端子泄漏电流、 DO端子吸收电流、 DO端子泄漏电流	-	-	OFF	OFF	OFF	OFF	OFF	OFF
除上述以外	CMOS输出	CMOS输出	OFF	OFF	OFF	OFF	OFF	OFF
	CMOS输出	N沟道开路漏极输出	ON	OFF	OFF	OFF	OFF	OFF
	N沟道开路漏极输出	CMOS输出	OFF	ON	OFF	OFF	OFF	OFF
	N沟道开路漏极输出	N沟道开路漏极输出	ON	ON	OFF	OFF	OFF	OFF

1. 过充电检测电压 n (V_{CU_n}) (测定电路1)

在设定 $V1 = V2 = V3 = V4 = V5 = V_{CU} - 0.1$ V后，缓慢提升 $V1$ ，CO端子输出开始反转时 $V1$ 的电压即为过充电检测电压1 (V_{CU1})。

其它的过充电检测电压 n (V_{CU_n}) 可采用与 $n = 1$ 时同样的方法求出。

2. 过充电解除电压 n (V_{CL_n}) (测定电路2)

在设定 $V1 = V_{CU} + 0.1$ V, $V2 = V3 = V4 = V5 = V_{CL} - 0.1$ V后，使CO端子输出反转。之后，缓慢降低 $V1$ ，CO端子输出再次开始反转时 $V1$ 的电压即为过充电解除电压1 (V_{CL1})。

其它的过充电解除电压 n (V_{CL_n}) 可采用与 $n = 1$ 时同样的方法求出。

3. 过放电检测电压 n (V_{DL_n})、过放电解除电压 n (V_{DU_n}) (测定电路2)

在设定 $V1 = V2 = V3 = V4 = V5 = V_{DL} + 0.1$ V后，缓慢降低 $V1$ ，DO端子输出开始反转时 $V1$ 的电压即为过放电检测电压1 (V_{DL1})。之后，设定 $V2 = V3 = V4 = V5 = V_{DU} + 0.15$ V，缓慢提升 $V1$ ，DO端子输出再次开始反转时 $V1$ 的电压即为过放电解除电压1 (V_{DU1})。

其它的过放电检测电压 n (V_{DL_n}) 和过放电解除电压 n (V_{DU_n}) 可采用与 $n = 1$ 时同样的方法求出。

备注 $n = 1, 2, 3, 4, 5$

4. CO端子输出电压 "H" (V_{COH}), DO端子输出电压 "H" (V_{DOH}) (测定电路2)

4.1 CO端子输出逻辑动态 "H"

在设定 $V1 = 4.8\text{ V}$, $V2 = V3 = V4 = V5 = 3.05\text{ V}$, $I2 = 0.1\text{ }\mu\text{A}$, SW6为ON时的CO端子 - VSS端子间电压为CO端子输出电压 "H" (V_{COH})。

4.2 CO端子输出逻辑动态 "L"

在设定 $V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $I2 = 0.1\text{ }\mu\text{A}$, SW6为ON时的CO端子 - VSS端子间电压为CO端子输出电压 "H" (V_{COH})。

4.3 DO端子输出逻辑动态 "H"

在设定 $V1 = 1.4\text{ V}$, $V2 = V3 = V4 = V5 = 3.9\text{ V}$, $I1 = 0.1\text{ }\mu\text{A}$, SW5为ON时的DO端子 - VSS端子间电压为DO端子输出电压 "H" (V_{DOH})。

4.4 DO端子输出逻辑动态 "L"

在设定 $V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $I1 = 0.1\text{ }\mu\text{A}$, SW5为ON时的DO端子 - VSS端子间电压为DO端子输出电压 "H" (V_{DOH})。

5. CO端子源极电流 (I_{COH}), CO端子吸收电流 (I_{COL}), CO端子泄漏电流 (I_{COLL}) DO端子源极电流 (I_{DOH}), DO端子吸收电流 (I_{DOL}), DO端子泄漏电流 (I_{DOLL}) (测定电路2)

5.1 CO端子CMOS输出产品

5.1.1 CO端子输出逻辑动态 "H"

在设定 $V1 = 4.8\text{ V}$, $V2 = V3 = V4 = V5 = 3.05\text{ V}$, $V7 = V_{COH} - 0.5\text{ V}$ 后, 把SW4设定为ON。此时的CO端子电流即为CO端子源极电流 (I_{COH})。

在设定 $V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V7 = 0.5\text{ V}$ 后, 把SW4设定为ON。此时的CO端子电流即为CO端子吸收电流 (I_{COL})。

5.1.2 CO端子输出逻辑动态 "L"

在设定 $V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V7 = V_{COH} - 0.5\text{ V}$ 后, 把SW4设定为ON。此时的CO端子电流即为CO端子源极电流 (I_{COH})。

在设定 $V1 = 4.8\text{ V}$, $V2 = V3 = V4 = V5 = 3.05\text{ V}$, $V7 = 0.5\text{ V}$ 后, 把SW4设定为ON。此时的CO端子电流即为CO端子吸收电流 (I_{COL})。

5.2 CO端子N沟道开路漏极输出产品

5.2.1 CO端子输出逻辑动态 "H"

在设定 $V1 = 4.8\text{ V}$, $V2 = V3 = V4 = V5 = 3.05\text{ V}$, $V7 = 17\text{ V}$ 后, 把SW4设定为ON。此时的CO端子电流即为CO端子吸收电流 (I_{COLL})。

在设定 $V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V7 = 0.5\text{ V}$ 后, 把SW4设定为ON。此时的CO端子电流即为CO端子吸收电流 (I_{COL})。

5.2.2 CO端子输出逻辑动态 "L"

在设定 $V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V7 = 17\text{ V}$ 后, 把SW4设定为ON。此时的CO端子电流即为CO端子泄漏电流 (I_{COLL})。

在设定 $V1 = 4.8\text{ V}$, $V2 = V3 = V4 = V5 = 3.05\text{ V}$, $V7 = 0.5\text{ V}$ 后, 把SW4设定为ON。此时的CO端子电流即为CO端子吸收电流 (I_{COL})。

5.3 DO端子CMOS输出产品

5.3.1 DO端子输出逻辑动态 "H"

在设定 $V1 = 1.4\text{ V}$, $V2 = V3 = V4 = V5 = 3.9\text{ V}$, $V6 = V_{\text{DOH}} - 0.5\text{ V}$ 后, 把SW3设定为ON。此时的DO端子电流即为DO端子源极电流 (I_{DOH})。

在设定 $V1 = 4.8\text{ V}$, $V2 = 4.1\text{ V}$, $V3 = 4.1\text{ V}$, $V4 = 4.0\text{ V}$, $V5 = 0\text{ V}$, $V6 = 0.5\text{ V}$ 后, 把SW3设定为ON。此时的DO端子电流即为DO端子吸收电流 (I_{DOL})。

5.3.2 DO端子输出逻辑动态 "L"

在设定 $V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V6 = V_{\text{DOH}} - 0.5\text{ V}$ 后, 把SW3设定为ON。此时的DO端子电流即为DO端子源极电流 (I_{DOH})。

在设定 $V1 = 1.4\text{ V}$, $V2 = V3 = V4 = V5 = 3.9\text{ V}$, $V6 = 0.5\text{ V}$ 后, 把SW3设定为ON。此时的DO端子电流即为DO端子吸收电流 (I_{DOL})。

5.4 DO端子N沟道开路漏极输出产品

5.4.1 DO端子输出逻辑动态 "H"

在设定 $V1 = 1.4\text{ V}$, $V2 = V3 = V4 = V5 = 3.9\text{ V}$, $V6 = 17\text{ V}$ 后, 把SW3设定为ON。此时的DO端子电流即为DO端子泄漏电流 (I_{DOLL})。

在设定 $V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V6 = 0.5\text{ V}$ 后, 把SW3设定为ON。此时的DO端子电流即为DO端子吸收电流 (I_{DOL})。

5.4.2 DO端子输出逻辑动态 "L"

在设定 $V1 = V2 = V3 = V4 = V5 = 3.4\text{ V}$, $V6 = 17\text{ V}$ 后, 把SW3设定为ON。此时的DO端子电流即为DO端子泄漏电流 (I_{DOLL})。

在设定 $V1 = 1.4\text{ V}$, $V2 = V3 = V4 = V5 = 3.9\text{ V}$, $V6 = 0.5\text{ V}$ 后, 把SW3设定为ON。此时的DO端子电流即为DO端子吸收电流 (I_{DOL})。

6. 过充电检测延迟时间 (t_{CU}) (测定电路2)

在设定 $V5 = V_{\text{CU}} - 0.2\text{ V}$, $V1 = V2 = V3 = V4 = 3.4\text{ V}$ 后, 把V5电压提升至 $V_{\text{CU}} + 0.2\text{ V}$, 至CO端子输出开始反转为止的时间即为过充电检测延迟时间 (t_{CU})。

7. 过放电检测延迟时间 (t_{DL}) (测定电路2)

在设定 $V5 = V_{\text{DL}} + 0.2\text{ V}$, $V2 = V3 = V4 = V5 = 3.4\text{ V}$ 后, 把V5电压降低至 $V_{\text{DL}} - 0.2\text{ V}$, 至DO端子输出开始反转为止的时间即为过放电检测延迟时间 (t_{DL})。

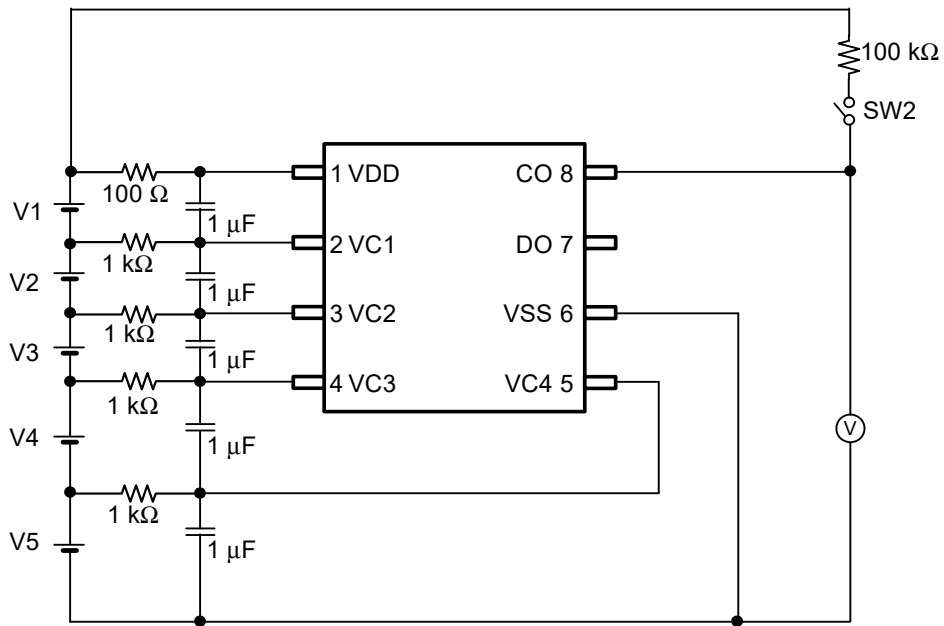


图5 测定电路1

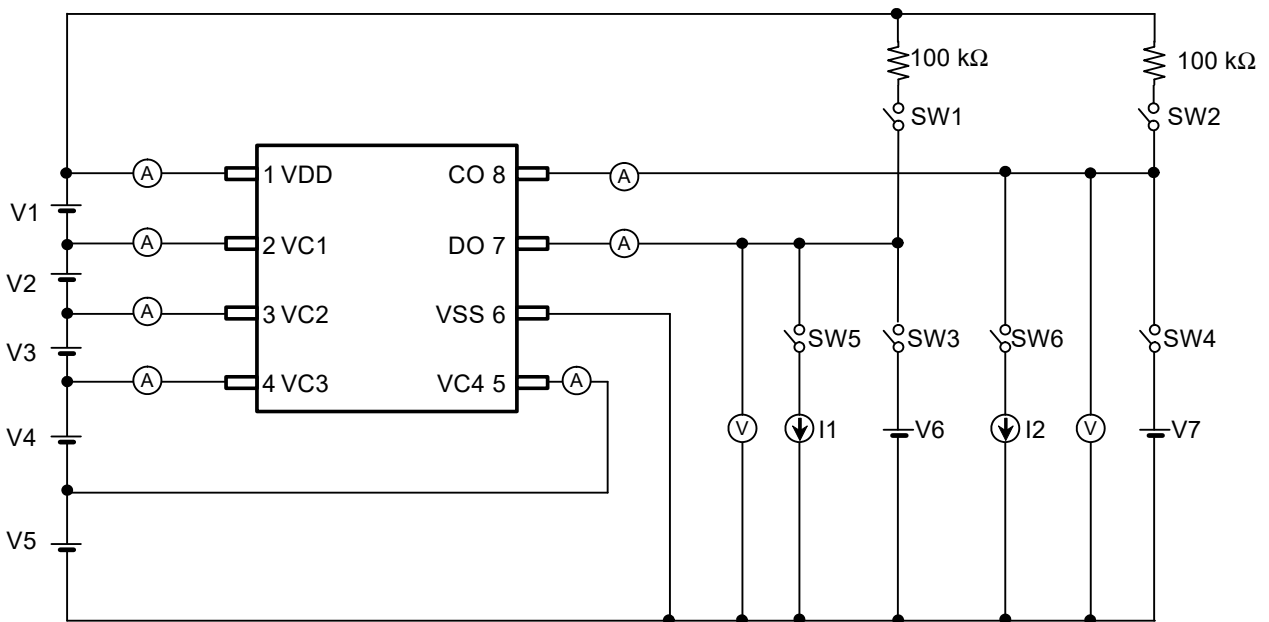


图6 测定电路2

■ 工作说明

1. 通常状态

所有电池电压在过放电检测电压 n (V_{DLn}) 和过充电检测电压 n (V_{CUn}) 之间时, CO端子输出如表10所示, DO端子输出如表11所示。这种状态称为通常状态。

表10

CO端子逻辑	CO端子输出
动态 "H"	"L"
动态 "L"	"H"

表11

DO端子逻辑	DO端子输出
动态 "H"	"L"
动态 "L"	"H"

2. 过充电状态

如果任何一个电池电压在充电过程中超过了过充电检测电压 n (V_{CUn}), 且这种状态持续保持, 超过过充电检测延迟时间 (t_{cu}) 时, CO端子的输出开始反转。这种状态称为过充电状态。

当所有电池电压都未达到过充电解除电压 n (V_{CLn}) 时, 就会解除过充电状态, 返回到通常状态。

3. 过放电状态

如果任何一个电池电压在放电过程中低于过放电检测电压 n (V_{DLn}), 且这种状态持续保持, 超过过放电检测延迟时间 (t_{DL}) 时, DO端子的输出开始反转。这种状态称为过放电状态。

所有电池电压上升到过放电解除电压 ($V_{DU n}$) 以上时, 就会返回通常状态。

4. 测试模式

本IC可以转换为测试模式来缩短过充电检测延迟时间 (t_{cu}) 和过放电延迟时间 (t_{DL})。

在本IC处于通常状态时, 把DO端子电压设定为以下电压后, 可以转换至测试模式。

表12

DO端子输出方式	DO端子输出逻辑	DO端子电压
CMOS输出	动态 "L"	0 V
CMOS输出	动态 "H"	5 V
N沟道开路漏极输出	—	$V_{DD} + 5 V$

在测试模式下, 过放电状态不是通过DO端子, 而是通过CO端子来输出的。

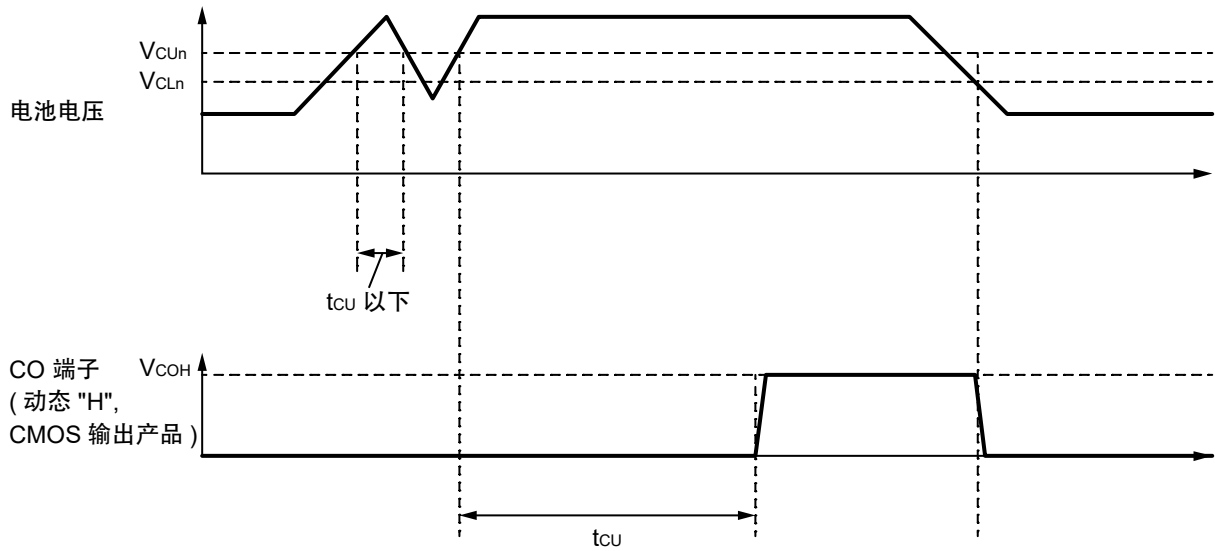
转换至测试模式后, 通过保持DO端子电压, 即使转移到过充电状态或过放电状态, 测试模式也将维持。当DO端子电压输入返回到通常状态输出时, 会解除测试模式。

注意 要转变为测试模式, 必须在所有电池处于非过充电状态、非过放电状态下进行。

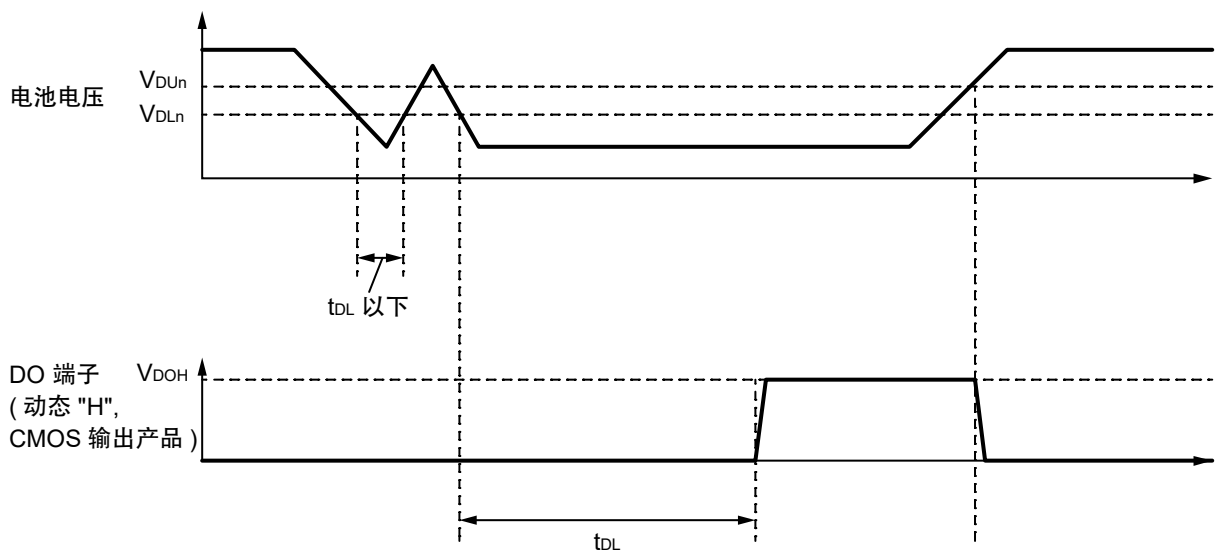
备注 $n = 1, 2, 3, 4, 5$

■ 时序图

1. 过充电检测工作



2. 过放电检测工作



备注 n = 1, 2, 3, 4, 5

■ 电池保护IC的连接示例

1. 5节串联 (CO端子输出形式：CMOS输出、DO端子输出形式：CMOS输出)

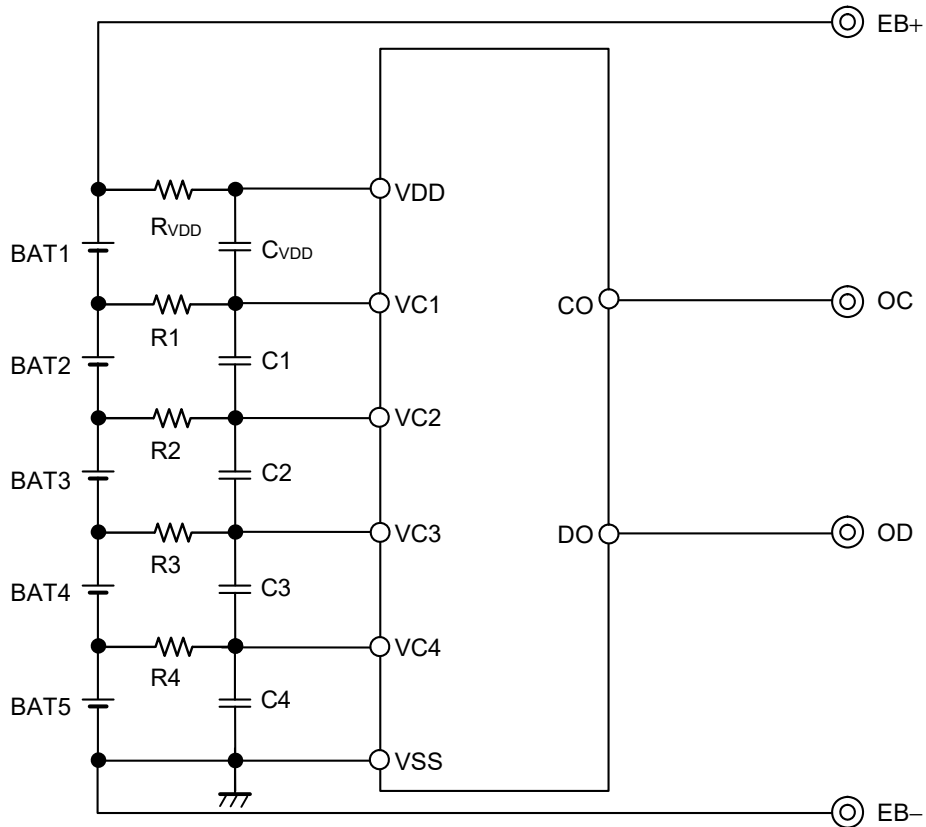


图9

表13 外接元器件参数

No.	元器件	典型值	单位
1	$R1 \sim R4$	1	$k\Omega$
2	$C1 \sim C4, C_{VDD}$	1	μF
3	R_{VDD}	100	Ω

- 注意 1. 参数有可能不经预告而作更改。
 2. 未确认连接示例以外的电路工作。连接示例和参数并不作为保证电路工作的依据。请在实际的应用电路上进行充分的实测后再设置参数。

2. 4节串联 (CO端子输出形式: CMOS输出、DO端子输出形式: CMOS输出)

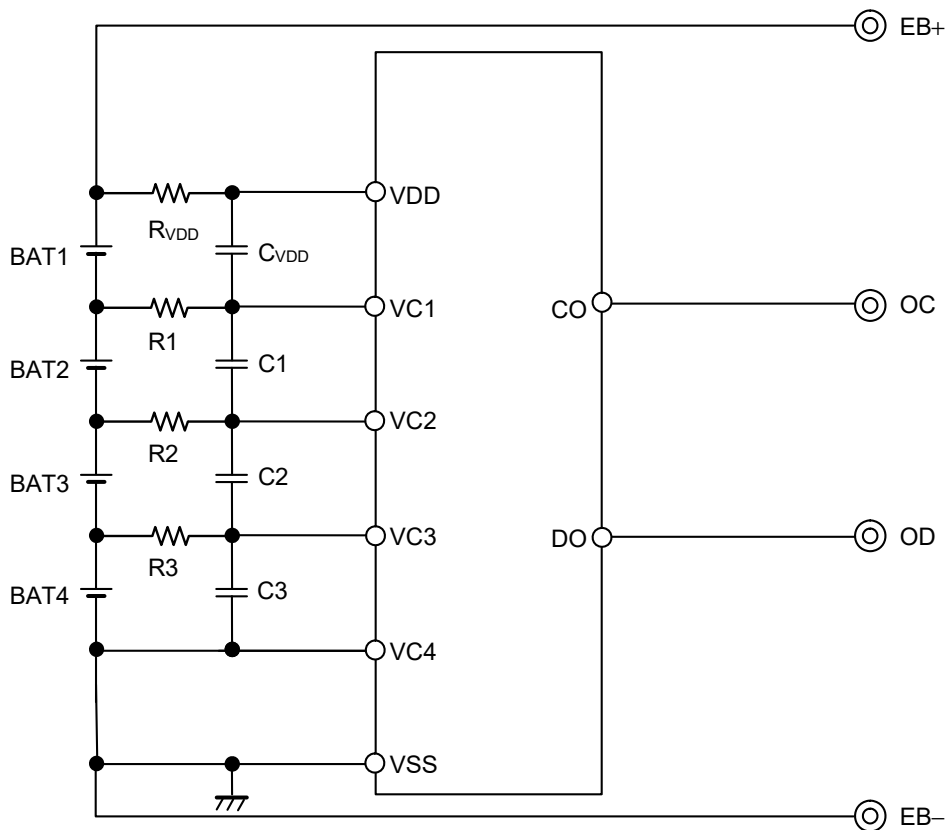


图10

表14 外接元器件参数

No.	元器件	典型值	单位
1	R1 ~ R3	1	kΩ
2	C1 ~ C3, C_VDD	1	μF
3	R_VDD	100	Ω

- 注意 1. 参数有可能不经预告而作更改。
2. 未确认连接示例以外的电路工作。连接示例和参数并不作为保证电路工作的依据。请在实际的应用电路上进行充分的实测后再设置参数。

3. 3节串联 (CO端子输出形式: CMOS输出、DO端子输出形式: CMOS输出)

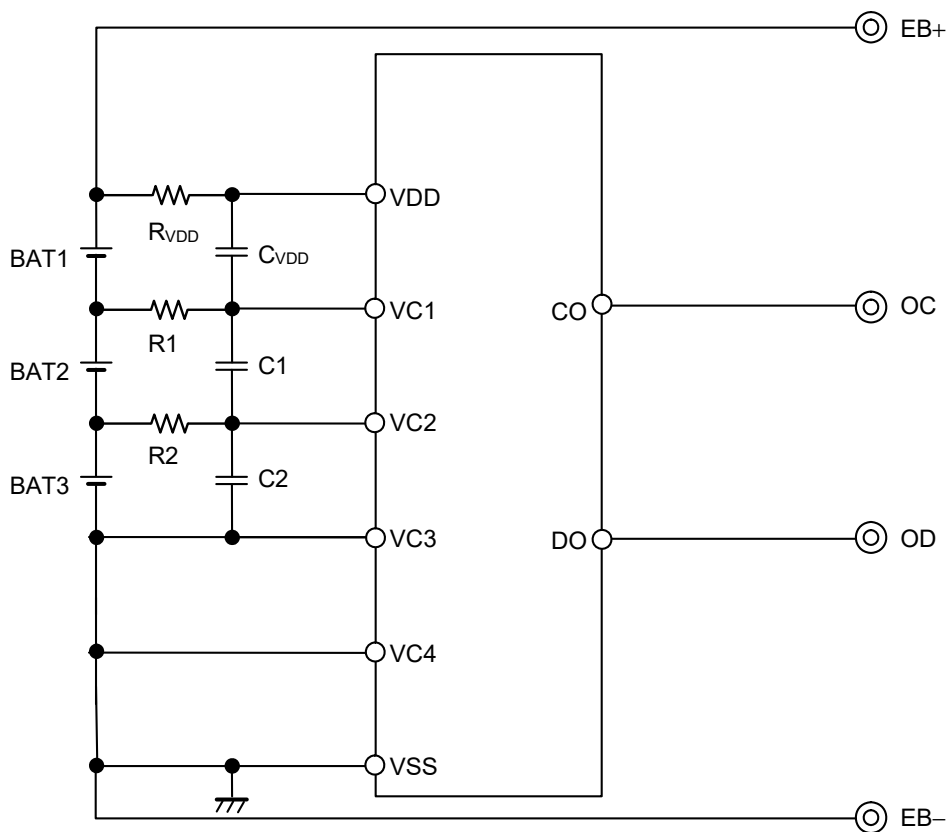


图11

表15 外接元器件参数

No.	元器件	典型值	单位
1	R1, R2	1	k Ω
2	C1, C2, C _{VDD}	1	μ F
3	R _{VDD}	100	Ω

- 注意 1. 参数有可能不经预告而作更改。
2. 未确认连接示例以外的电路工作。连接示例和参数并不作为保证电路工作的依据。请在实际的应用电路上进行充分的实测后再设置参数。

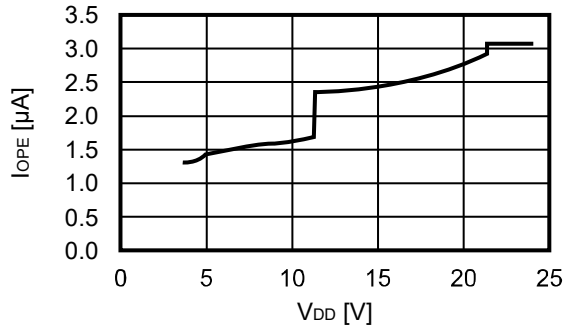
■ 注意事项

- 请注意输入输出电压、负载电流的使用条件，使IC内的功耗不超过容许功耗。
- 过充电电池和过放电电池同时存在时，变为过充电状态与过放电状态。
- 本IC虽内置防静电保护电路，但请不要对IC施加超过保护电路性能的过大静电。
- 使用本公司的IC生产产品时，如因其产品中对该IC的使用方法或产品的规格，或因进口国等原因，包含本IC产品在内的制品发生专利纠纷时，本公司概不承担相应责任。

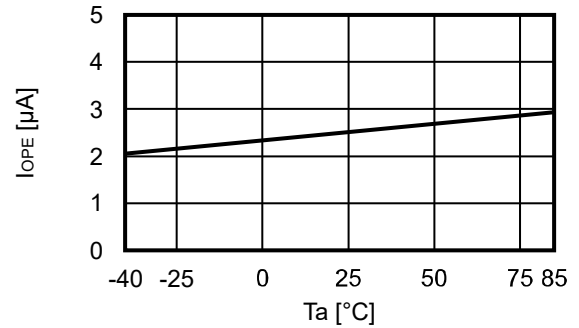
■ 各种特性数据 (典型数据)

1. 消耗电流

1.1 $I_{OPE} - V_{DD}$

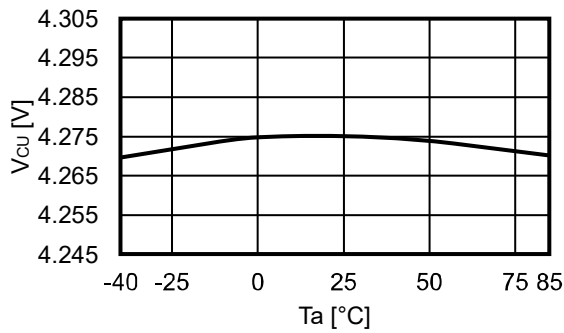


1.2 $I_{OPE} - T_a$

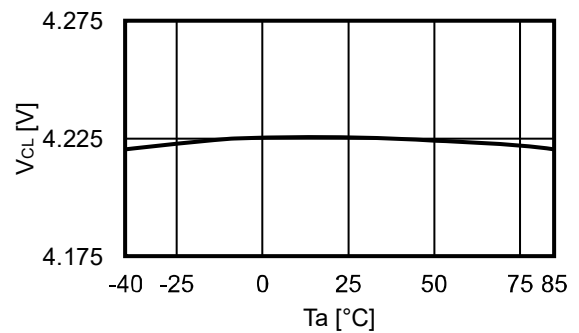


2. 检测电压、解除电压

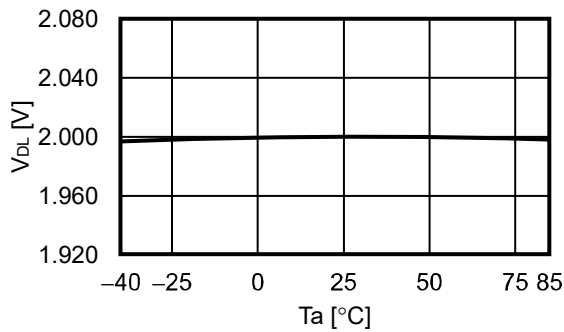
2.1 $V_{CU} - T_a$



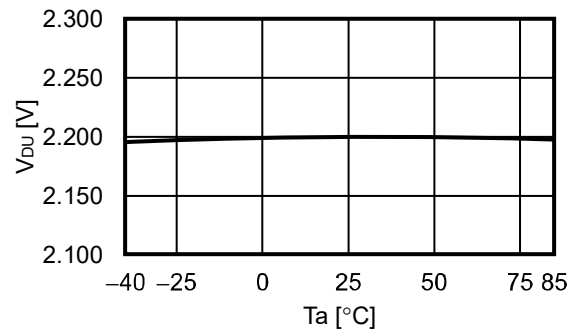
2.2 $V_{CL} - T_a$



2.3 $V_{DL} - T_a$

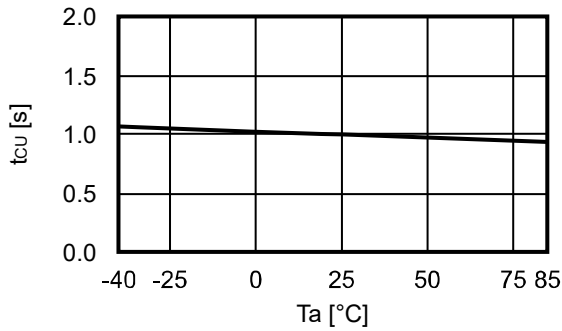


2.4 $V_{DU} - T_a$

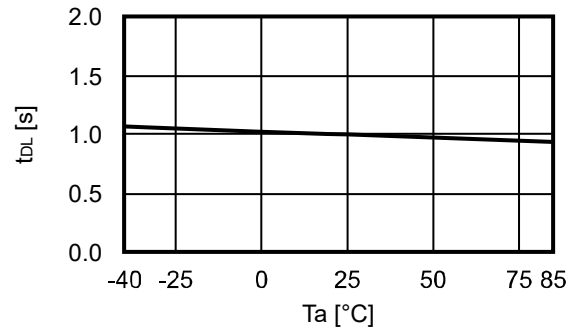


3. 延迟时间

3.1 $t_{CU} - T_a$

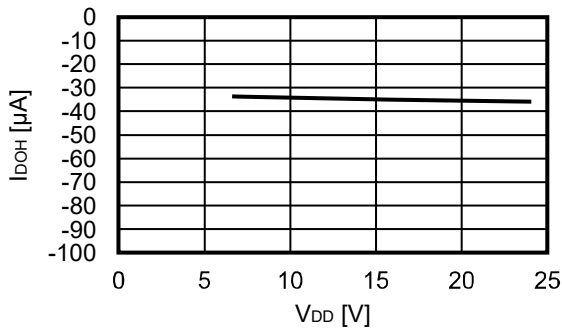


3.2 $t_{DL} - T_a$

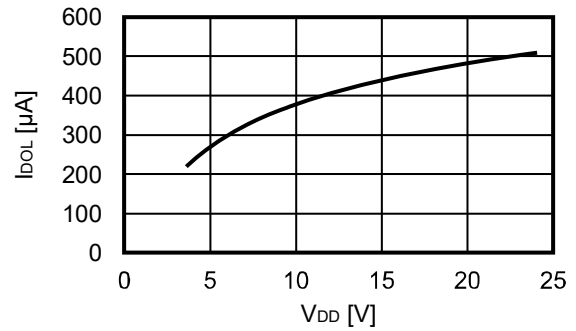


4. 输出端子

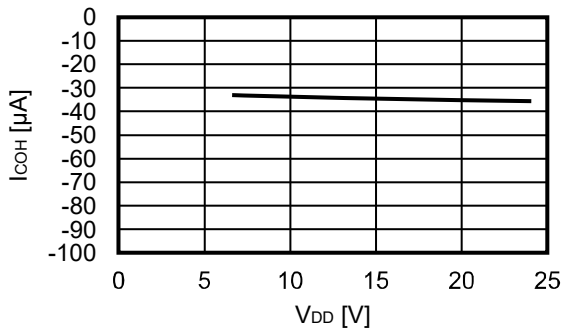
4.1 $I_{DOH} - V_{DD}$



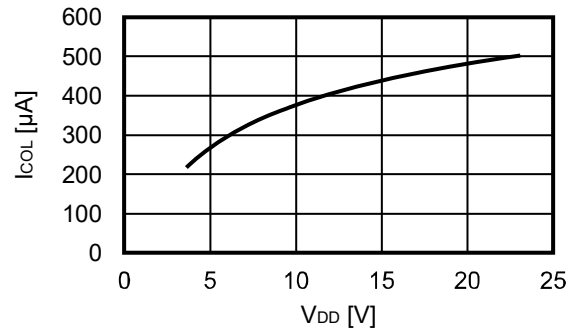
4.2 $I_{DOL} - V_{DD}$



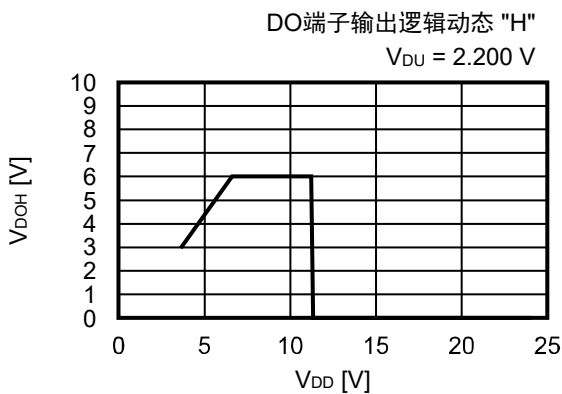
4.3 $I_{COH} - V_{DD}$



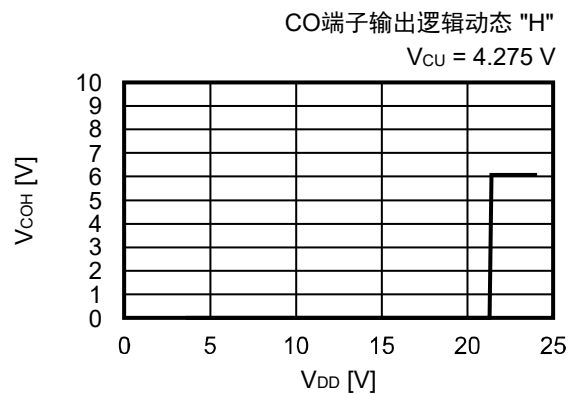
4.4 $I_{COL} - V_{DD}$



4.5 $V_{DOH} - V_{DD}$

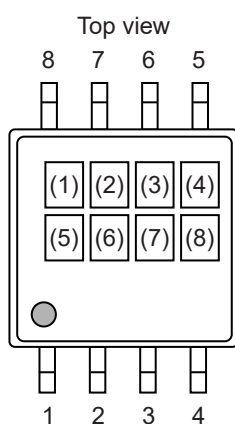


4.6 $V_{COH} - V_{DD}$



■ 标记规格

1. TMSOP-8

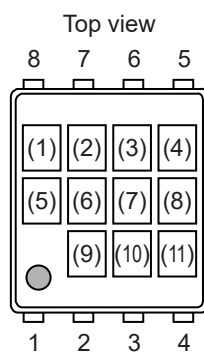


- (1): 空白
 (2) ~ (4): 产品简称 (请参照产品名和产品简称的对照表)
 (5): 空白
 (6) ~ (8): 批号

产品名和产品简称的对照表

产品名	产品简称		
	(2)	(3)	(4)
S-82F5BAA-K8T2U	b	E	A

2. SNT-8A



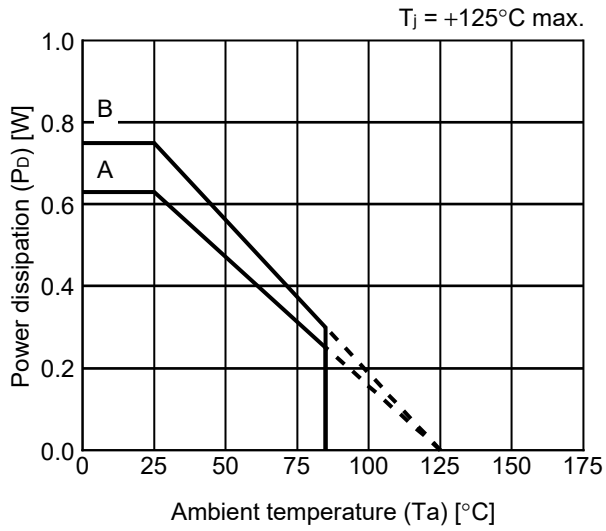
- (1): 空白
 (2) ~ (4): 产品简称 (请参照产品名和产品简称的对照表)
 (5), (6): 空白
 (7) ~ (11): 批号

产品名和产品简称的对照表

产品名	产品简称		
	(2)	(3)	(4)
S-82F5BAA-I8T1U	b	E	A

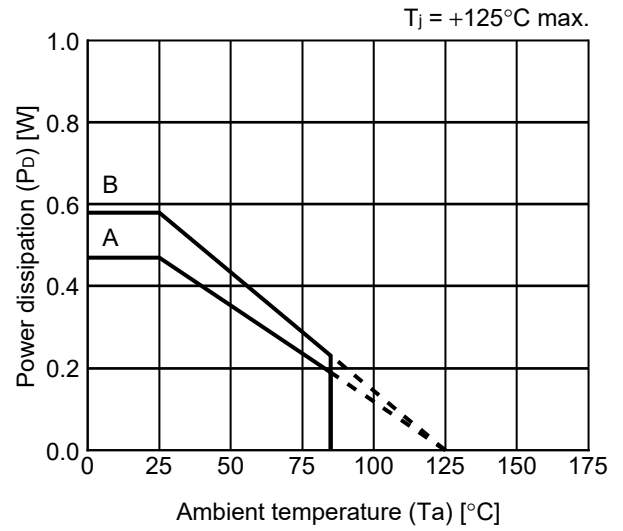
■ Power Dissipation

TMSOP-8



Board	Power Dissipation (P_D)
A	0.63 W
B	0.75 W
C	—
D	—
E	—


SNT-8A

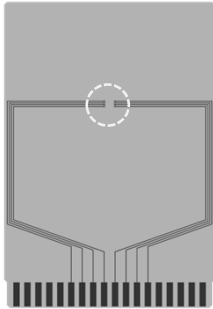


Board	Power Dissipation (P_D)
A	0.47 W
B	0.58 W
C	—
D	—
E	—

TMSOP-8 Test Board

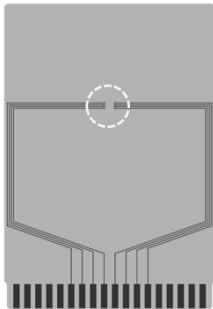
(1) Board A

 IC Mount Area



Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	2	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via	-	

(2) Board B



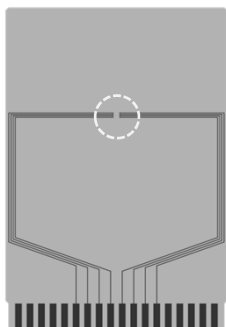
Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	-	

No. TMSOP8-A-Board-SD-1.0

SNT-8A Test Board

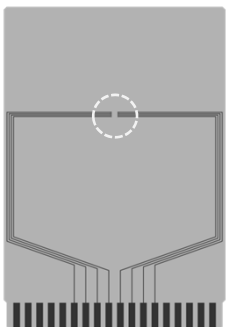
(1) Board A

 IC Mount Area



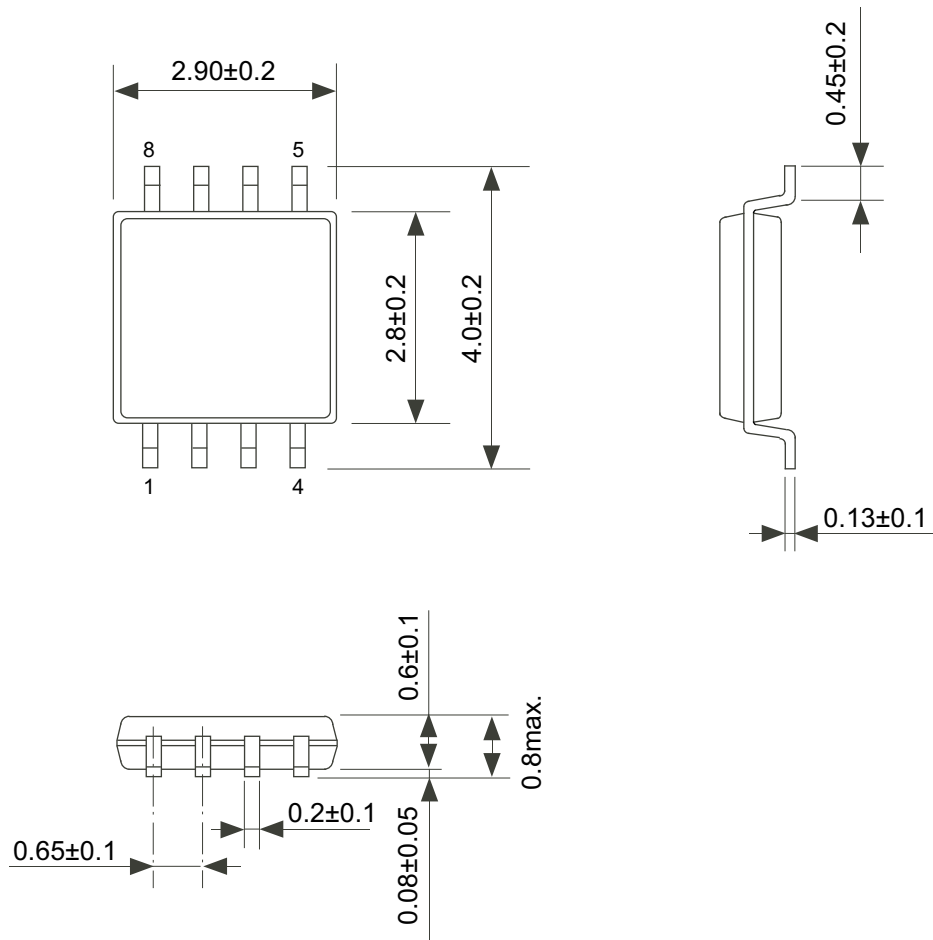
Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	2	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via	-	

(2) Board B



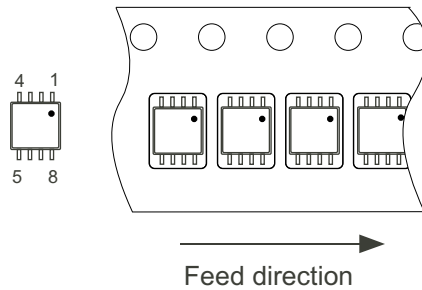
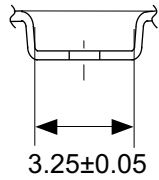
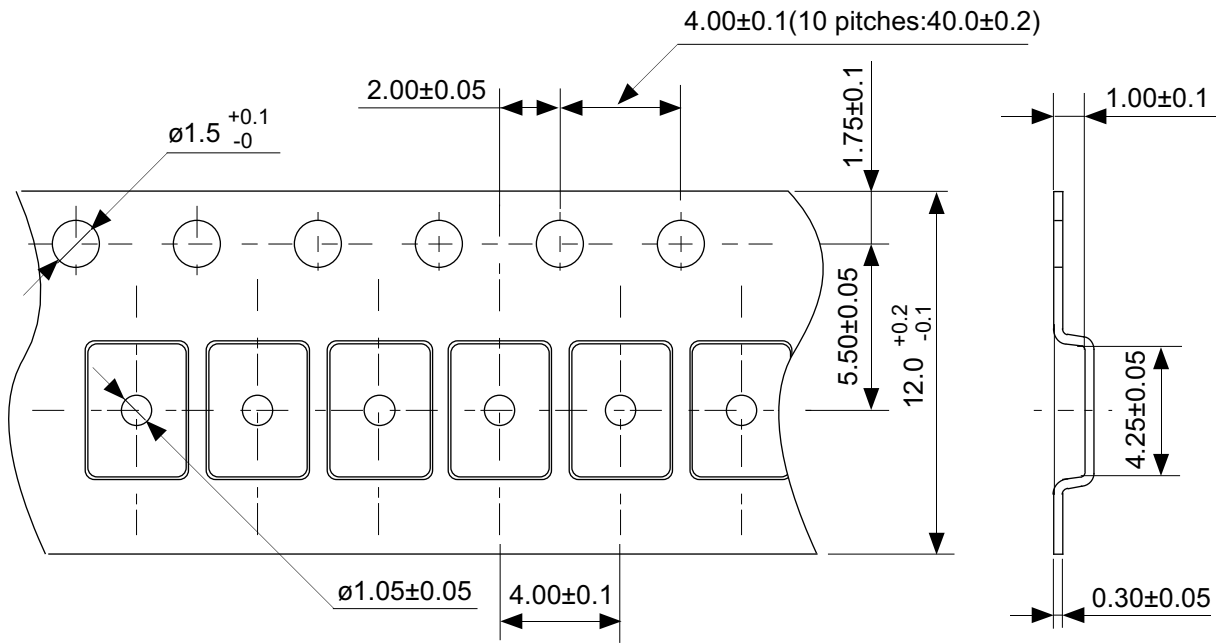
Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	-	

No. SNT8A-A-Board-SD-1.0



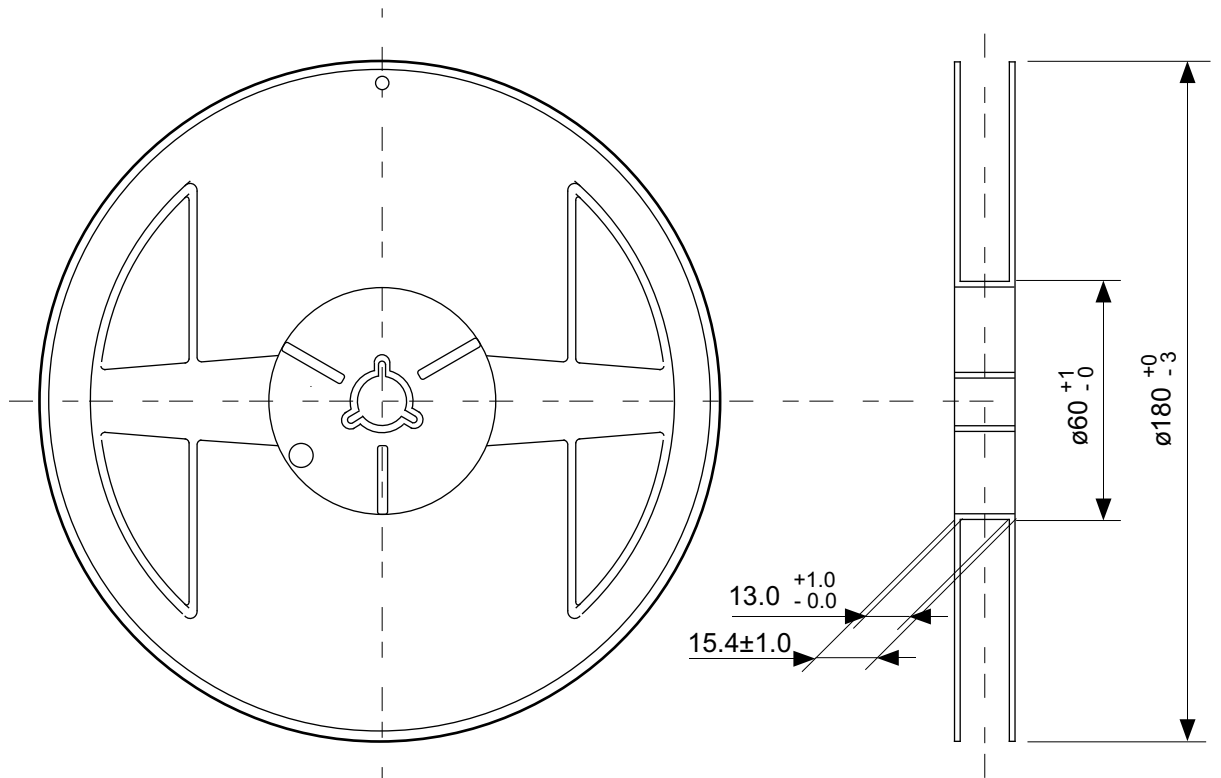
No. FM008-A-P-SD-1.2

TITLE	TMSOP8-A-PKG Dimensions
No.	FM008-A-P-SD-1.2
ANGLE	
UNIT	mm
ABLIC Inc.	

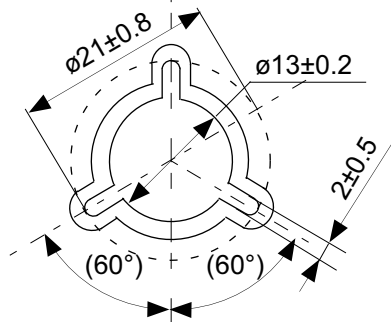


No. FM008-A-C-SD-3.0

TITLE	TMSOP8-A-Carrier Tape
No.	FM008-A-C-SD-3.0
ANGLE	
UNIT	mm
ABLIC Inc.	

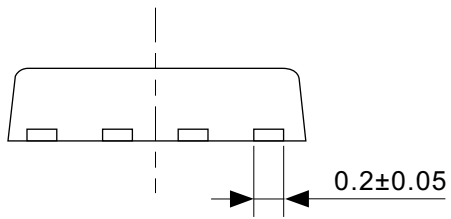
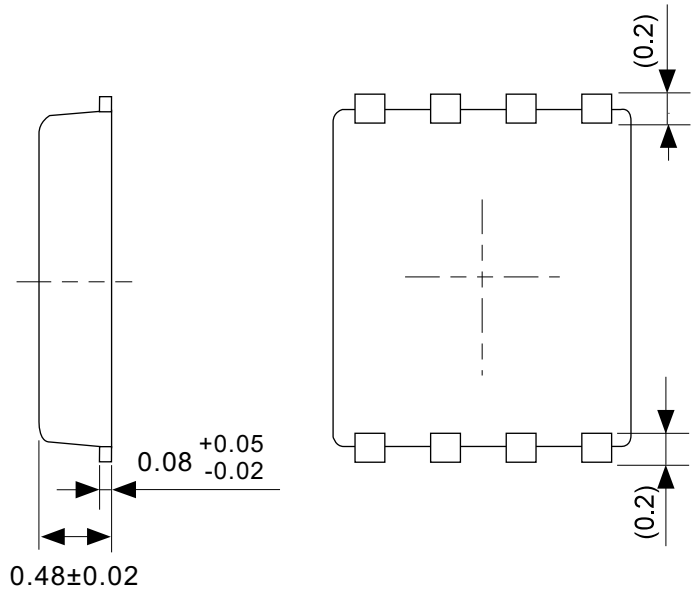
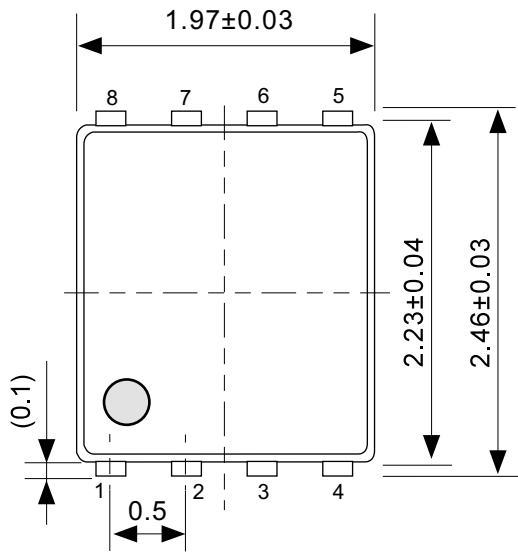


Enlarged drawing in the central part




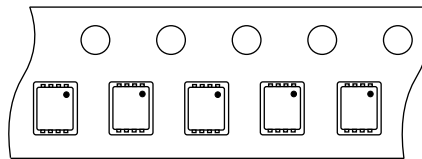
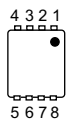
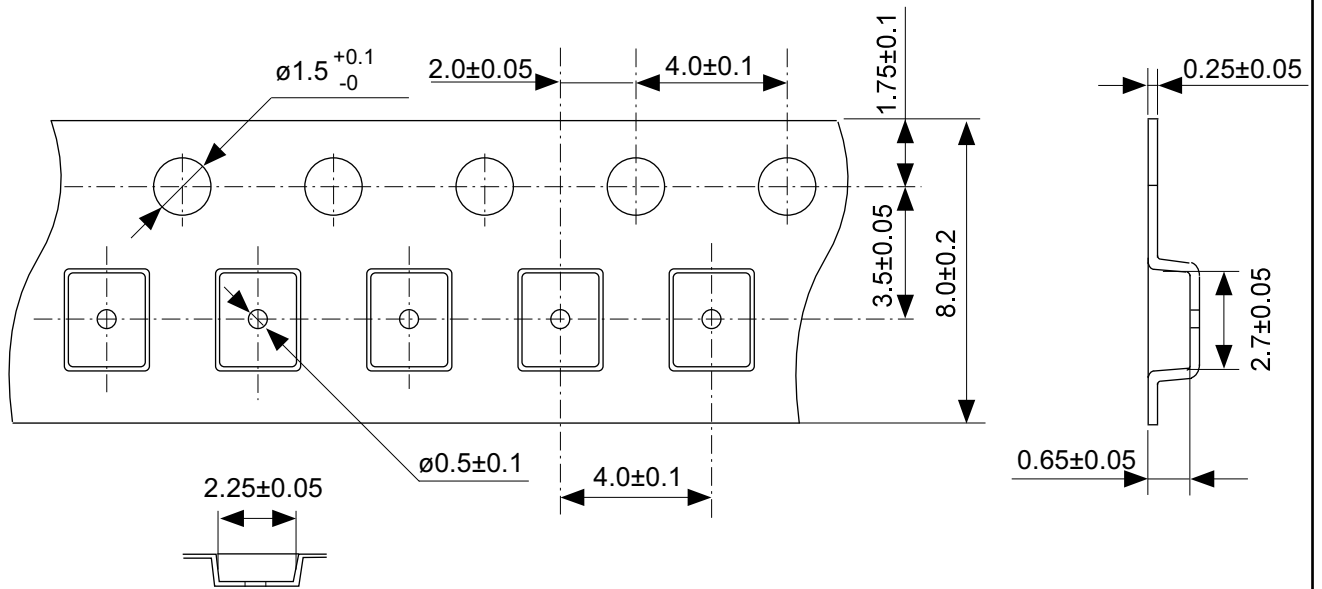
No. FM008-A-R-SD-2.0

TITLE	TMSOP8-A-Reel		
No.	FM008-A-R-SD-2.0		
ANGLE		QTY.	4,000
UNIT	mm		
ABLIC Inc.			



No. PH008-A-P-SD-2.1

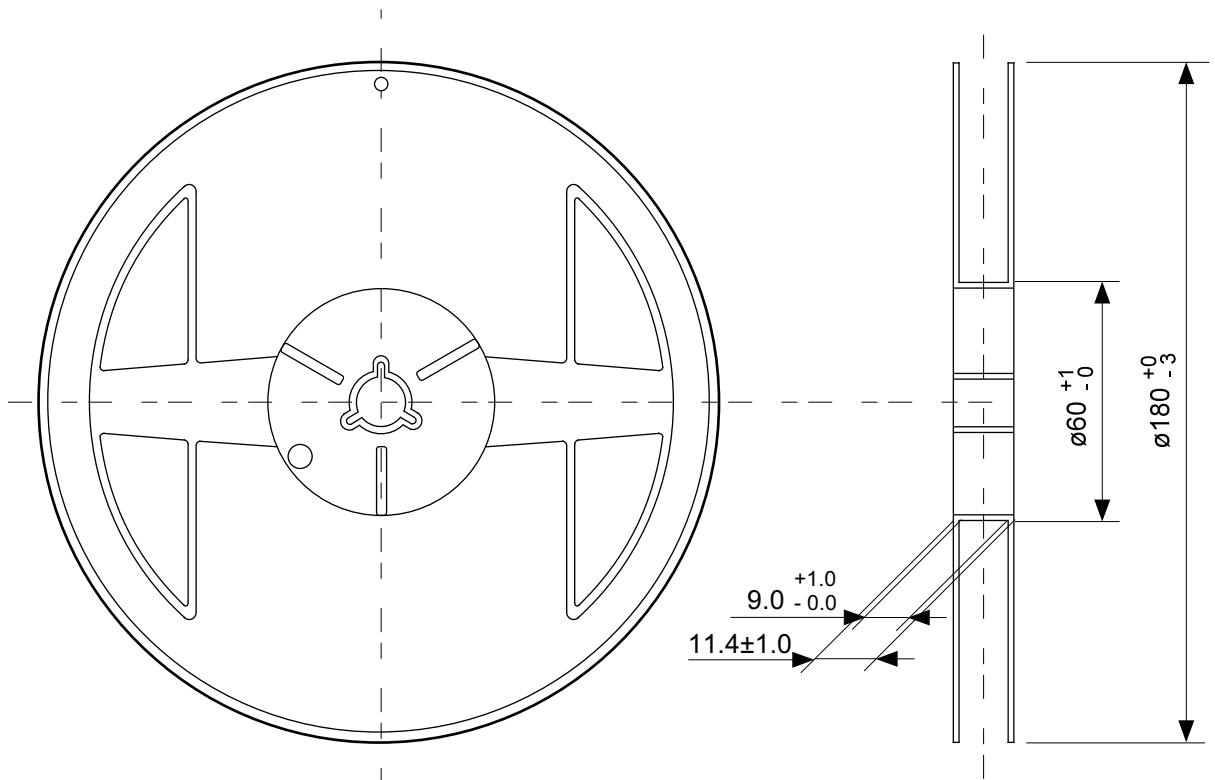
TITLE	SNT-8A-A-PKG Dimensions
No.	PH008-A-P-SD-2.1
ANGLE	
UNIT	mm
ABLIC Inc.	



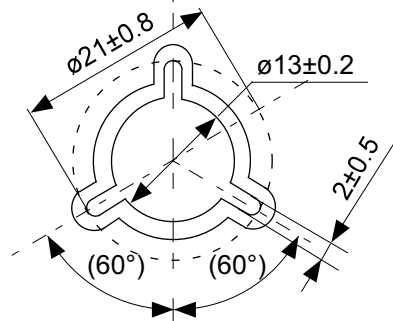
Feed direction

No. PH008-A-C-SD-2.0

TITLE	SNT-8A-A-Carrier Tape
No.	PH008-A-C-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	

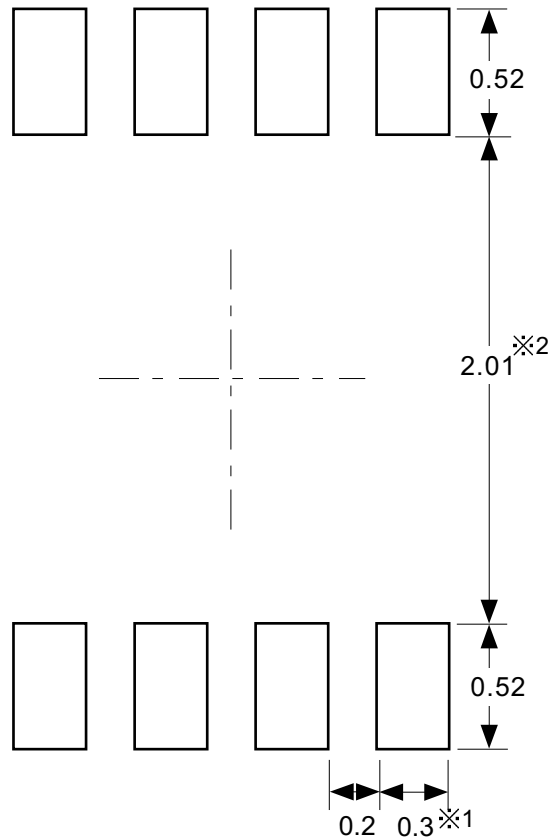


Enlarged drawing in the central part



No. PH008-A-R-SD-2.0

TITLE	SNT-8A-A-Reel		
No.	PH008-A-R-SD-2.0		
ANGLE		QTY.	5,000
UNIT	mm		
ABLIC Inc.			



※1. ランドパターンの幅に注意してください (0.25 mm min. / 0.30 mm typ.).
 ※2. パッケージ中央にランドパターンを広げないでください (1.96 mm ~ 2.06 mm)。

- 注意
1. パッケージのモールド樹脂下にシルク印刷やハンダ印刷などしないでください。
 2. パッケージ下の配線上のソルダーレジストなどの厚みをランドパターン表面から0.03 mm 以下にしてください。
 3. マスク開口サイズと開口位置はランドパターンと合わせてください。
 4. 詳細は“SNTパッケージ活用の手引き”を参照してください。

※1. Pay attention to the land pattern width (0.25 mm min. / 0.30 mm typ.).
 ※2. Do not widen the land pattern to the center of the package (1.96 mm to 2.06mm).

- Caution**
1. Do not do silkscreen printing and solder printing under the mold resin of the package.
 2. The thickness of the solder resist on the wire pattern under the package should be 0.03 mm or less from the land pattern surface.
 3. Match the mask aperture size and aperture position with the land pattern.
 4. Refer to "SNT Package User's Guide" for details.

※1. 请注意焊盘模式的宽度 (0.25 mm min. / 0.30 mm typ.).
 ※2. 请勿向封装中间扩展焊盘模式 (1.96 mm ~ 2.06 mm)。

- 注意
1. 请勿在树脂型封装的下面印刷丝网、焊锡。
 2. 在封装下、布线上的阻焊膜厚度 (从焊盘模式表面起) 请控制在 0.03 mm 以下。
 3. 钢网的开口尺寸和开口位置请与焊盘模式对齐。
 4. 详细内容请参阅 "SNT 封装的应用指南"。

No. PH008-A-L-SD-4.1

TITLE	SNT-8A-A -Land Recommendation
No.	PH008-A-L-SD-4.1
ANGLE	
UNIT	mm
ABLIC Inc.	

免责声明 (使用注意事项)

1. 本资料记载的所有信息 (产品数据、规格、图、表、程序、算法、应用电路示例等) 是本资料公开时的最新信息, 有可能未经预告而更改。
2. 本资料记载的电路示例和使用方法仅供参考, 并非保证批量生产的设计。使用本资料的信息后, 发生并非因本资料记载的产品 (以下称本产品) 而造成的损害, 或是发生对第三方知识产权等权利侵犯情况, 本公司对此概不承担任何责任。
3. 因本资料记载错误而导致的损害, 本公司对此概不承担任何责任。
4. 请注意在本资料记载的条件范围内使用产品, 特别请注意绝对最大额定值、工作电压范围和电气特性等。因在本资料记载的条件范围外使用产品而造成的故障和 (或) 事故等的损害, 本公司对此概不承担任何责任。
5. 在使用本产品时, 请确认使用国家、地区以及用途的法律、法规, 测试产品用途的满足能力和安全性能。
6. 本产品出口海外时, 请遵守外汇交易及外国贸易法等出口法令, 办理必要的相关手续。
7. 严禁将本产品用于以及提供 (出口) 于开发大规模杀伤性武器或军事用途。对于如提供 (出口) 给开发、制造、使用或储藏核武器、生物武器、化学武器及导弹, 或有其他军事目的者的情况, 本公司对此概不承担任何责任。
8. 本产品并非是设计用于可能对生命、人体造成影响的设备或装置的部件, 也非是设计用于可能对财产造成损害的设备或装置的部件 (医疗设备、防灾设备、安全防范设备、燃料控制设备、基础设施控制设备、车辆设备、交通设备、车载设备、航空设备、太空设备及核能设备等)。请勿将本产品用于上述设备或装置的部件。本公司事先明确标示的车载用途例外。作为上述设备或装置的部件使用本产品时, 或本公司事先明确标示的用途以外使用本产品时, 所导致的损害, 本公司对此概不承担任何责任。
9. 半导体产品可能有一定的概率发生故障或误工作。为了防止因本产品的故障或误工作而导致的人身事故、火灾事故、社会性损害等, 请客户自行负责进行冗长设计、防止火势蔓延措施、防止误工作等安全设计。并请对整个系统进行充分的评价, 客户自行判断适用的可否。
10. 本产品非耐放射线设计产品。请客户根据用途, 在产品设计的过程中采取放射线防护措施。
11. 本产品在一般的使用条件下, 不会影响人体健康, 但因含有化学物质和重金属, 所以请不要将其放入口中。另外, 晶元和芯片的破裂面可能比较尖锐, 徒手接触时请注意防护, 以免受伤等。
12. 废弃本产品时, 请遵守使用国家和地区的法令, 合理地处理。
13. 本资料中也包含了与本公司的著作权和专有知识有关的内容。本资料记载的内容并非是对本公司或第三方的知识产权、其它权利的实施及使用的承诺或保证。严禁在未经本公司许可的情况下转载、复制或向第三方公开本资料的一部分或全部。
14. 有关本资料的详细内容等如有不明之处, 请向代理商咨询。
15. 本免责声明以日语版为正本。即使有英语版或中文版的翻译件, 仍以日语版的正本为准。

2.4-2019.07



ABLIC

艾普凌科有限公司
www.ablic.com