

S-19101xxxA系列是使用CMOS技术开发的工作温度为125°C的车载用电压检测IC。检测电压在内部被固定，精度为±3.0% ($-V_{DET} = 2.4\text{ V}$)。因没有滞后幅度，解除电压被设定为和检测电压值相同。消耗电流仅为270 nA (典型值) 就能工作。

S-19101xxxA系列可以通过外接电容器来延迟解除信号，在 $T_a = +25^\circ\text{C}$ 时延迟时间精度为±15%。S-19101xxxA系列的工作温度范围为 $T_a = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。输出方式备有N沟道开路漏极输出和CMOS输出。

与以往的CMOS电压检测器相比，实现了超低消耗电流和超小型封装，所以最适用于便携设备。

本公司可提供根据用户的使用条件而计算的FIT值，以支援用户设计应对功能安全标准的产品。

有关FIT值计算的实施详情，请向代理商咨询。

注意 本产品可适用于车辆器械、车载器械。考虑使用于车辆器械、车载器械时，请务必与代理商联系。

■ 特点

- 检测电压：1.2 V ~ 4.6 V (以0.1 V为进阶单位)
- 检测电压精度：±3.0% ($2.4\text{ V} \leq -V_{DET} \leq 4.6\text{ V}$, $T_a = -40^\circ\text{C} \sim +125^\circ\text{C}$)
±(2.5% + 12 mV) ($1.2\text{ V} \leq -V_{DET} < 2.4\text{ V}$, $T_a = -40^\circ\text{C} \sim +125^\circ\text{C}$)
- 消耗电流：270 nA (典型值) ($1.2\text{ V} \leq -V_{DET} < 2.3\text{ V}$)
- 工作电压范围：0.6 V ~ 10.0 V (CMOS输出产品)
- 延迟时间精度：±15% ($C_D = 4.7\text{ nF}$, $T_a = +25^\circ\text{C}$)
- 输出方式：N沟道开路漏极输出 (动态 "L")
CMOS输出 (动态 "L")
- 工作温度范围： $T_a = -40^\circ\text{C} \sim +125^\circ\text{C}$
- 无铅 (Sn 100%)、无卤素
- 通过AEC-Q100认证^{*1}

*1. 详情请与代理商联系。

■ 用途

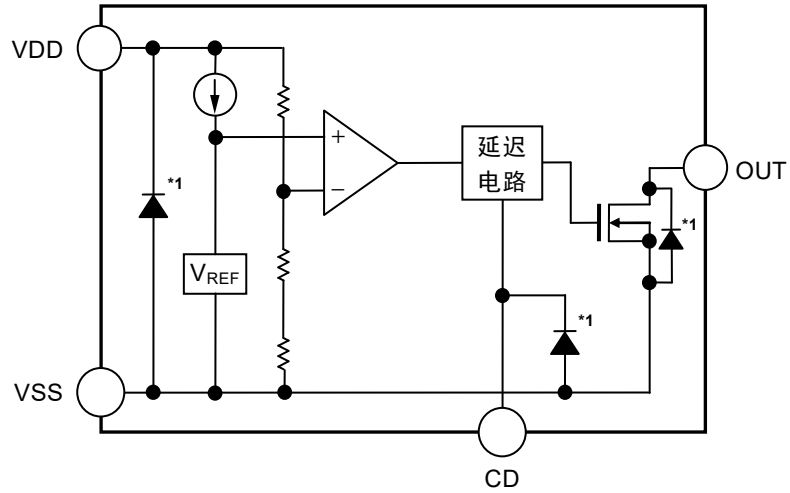
- 车载用 (引擎、变速器、汽车悬架、ABS、EV / HEV / PHEV关联器械等)

■ 封装

- SOT-23-5
- SC-82AB

■ 框图

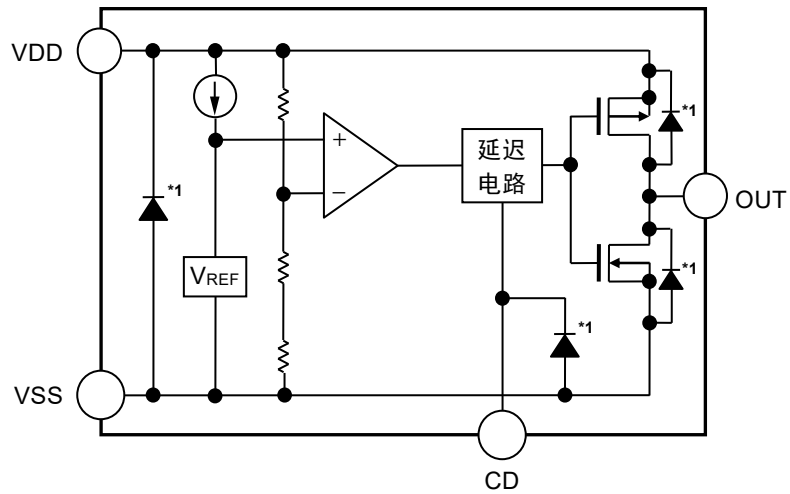
1. N沟道开路漏极输出产品



*1. 寄生二极管

图1

2. CMOS输出产品



*1. 寄生二极管

图2

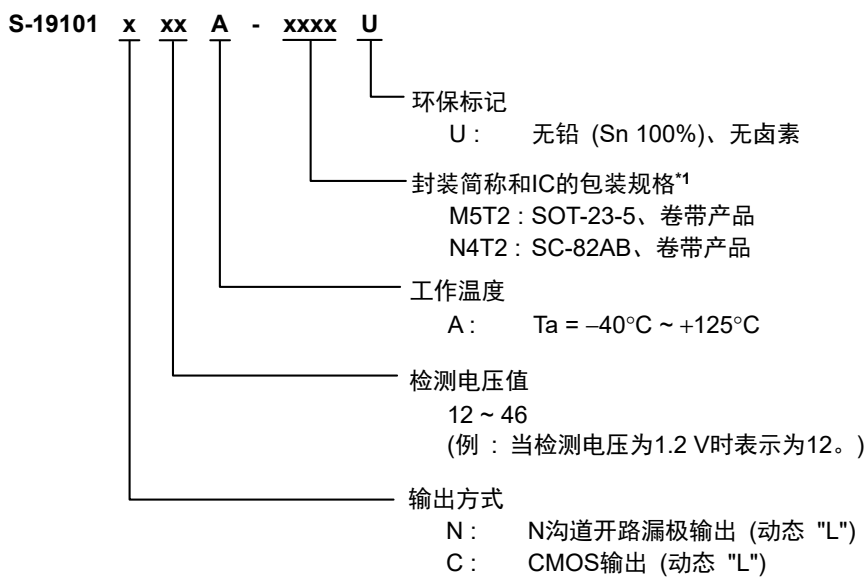
■ 通过AEC-Q100认证

本IC符合AEC-Q100环境工作温度等级1。
有关AEC-Q100标准的信赖性测试详情，请与代理商联系。

■ 产品型号名的构成

关于S-19101xxxxA系列，用户可根据用途选择指定输出方式、检测电压值和封装类型。关于产品名的字符串含义，请参阅“1. 产品名”、关于封装图纸请参阅“2. 封装”。

1. 产品名



*1. 请参阅卷带图。

2. 封装

表1 封装图纸号码

封装名	外形尺寸图	卷带图	带卷图
SOT-23-5	MP005-A-P-SD	MP005-A-C-SD	MP005-A-R-SD
SC-82AB	NP004-A-P-SD	NP004-A-C-SD NP004-A-C-S1	NP004-A-R-SD

■ 引脚排列图

1. SOT-23-5

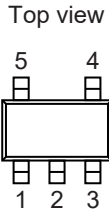


图3

表2

引脚号	符号	描述
1	OUT	电压检测输出端子
2	VDD	电压输入端子
3	VSS	接地 (GND) 端子
4	NC*1	无连接
5	CD	延迟用电容器连接端子

*1. NC表示从电气角度而言处于开放状态。
所以，与VDD端子以及VSS端子相接均可。

2. SC-82AB

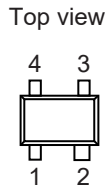


图4

表3

引脚号	符号	描述
1	VSS	接地 (GND) 端子
2	VDD	电压输入端子
3	CD	延迟用电容器连接端子
4	OUT	电压检测输出端子

■ 绝对最大额定值

表4

(除特殊注明以外 : Ta = -40°C ~ +125°C)

项目	符号	绝对最大额定值	单位
电源电压	$V_{DD} - V_{SS}$	12	V
CD端子输入电压	V_{CD}	$V_{SS} - 0.3 \sim V_{DD} + 0.3$	V
输出电压	N沟道开路漏极输出产品	$V_{SS} - 0.3 \sim 12.0$	V
	CMOS输出产品	$V_{SS} - 0.3 \sim V_{DD} + 0.3$	V
输出电流	I_{OUT}	50	mA
工作环境温度	T_{opr}	-40 ~ +125	°C
保存温度	T_{stg}	-40 ~ +150	°C

注意 绝对最大额定值是指无论在任何条件下都不能超过的额定值。万一超过此额定值,有可能造成产品劣化等物理性的损伤。

■ 热敏电阻值

表5

项目	符号	条件	最小值	典型值	最大值	单位	
结至环境热阻*1	θ_{JA}	SOT-23-5	Board A	-	192	-	°C/W
			Board B	-	160	-	°C/W
			Board C	-	-	-	°C/W
			Board D	-	-	-	°C/W
			Board E	-	-	-	°C/W
		SC-82AB	Board A	-	236	-	°C/W
			Board B	-	204	-	°C/W
			Board C	-	-	-	°C/W
			Board D	-	-	-	°C/W
			Board E	-	-	-	°C/W

*1. 测定环境 : 遵循JEDEC STANDARD JESD51-2A标准

备注 关于详情, 请参阅 "■ Power Dissipation" 和 "Test Board"。

■ 电气特性

1. N沟道开路漏极输出产品

表6

(除特殊注明以外 : Ta = -40°C ~ +125°C)

项目	符号	条件	最小值	典型值	最大值	单位	测定电路	
检测电压*1	-V _{DET}	1.2 V ≤ -V _{DET} < 2.4 V	-V _{DET(S)} × 0.975 - 0.012	-V _{DET(S)} × 1.025 + 0.012	-V _{DET(S)} × 1.025 + 0.012	V	1	
		2.4 V ≤ -V _{DET} ≤ 4.6 V	-V _{DET(S)} × 0.97	-V _{DET(S)} × 1.03	-V _{DET(S)} × 1.03	V	1	
消耗电流	I _{SS}	V _{DD} = +V _{DET} + 0.6 V	1.2 V ≤ -V _{DET} < 2.3 V	-	0.27	1.80	μA	2
			2.3 V ≤ -V _{DET} < 3.6 V	-	0.42	2.20	μA	2
			3.6 V ≤ -V _{DET} ≤ 4.6 V	-	0.39	2.20	μA	2
工作电压	V _{DD}	-	0.8	-	10.0	V	1	
输出电流	I _{OUT}	输出晶体管 N沟道 V _{DS} *2 = 0.5 V	V _{DD} = 0.7 V S-19101N12 ~ 14	0.14	0.40	-	mA	3
			V _{DD} = 1.2 V S-19101N15 ~ 46	0.68	1.33	-	mA	3
			V _{DD} = 2.4 V S-19101N27 ~ 46	1.12	2.39	-	mA	3
泄漏电流	I _{LEAK}	输出晶体管 N沟道 V _{DD} = 10.0 V, V _{OUT} = 10.0 V	-	-	2.40	μA	3	
延迟时间	t _D	C _D = 4.7 nF	10.0	26.0	57.0	ms	4	

*1. -V_{DET} : 实际检测电压值、-V_{DET(S)} : 设定检测电压值 (检测电压范围内的中心值)

*2. V_{DS} : 输出晶体管的漏极 - 源极之间的电压。

2. CMOS输出产品

表7

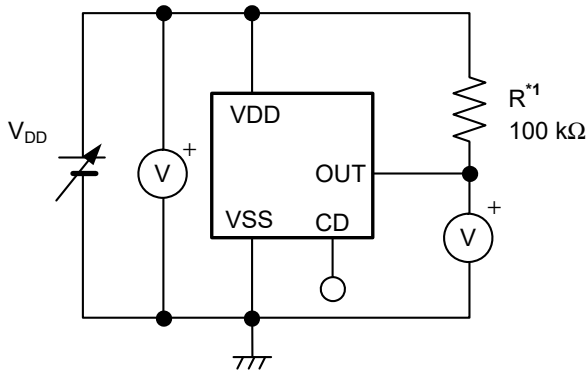
(除特殊注明以外 : Ta = -40°C ~ +125°C)

项目	符号	条件	最小值	典型值	最大值	单位	测定电路	
检测电压*1	-V _{DET}	1.2 V ≤ -V _{DET} < 2.4 V	-V _{DET(S)} × 0.975 - 0.012	-V _{DET(S)}	-V _{DET(S)} × 1.025 + 0.012	V	1	
		2.4 V ≤ -V _{DET} ≤ 4.6 V	-V _{DET(S)} × 0.97	-V _{DET(S)}	-V _{DET(S)} × 1.03	V	1	
消耗电流	I _{SS}	V _{DD} = +V _{DET} + 0.6 V	1.2 V ≤ -V _{DET} < 2.3 V	-	0.27	1.80	μA	2
			2.3 V ≤ -V _{DET} < 3.6 V	-	0.42	2.20	μA	2
			3.6 V ≤ -V _{DET} ≤ 4.6 V	-	0.39	2.20	μA	2
工作电压	V _{DD}	-	0.6	-	10.0	V	1	
输出电流	I _{OUT}	输出晶体管 N沟道 V _{DS} *2 = 0.5 V	V _{DD} = 0.7 V S-19101C12 ~ 14	0.14	0.40	-	mA	3
			V _{DD} = 1.2 V S-19101C15 ~ 46	0.68	1.33	-	mA	3
			V _{DD} = 2.4 V S-19101C27 ~ 46	1.12	2.39	-	mA	3
		输出晶体管 P沟道 V _{DS} *2 = 0.5 V	V _{DD} = 4.8 V S-19101C12 ~ 39	1.42	2.60	-	mA	5
			V _{DD} = 6.0 V S-19101C40 ~ 46	1.58	2.86	-	mA	5
延迟时间	t _D	C _D = 4.7 nF	10.0	26.0	57.0	ms	4	

*1. -V_{DET} : 实际检测电压值、-V_{DET(S)} : 设定检测电压值 (检测电压范围内的中心值)

*2. V_{DS} : 输出晶体管的漏极 - 源极之间的电压。

■ 测定电路



*1. CMOS输出产品不需要R。

图5 测定电路1

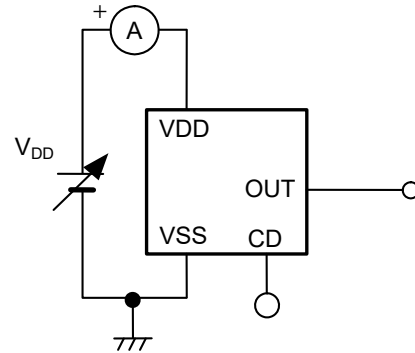


图6 测定电路2

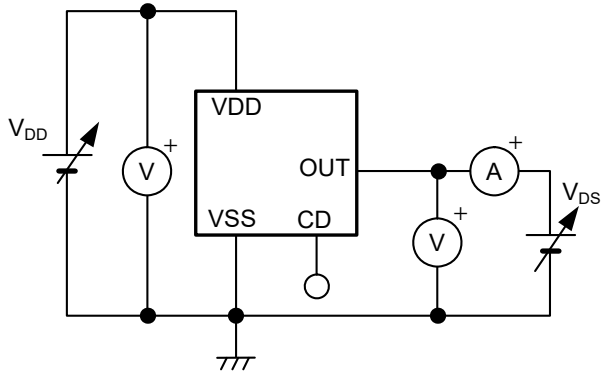
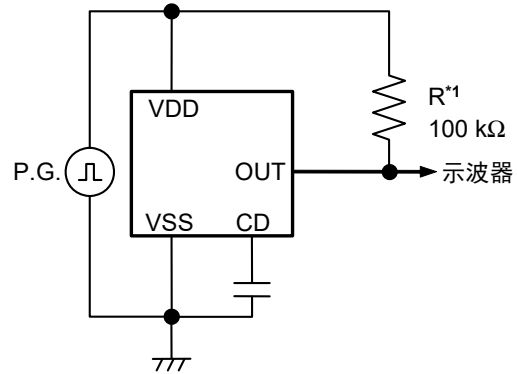


图7 测定电路3



*1. CMOS输出产品不需要R。

图8 测定电路4

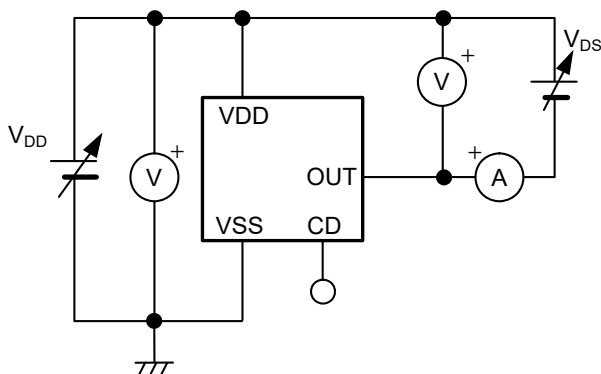
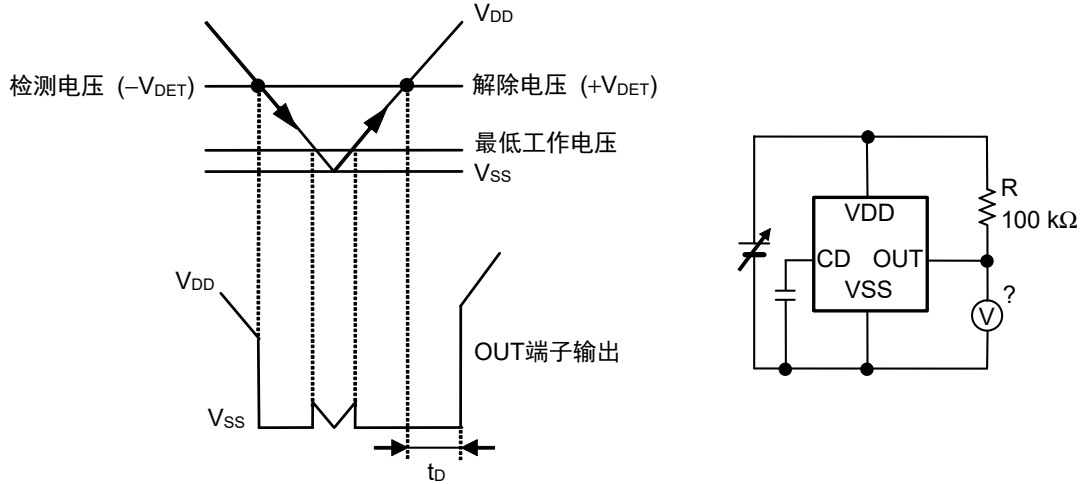


图9 测定电路5

■ 时序图

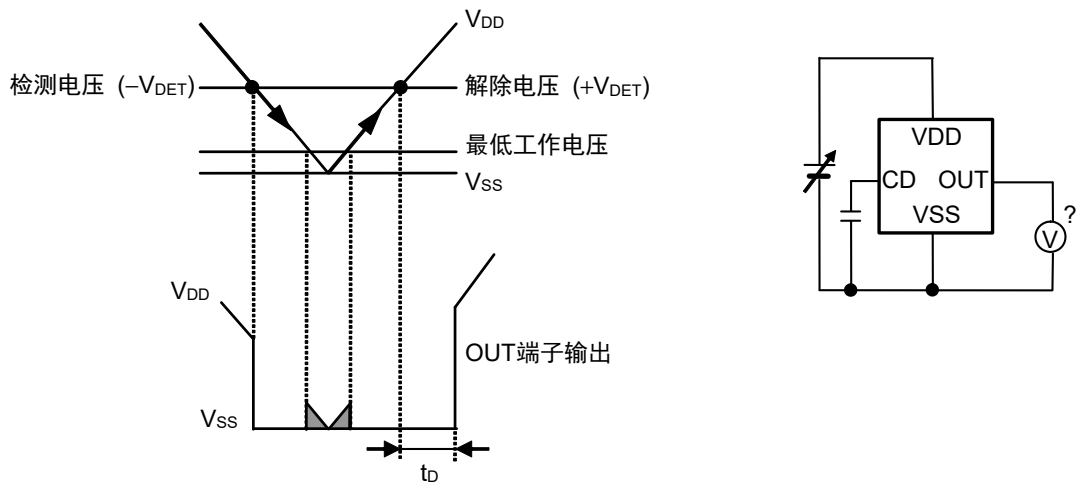
1. N沟道开路漏极输出产品



备注 因没有滞后幅度，解除电压被设定为和检测电压值相同。

图10

2. CMOS输出产品



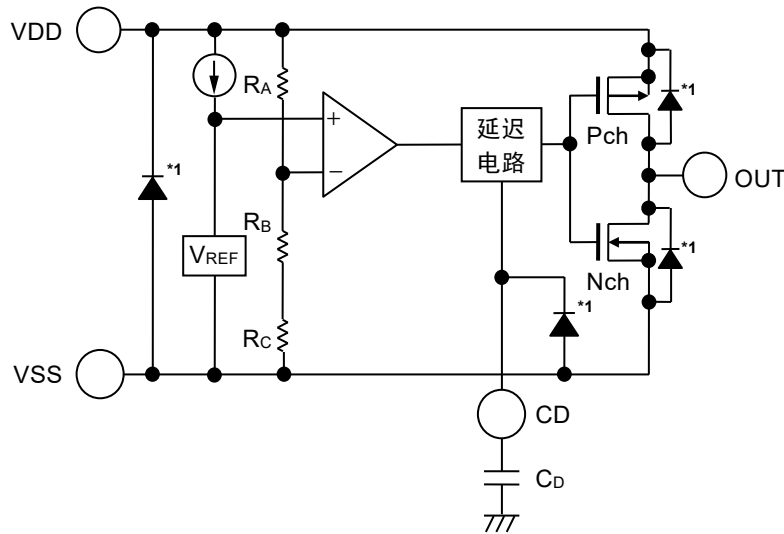
备注 V_{DD} 在最低工作电压以下时，阴影范围内的OUT端子的输出电压不固定。
因没有滞后幅度，解除电压被设定为和检测电压值相同。

图11

■ 工作说明

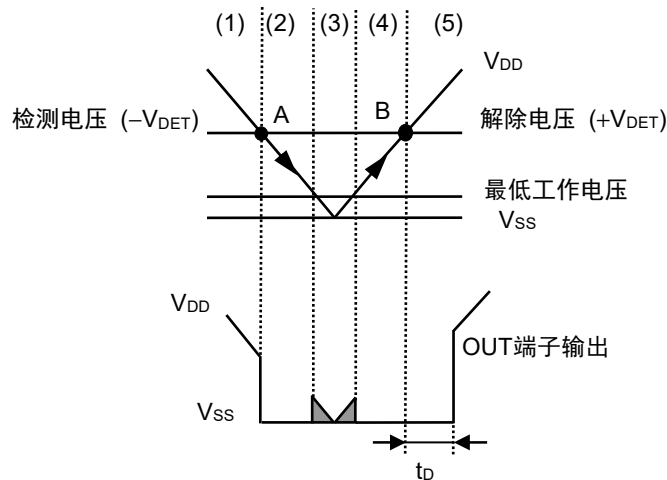
1. 基本工作：CMOS输出 (动态 "L") 产品

- (1) 电源电压 (V_{DD}) 在解除电压 ($+V_{DET}$) 以上时, N沟道晶体管变为关, P沟道晶体管变为开, 输出 V_{DD} (输出 "H")。此时, 图12的N沟道晶体管N1为关状态, 向比较器输入的输入电压变为 $\frac{(R_B + R_C) \cdot V_{DD}}{R_A + R_B + R_C}$ 。
- (2) 当 V_{DD} 降低到 $-V_{DET}$ (图13的A点) 以下时, 输出方的N沟道晶体管变为开, P沟道晶体管变为关, 输出 V_{SS} (输出 "L")。
- (3) V_{DD} 进一步下降, 若处在IC的最低工作电压以下输出就会不固定, 在输出被上拉的情况下, 输出变为 V_{DD} 。
- (4) 使 V_{DD} 上升到最低工作电压以上时, 输出 V_{SS} 。 V_{DD} 在不足 $+V_{DET}$ 的情况下输出为 V_{SS} 。
- (5) 再继续使 V_{DD} 上升, 上升到 $+V_{DET}$ (图13的B点) 以上时, N沟道晶体管变为关, P沟道晶体管变为开, 输出 V_{DD} 。此时, 经过延迟时间 (t_d) 后, 从OUT端子输出 V_{DD} 。



*1. 寄生二极管

图12 工作说明图1



备注 因没有滞后幅度, 解除电压被设定为和检测电压值相同。

图13 工作说明图2

2. 延迟电路

延迟电路在电源电压 (V_{DD}) 开始上升时, 迟于 V_{DD} 的电压变为解除电压 ($+V_{DET}$) 时, 将输出信号输出到OUT端子。另外, V_{DD} 下降到检测电压 ($-V_{DET}$) 以下时, 输出信号不被延迟 (请参阅 "图13 工作说明图2")。

延迟时间 (t_D) 是由内置的恒流电流 (大约100 nA)、延迟用电容器 (C_D) 的时间参数以及CD端子处于开路状态时的延迟时间 (t_{D0}) 而决定, 按如下公式计算出来。当在 C_D 的数值足够大的情况下, 可以忽视 t_{D0} 的数值。

$$t_D [\text{ms}] = \text{延迟系数} \times C_D [\text{nF}] + t_{D0} [\text{ms}]$$

表8 延迟系数

工作温度	延迟系数		
	最小值	典型值	最大值
$T_a = +125^\circ\text{C}$	1.96	3.50	5.15
$T_a = +105^\circ\text{C}$	2.58	3.70	5.40
$T_a = +25^\circ\text{C}$	4.70	5.47	6.24
$T_a = -40^\circ\text{C}$	5.64	8.40	12.01

表9 延迟时间

工作温度	延迟时间 (t_{D0})		
	最小值	典型值	最大值
$T_a = -40^\circ\text{C} \sim +125^\circ\text{C}$	0.01 ms	0.10 ms	0.80 ms

注意 1. CD端子处于开路状态时, 在解除时如图14所示会出现双脉冲的情况。出现双脉冲问题时, 请在CD端子处连接100 pF以上的电容后再使用。另外, 请不要从外部对CD端子施加电压。

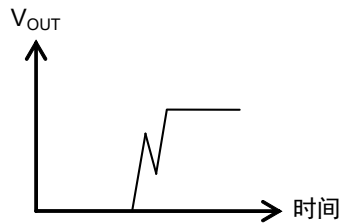
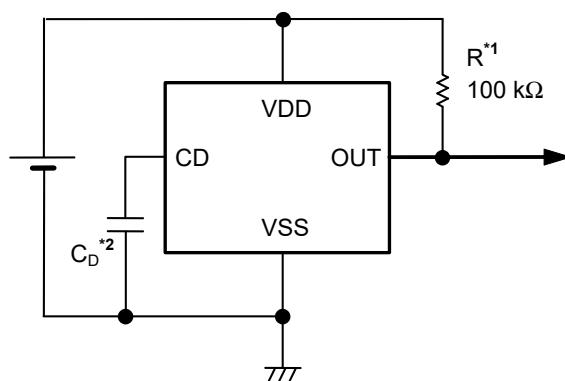


图14

2. 因为CD端子的阻抗很高, 在安装基板布局时请注意不要从外部向此端子流入电流, 或者流出电流 (有可能无法得到正确的延迟时间)。
3. 只要选择相对内置恒流电流值可以忽视电容器本身的泄漏电流的产品, C_D 的容量就不受限制。若有泄漏电流, 延迟时间就会产生误差。另外, 若有内置恒流电流以上的泄漏电流就不能进行解除。

■ 标准电路



- *1. CMOS输出产品不需要R。
- *2. 请将延迟用电容器 (C_D) 直接与CD端子和VSS端子相连接。

图15

注意 上述连接图以及参数并不作为保证电路工作的依据，实际的应用电路请在进行充分的实测基础上设定参数。

■ 用语说明

1. 检测电压 ($-V_{DET}$)

检测电压是图18中的输出切换到 "L" 时的电压。即使是同样的产品的检测电压也有不同程度的差异，因此差异而引起的检测电压的最小值 ($-V_{DET}$ (最小值)) 到最大值 ($-V_{DET}$ (最大值)) 的范围称为检测电压范围 (参阅图16)。

例：S-19101C20A的检测电压为 $1.938\text{ V} \leq -V_{DET} \leq 2.062\text{ V}$ 的范围内的一点。

也就是说，在工作温度为 -40°C 至 $+125^\circ\text{C}$ 的范围内，既有 $-V_{DET} = 1.938\text{ V}$ 的产品，也有 $-V_{DET} = 2.062\text{ V}$ 的产品存在。

2. 解除电压 ($+V_{DET}$)

解除电压是图18中的输出切换到 "H" 时的电压。即使是同样的产品的解除电压也有不同程度的差异，因此差异而引起的解除电压的最小值 ($+V_{DET}$ (最小值)) 到最大值 ($+V_{DET}$ (最大值)) 的范围称为解除电压范围 (参阅图17)。解除电压 ($+V_{DET}$) 与产品的实际检测电压 ($-V_{DET}$) 值相同。

例：S-19101C20A的解除电压为 $1.938\text{ V} \leq +V_{DET} \leq 2.062\text{ V}$ 的范围内的一点。

也就是说，在工作温度为 -40°C 至 $+125^\circ\text{C}$ 的范围内，既有 $+V_{DET} = 1.938\text{ V}$ 的产品，也有 $+V_{DET} = 2.062\text{ V}$ 的产品存在。

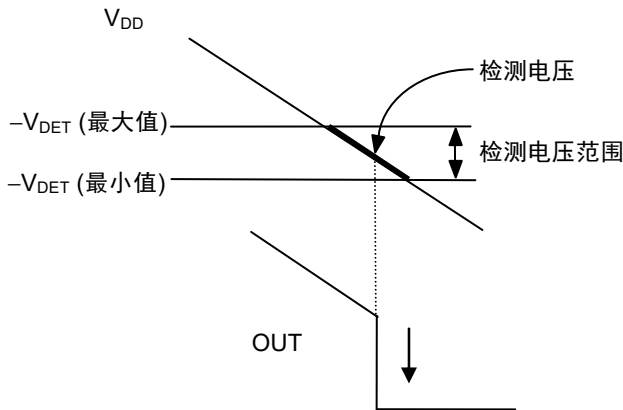


图16 检测电压

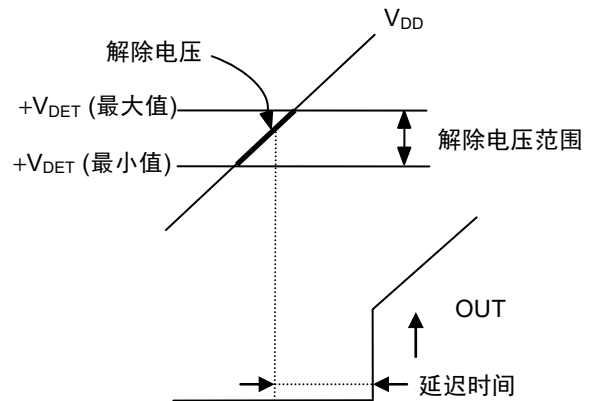
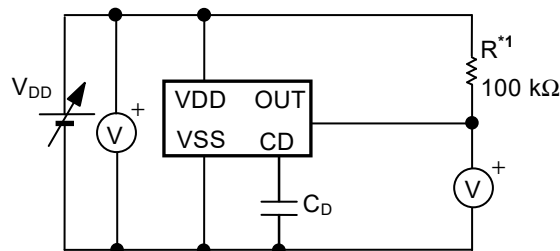


图17 解除电压



*1. CMOS输出产品不需要R。

图18 检测电压、解除电压的测定电路

3. 延迟时间 (t_D)

向VDD端子输入的输入电压从超过解除电压值 ($+V_{DET}$) 开始到实际上OUT端子的输出反转为止的时间称为延迟时间, 此值可以通过延迟用电容器 (C_D) 的容量而改变。

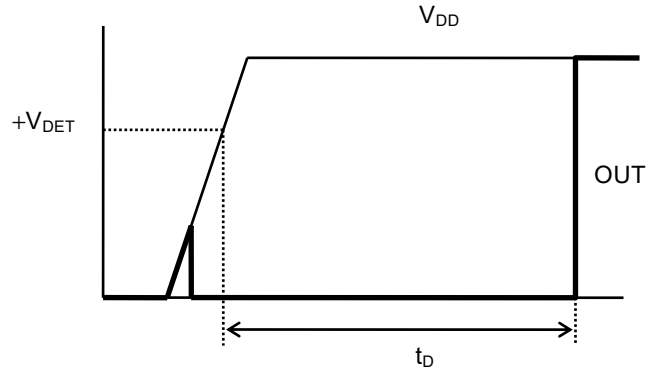


图19 延迟时间

4. 击穿电流

击穿电流是在电压检测器的检测以及解除时瞬间流经的电流。此击穿电流在输出方式为CMOS类型的产品中比较大, 在N沟道开路漏极产品中也会稍许流经。

5. 振荡

在输入处连接电阻的应用电路中 (图20), 例如CMOS输出 (动态 "L") 产品的情况下, 输出从 "L" 切换到 "H" 时 (解除时), 由于流经击穿电流, 会发生 [击穿电流] × [输入电阻] 的份额的电压下降。输入电压降低到检测电压以下时, 输出从 "H" 切换到 "L"。输出变为 "L" 时, 因为不会流经击穿电流, 所以没有电压下降份额, 输出从 "L" 切换到 "H"。输出变为 "H" 后, 再次流经击穿电流时, 会发生电压下降。此状态的反复发生称为振荡。

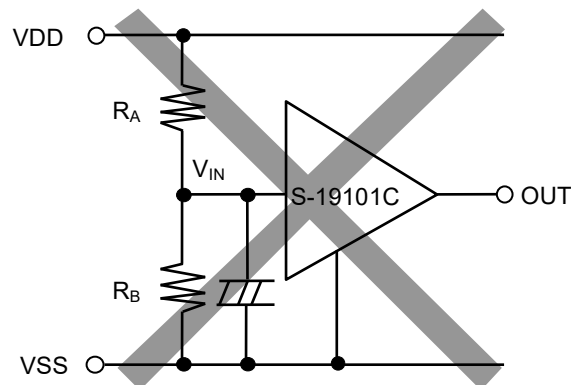


图20 检测电压改变电路不良事例

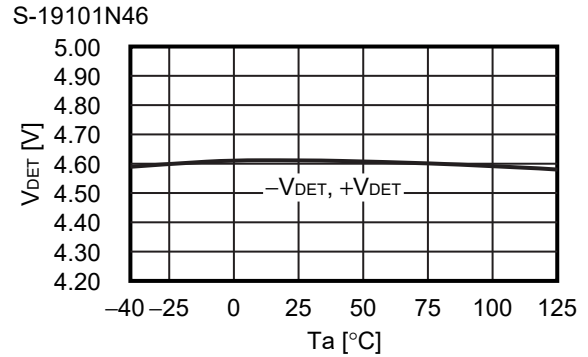
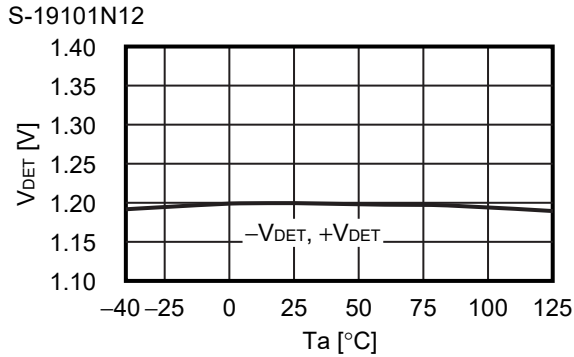
注意 S-19101xxxA系列因没有滞后幅度, 解除电压被设定为和检测电压值相同。因此, 当电源电压 (V_{DD}) 达到检测电压时, 输出从 "H" 变为 "L"。已变为 "L" 的输出再次从 "L" 变为 "H"。此种状态如果反复出现, 也会引起振荡。请在实际的应用电路中进行充分的实测。

■ 注意事项

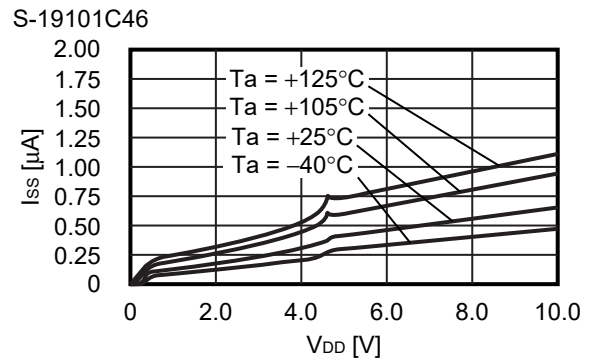
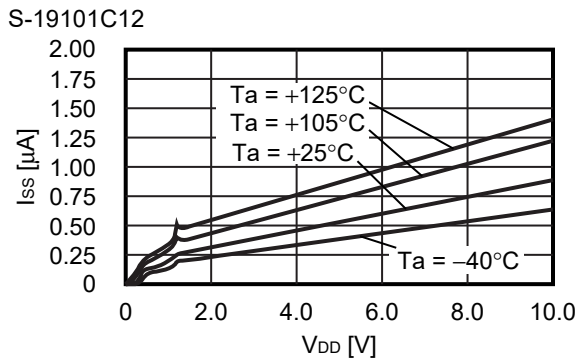
- 本IC虽内置了防静电保护电路，但请不要对IC施加超过保护电路性能的过大静电。
- CMOS输出产品在检测以及解除时会流经击穿电流。因此，若输入设在高阻抗，则会有因解除时的击穿电流引起的电压降低而导致振荡的情况发生。
- 当在CMOS输出产品处连接下拉电阻且电源电压 (V_{DD}) 的下降时间在检测电压附近比较缓慢时，有可能会发生振荡。
- 本资料中所记载的应用电路用于大量生产设计的情况下，请注意部件的偏差与温度特性。另外，有关所记载电路的专利，本公司概不承担相应责任。
- 使用本公司的IC生产产品时，如因其产品中对该IC的使用方法或产品的规格、或因进口国等原因，使包括本IC产品在内的制品发生专利纠纷时，本公司概不承担相应责任。

■ 各种特性数据 (典型数据)

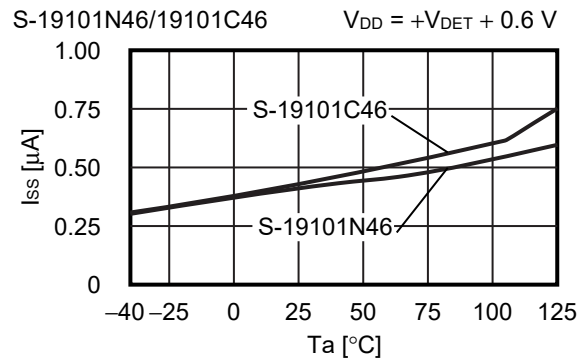
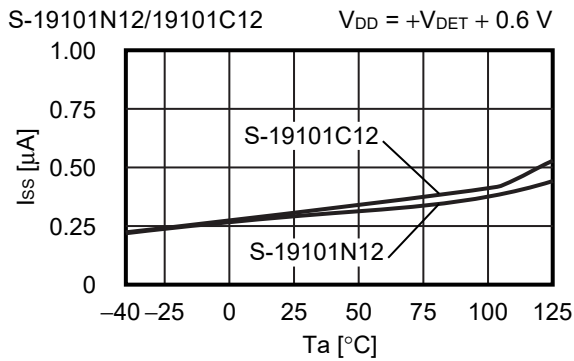
1. 检测电压 (V_{DET}) – 温度 (T_a)



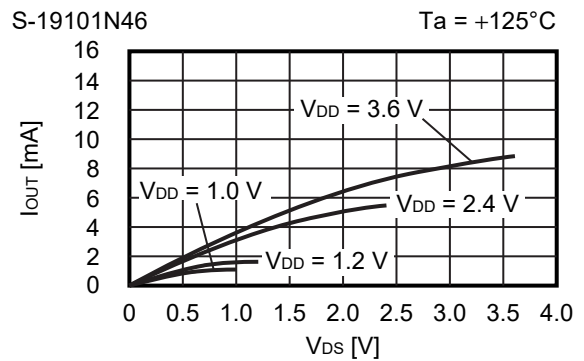
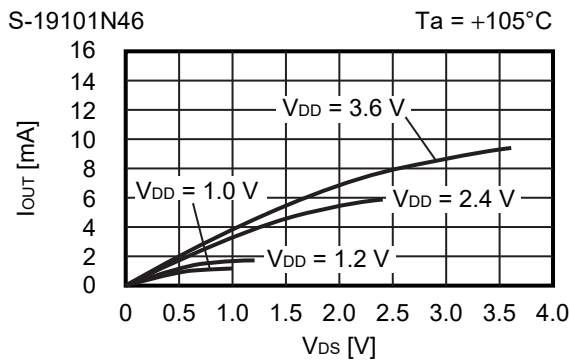
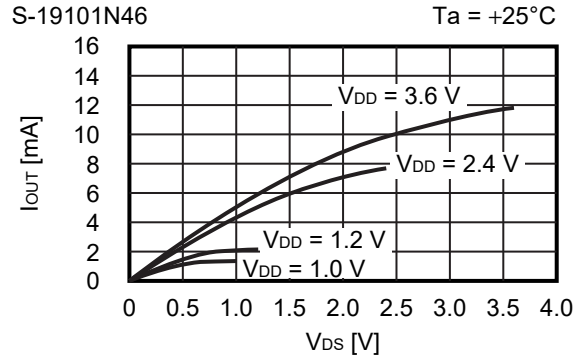
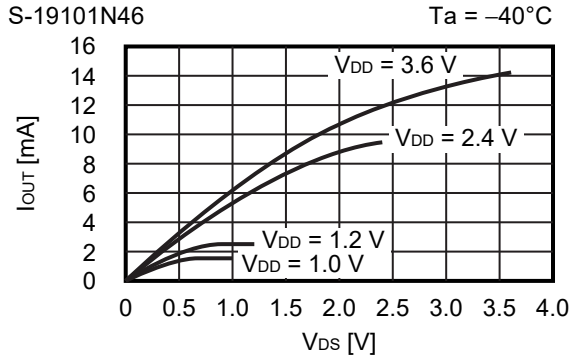
2. 消耗电流 (I_{SS}) – 输入电压 (V_{DD})



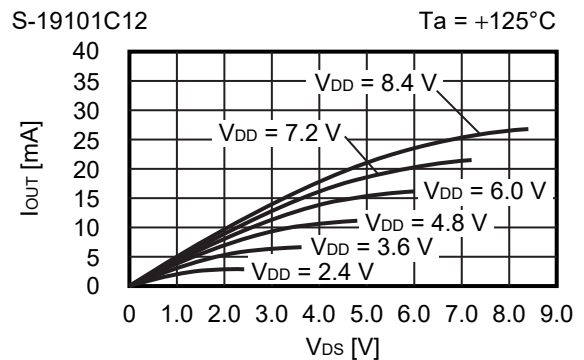
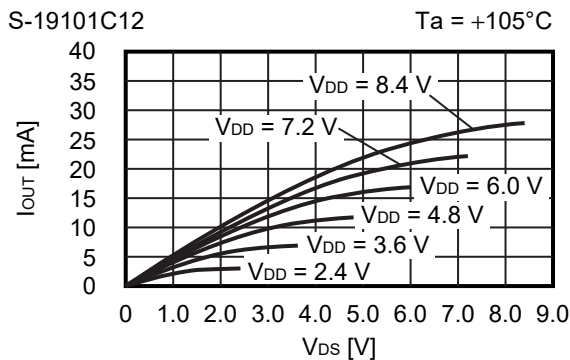
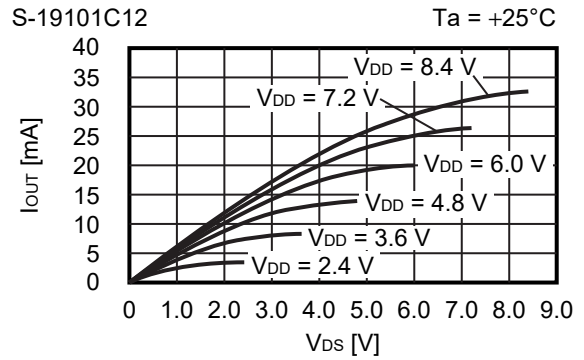
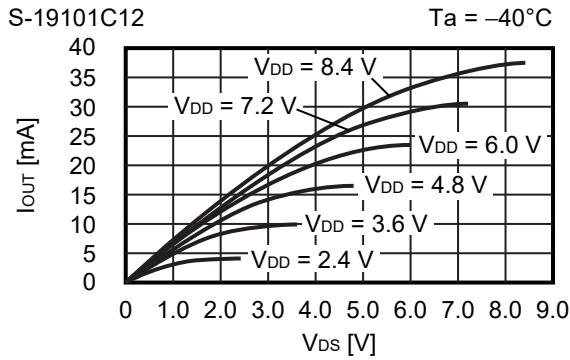
3. 消耗电流 (I_{SS}) – 温度 (T_a)



4. N沟道晶体管输出电流 (I_{OUT}) - V_{DS}

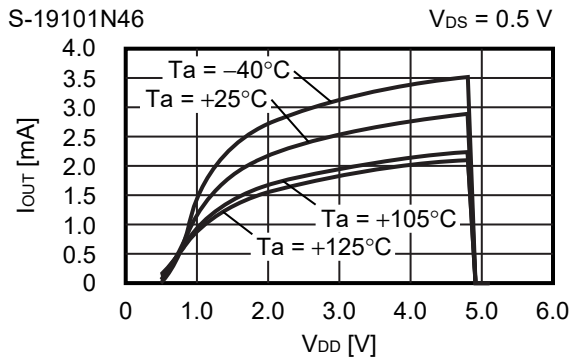


5. P沟道晶体管输出电流 (I_{OUT}) - V_{DS}

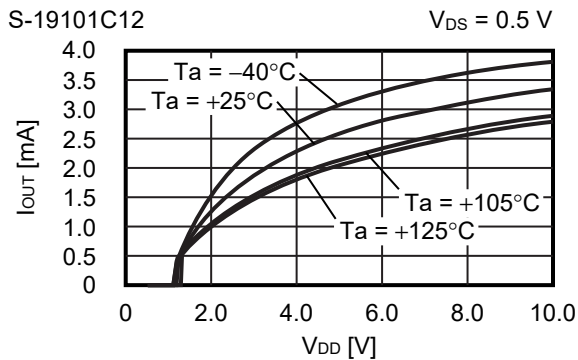


备注 V_{DS} : 输出晶体管的漏极 - 源极之间的电压。

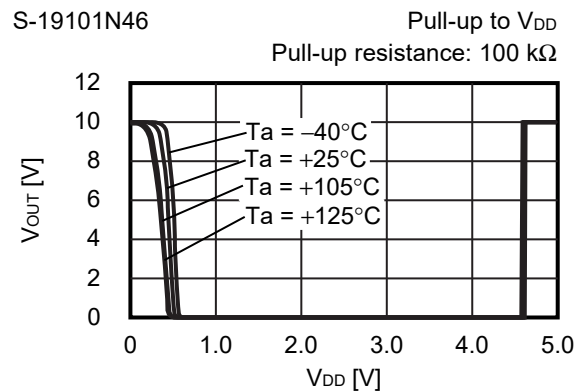
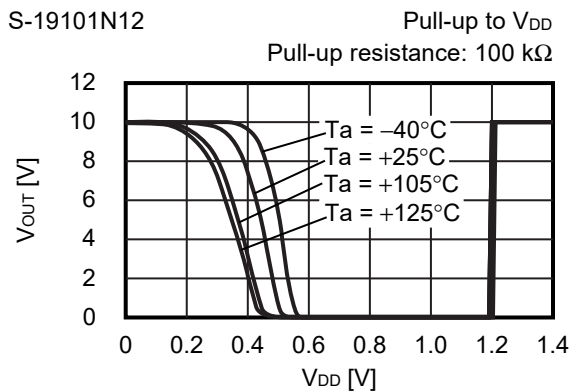
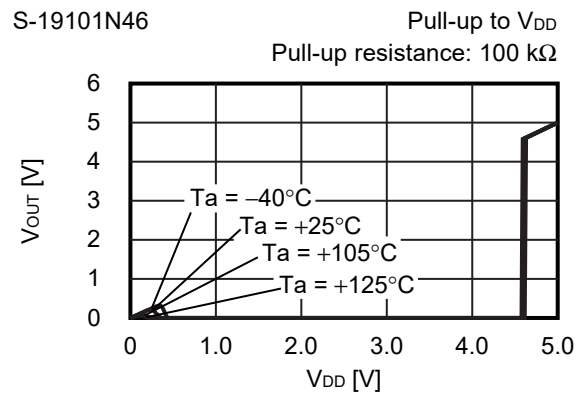
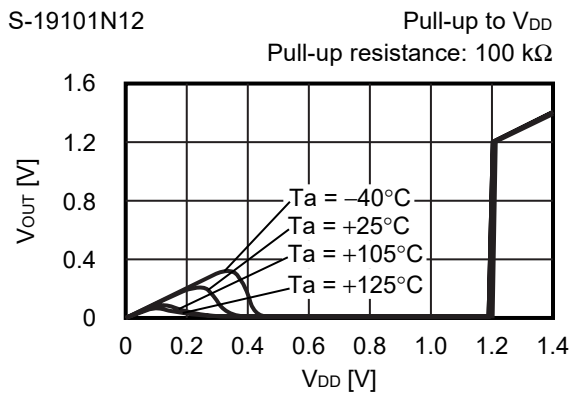
6. N沟道晶体管输出电流 (I_{OUT}) – 输入电压 (V_{DD})



7. P沟道晶体管输出电流 (I_{OUT}) – 输入电压 (V_{DD})



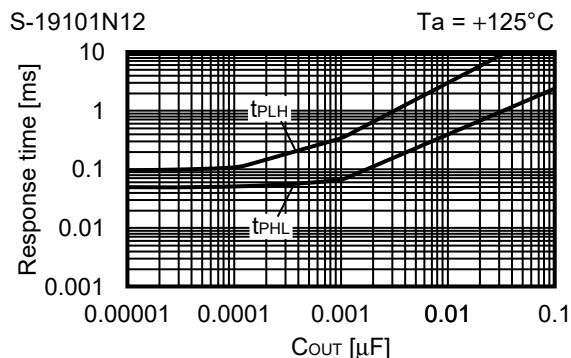
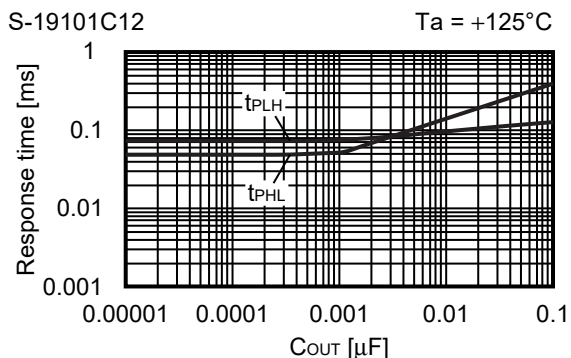
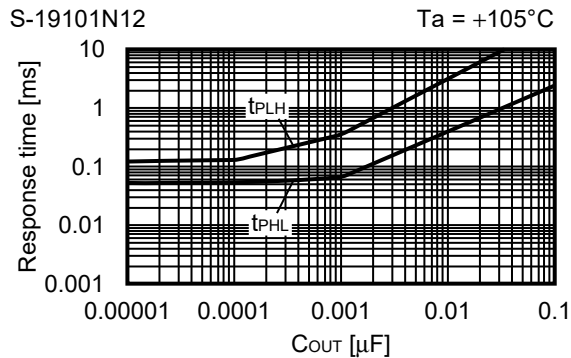
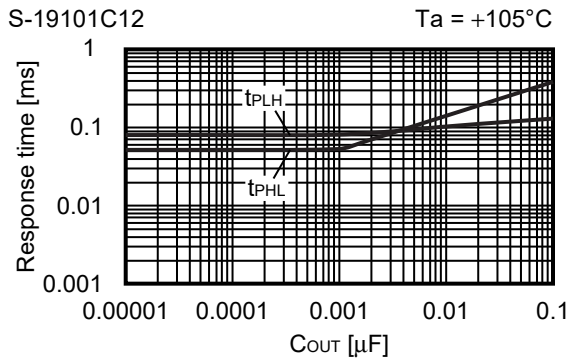
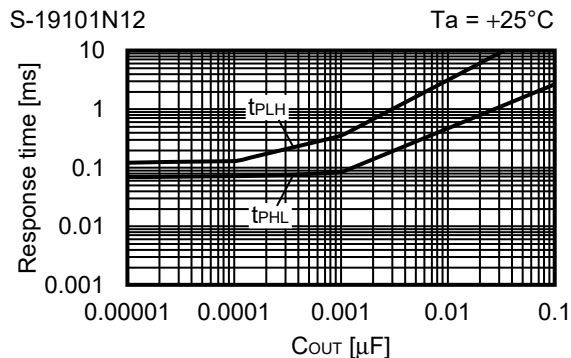
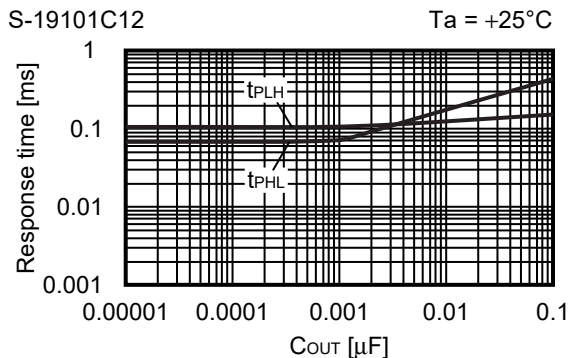
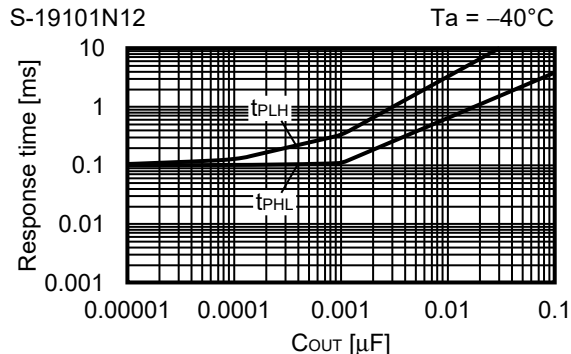
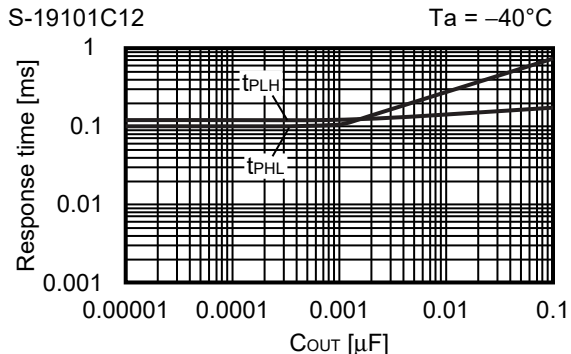
8. 最低工作电压 (V_{OUT}) – 输入电压 (V_{DD})



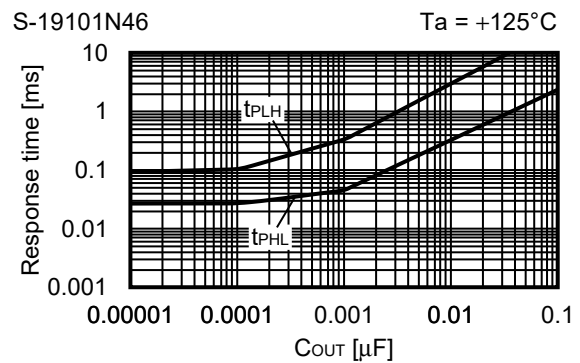
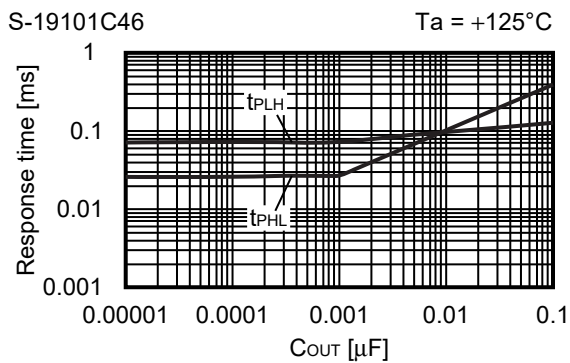
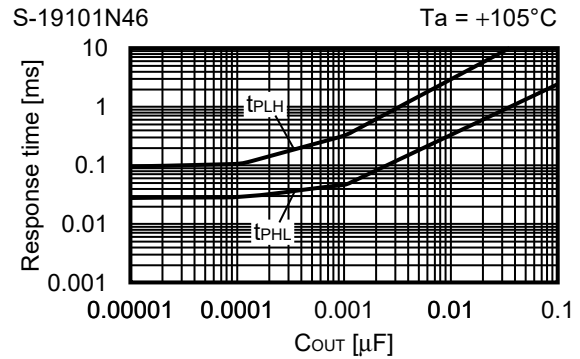
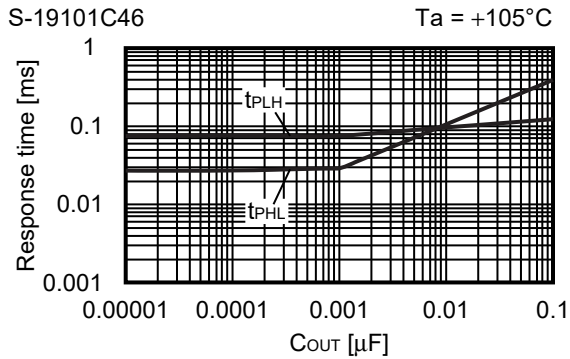
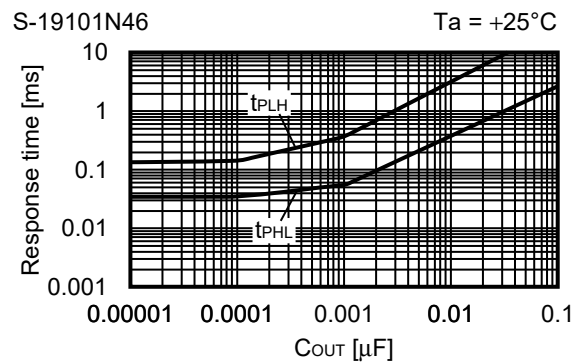
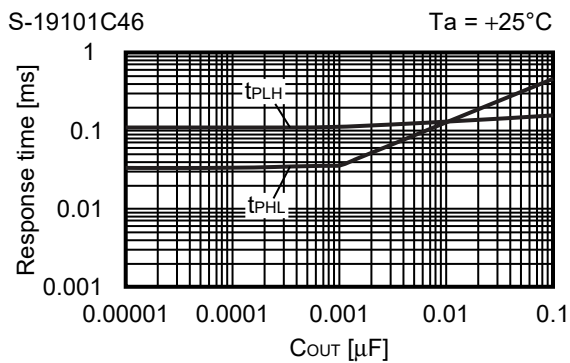
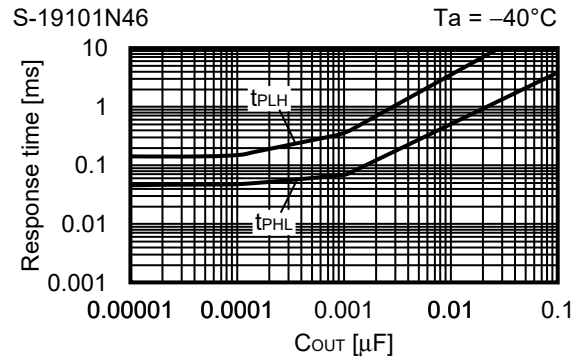
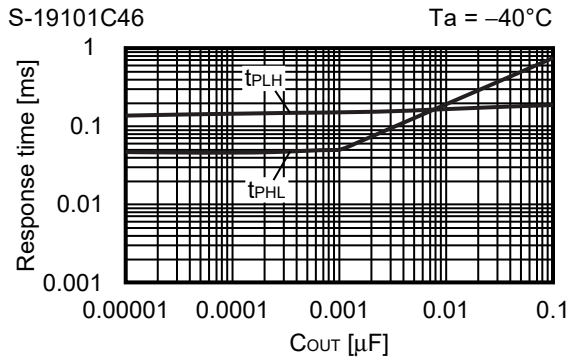
备注 V_{DS} : 输出晶体管的漏极 – 源极之间的电压。

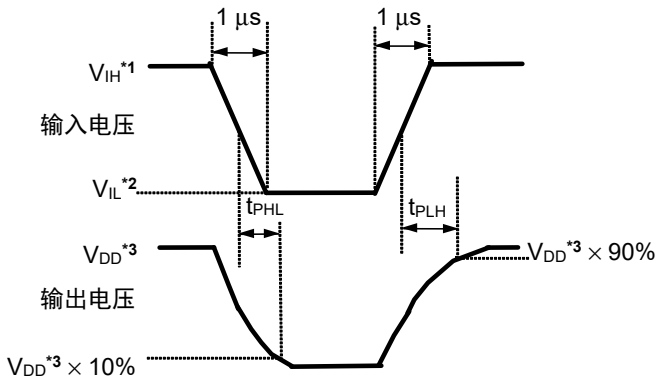
9. 动态响应特性 – 输出端子电容 (C_{OUT}) (CD端子为开路状态)

9.1 -V_{DET} = 1.2 V



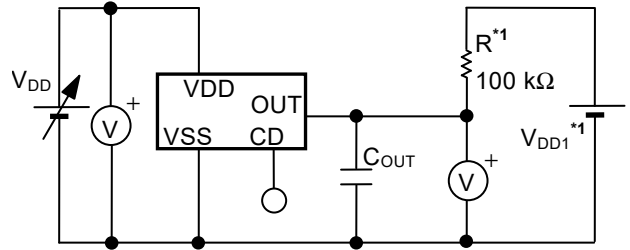
9.2 $-V_{DET} = 4.6\text{ V}$





- *1. $V_{IH} = 10\text{ V}$
- *2. $V_{IL} = 0.8\text{ V}$
- *3. CMOS输出产品 : V_{DD}
N沟道开路漏极输出产品 : V_{DD1}

图21 响应时间的测定条件

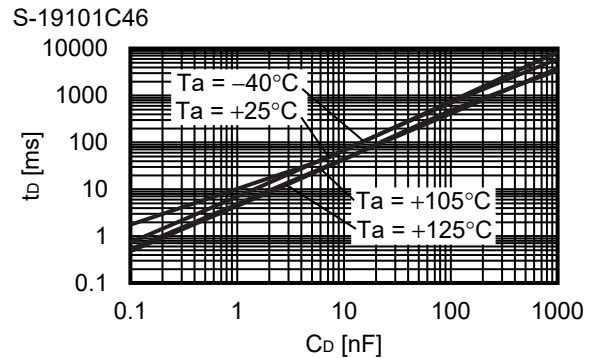
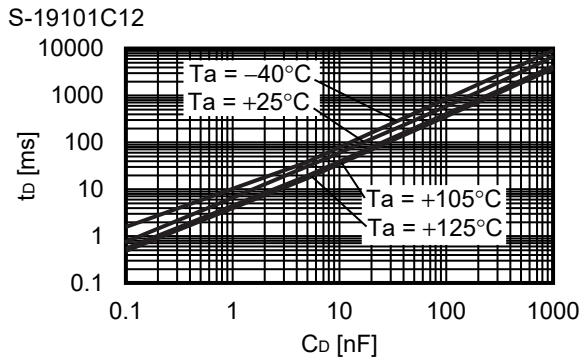


*1. CMOS输出产品不需要R和 V_{DD1} 。

图22 响应时间的测定电路

- 注意
1. 上述连接图以及参数并不作为保证电路工作的依据，实际的应用电路请在进行充分的实测基础上设定参数。
 2. CD端子处于开路状态时，在解除时会出现双脉冲的情况。
出现双脉冲问题时，请在CD端子处连接100 pF以上的电容后再使用。
检测时的应答时间 (t_{PHL}) 不受CD端子电容的影响。另外，解除时的应答时间 (t_{PLH})，通过连接CD端子可以设定延迟时间。详情请参阅 "10. 延迟时间 (t_D) - CD端子电容 (C_D) (无输出端子电容)"。

10. 延迟时间 (t_D) - CD端子电容 (C_D) (无输出端子电容)



11. 延迟时间 (t_D) – 温度 (T_a)

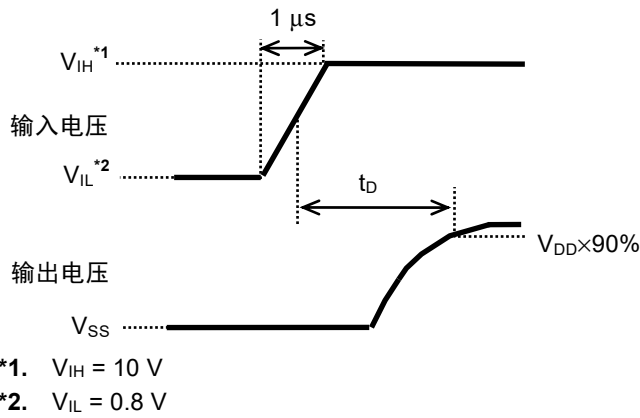
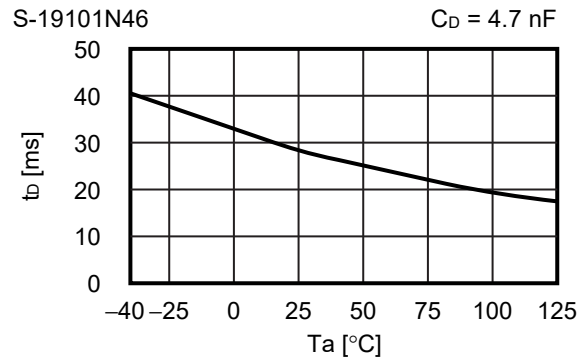
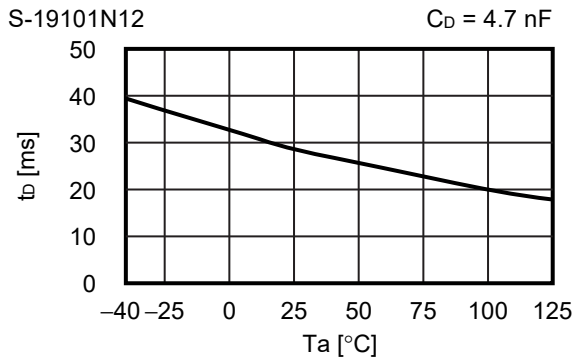
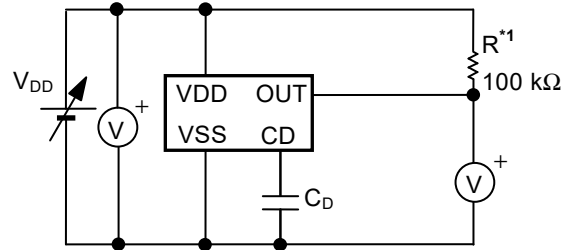


图23 延迟时间的测定条件



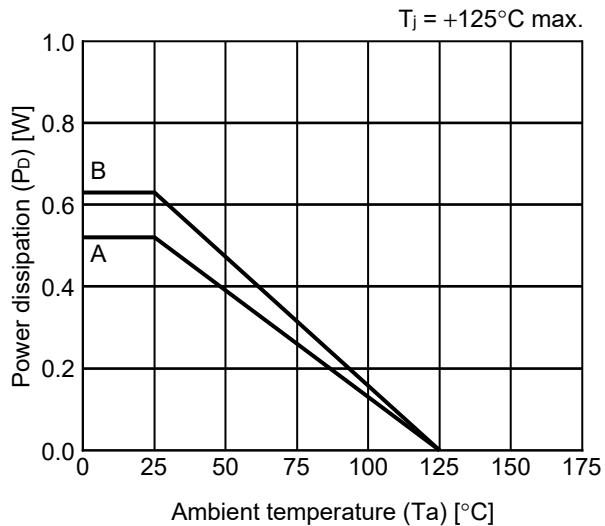
*1. CMOS输出产品不需要R。

图24 延迟时间的测定电路

注意 上述连接图以及参数并不作为保证电路工作的依据，实际的应用电路请在进行充分的实测基础上设定参数。

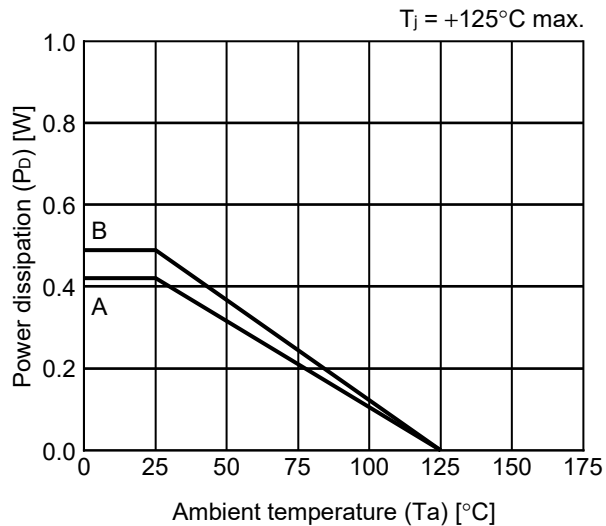
■ Power Dissipation

SOT-23-5



Board	Power Dissipation (P _D)
A	0.52 W
B	0.63 W
C	–
D	–
E	–

SC-82AB



Board	Power Dissipation (P _D)
A	0.42 W
B	0.49 W
C	–
D	–
E	–

SOT-23-3/3S/5/6 Test Board

 IC Mount Area

(1) Board A



Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	2	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via	-	

(2) Board B




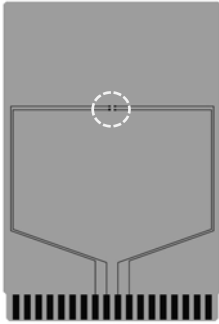
Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	-	

No. SOT23x-A-Board-SD-2.0

SC-82AB Test Board

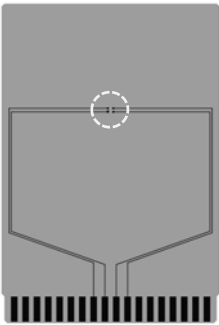
(1) Board A

 IC Mount Area



Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		2
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via		-

(2) Board B



Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-

No. SC82AB-A-Board-SD-1.0



No. MP005-A-P-SD-1.3

TITLE	SOT235-A-PKG Dimensions
No.	MP005-A-P-SD-1.3
ANGLE	
UNIT	mm
ABLIC Inc.	



Feed direction →

No. MP005-A-C-SD-2.1

TITLE	SOT235-A-Carrier Tape
No.	MP005-A-C-SD-2.1
ANGLE	
UNIT	mm
ABLIC Inc.	

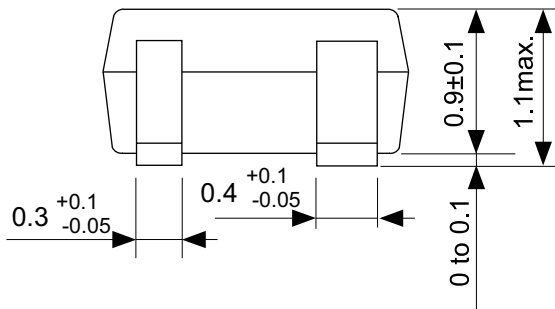
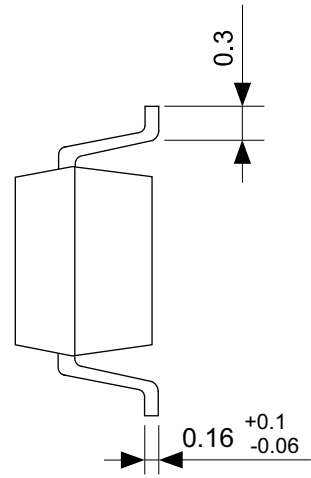
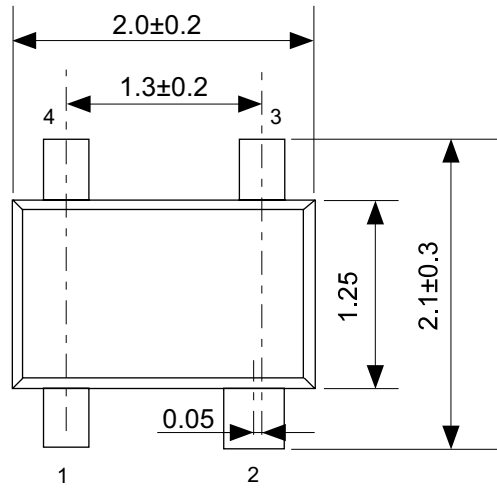


Enlarged drawing in the central part



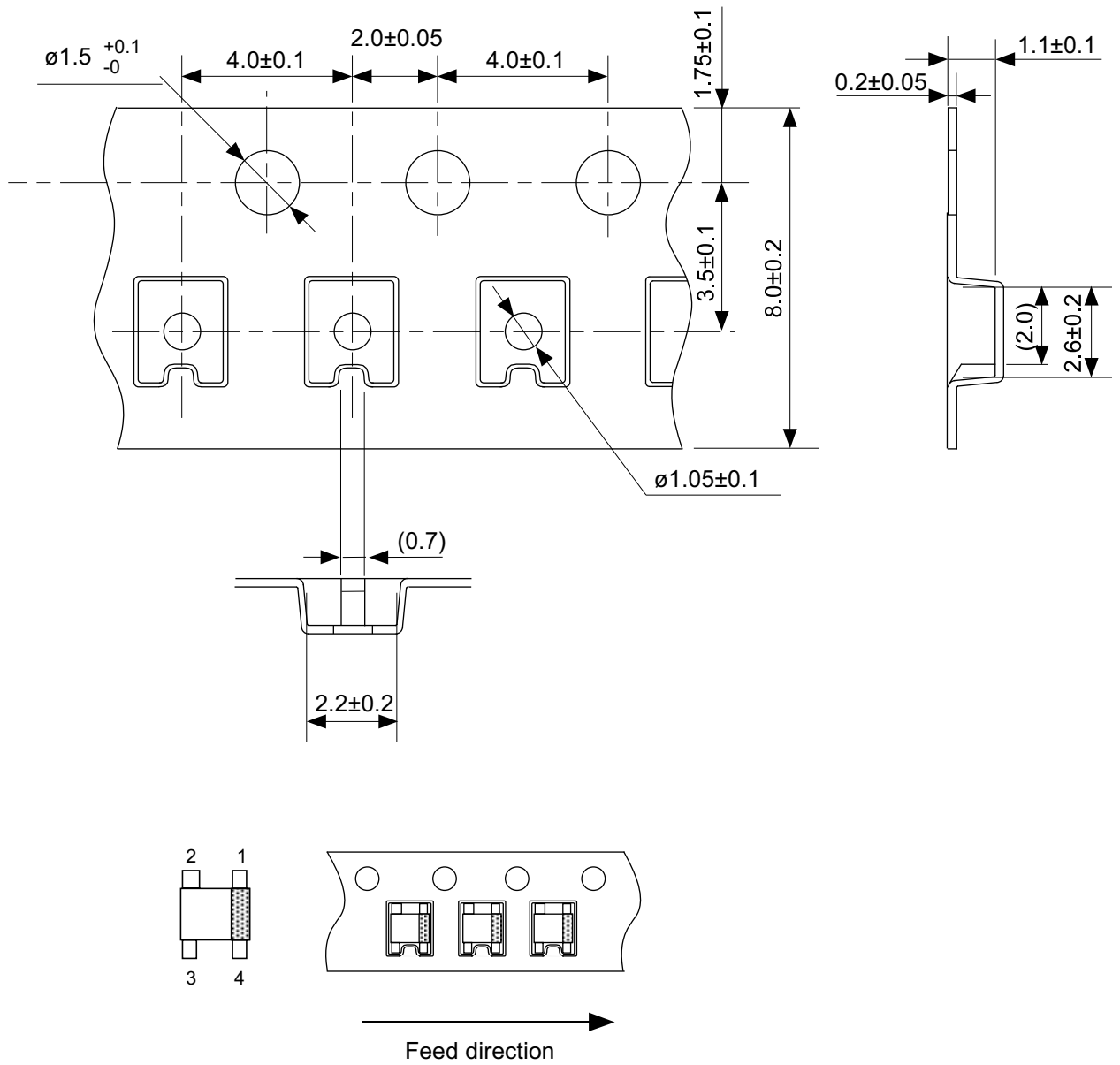
No. MP005-A-R-SD-1.1

TITLE	SOT235-A-Reel		
No.	MP005-A-R-SD-1.1		
ANGLE		QTY.	3,000
UNIT	mm		
ABLIC Inc.			



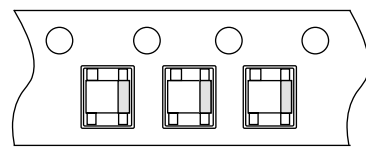
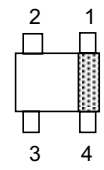
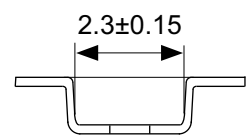
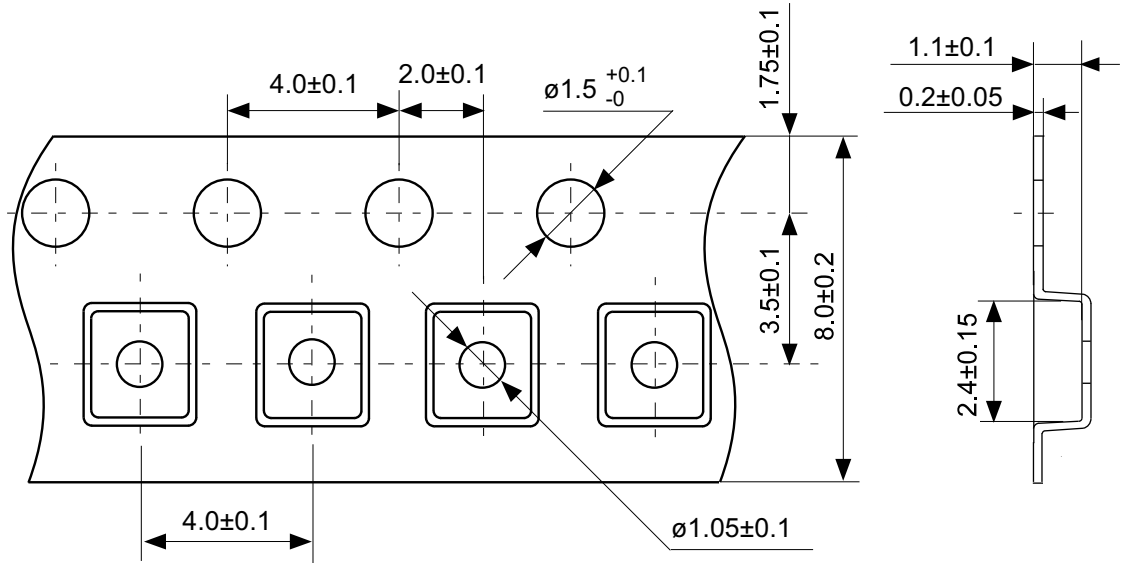
No. NP004-A-P-SD-2.0

TITLE	SC82AB-A-PKG Dimensions
No.	NP004-A-P-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	



No. NP004-A-C-SD-3.0

TITLE	SC82AB-A-Carrier Tape
No.	NP004-A-C-SD-3.0
ANGLE	
UNIT	mm
ABLIC Inc.	

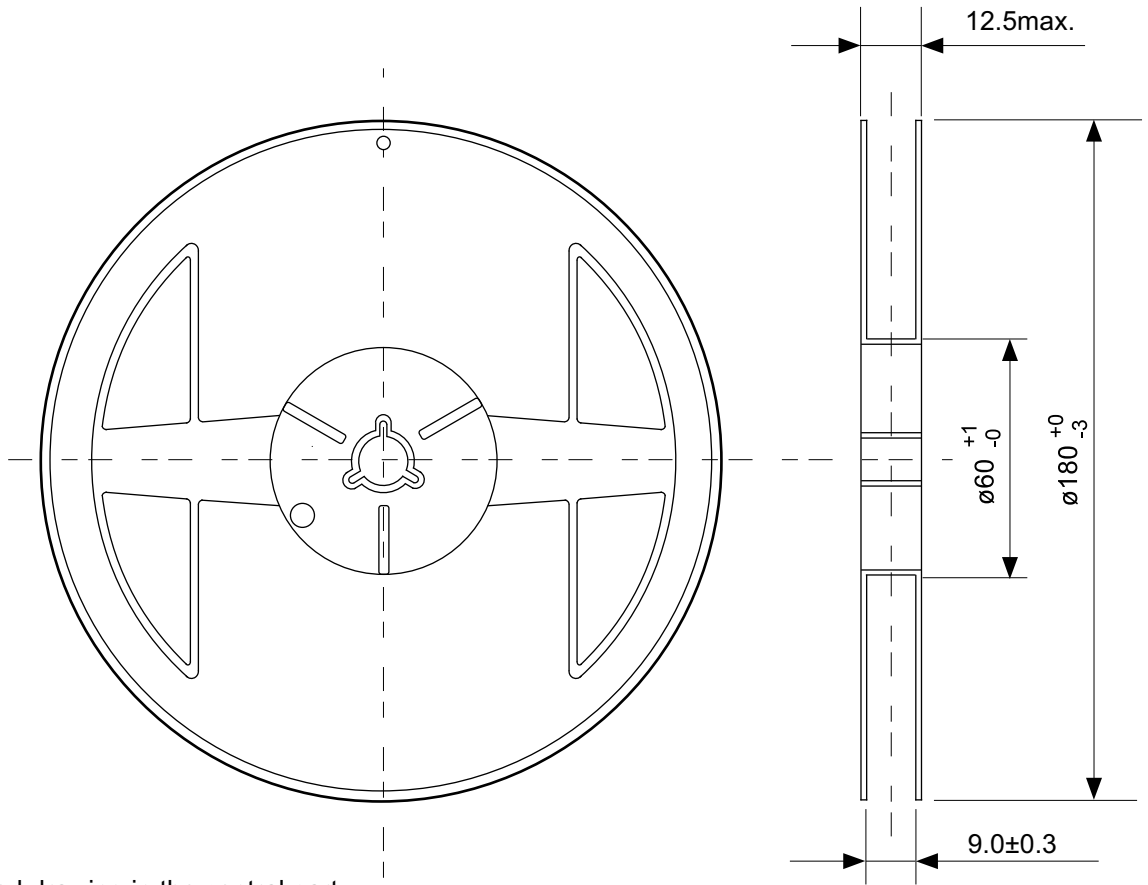


→
Feed direction

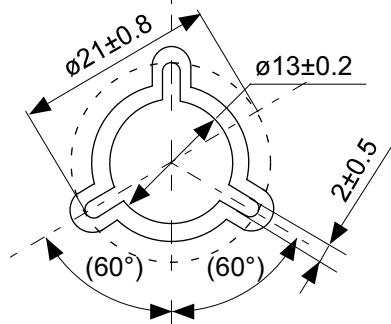
No. NP004-A-C-S1-2.0

TITLE	SC82AB-A-Carrier Tape
No.	NP004-A-C-S1-2.0
ANGLE	
UNIT	mm

ABLIC Inc.



Enlarged drawing in the central part



No. NP004-A-R-SD-1.1

TITLE	SC82AB-A-Reel		
No.	NP004-A-R-SD-1.1		
ANGLE		QTY.	3,000
UNIT	mm		
ABLIC Inc.			

免责声明 (使用注意事项)

1. 本资料记载的所有信息 (产品数据、规格、图、表、程序、算法、应用电路示例等) 是本资料公开时的最新信息, 有可能未经预告而更改。
2. 本资料记载的电路示例和使用方法仅供参考, 并非保证批量生产的设计。使用本资料的信息后, 发生并非因本资料记载的产品 (以下称本产品) 而造成的损害, 或是发生对第三方知识产权等权利侵犯情况, 本公司对此概不承担任何责任。
3. 因本资料记载错误而导致的损害, 本公司对此概不承担任何责任。
4. 请注意在本资料记载的条件范围内使用产品, 特别请注意绝对最大额定值、工作电压范围和电气特性等。因在本资料记载的条件范围外使用产品而造成的故障和 (或) 事故等的损害, 本公司对此概不承担任何责任。
5. 在使用本产品时, 请确认使用国家、地区以及用途的法律、法规, 测试产品用途的满足能力和安全性能。
6. 本产品出口海外时, 请遵守外汇交易及外国贸易法等出口法令, 办理必要的相关手续。
7. 严禁将本产品用于以及提供 (出口) 于开发大规模杀伤性武器或军事用途。对于如提供 (出口) 给开发、制造、使用或储藏核武器、生物武器、化学武器及导弹, 或有其他军事目的者的情况, 本公司对此概不承担任何责任。
8. 本产品并非是设计用于可能对生命、人体造成影响的设备或装置的部件, 也非是设计用于可能对财产造成损害的设备或装置的部件 (医疗设备、防灾设备、安全防范设备、燃料控制设备、基础设施控制设备、车辆设备、交通设备、车载设备、航空设备、太空设备及核能设备等)。请勿将本产品用于上述设备或装置的部件。本公司事先明确标示的车载用途例外。作为上述设备或装置的部件使用本产品时, 或本公司事先明确标示的用途以外使用本产品时, 所导致的损害, 本公司对此概不承担任何责任。
9. 半导体产品可能有一定的概率发生故障或误工作。为了防止因本产品的故障或误工作而导致的人身事故、火灾事故、社会性损害等, 请客户自行负责进行冗长设计、防止火势蔓延措施、防止误工作等安全设计。并请对整个系统进行充分的评价, 客户自行判断适用的可否。
10. 本产品非耐放射线设计产品。请客户根据用途, 在产品设计的过程中采取放射线防护措施。
11. 本产品在一般的使用条件下, 不会影响人体健康, 但因含有化学物质和重金属, 所以请不要将其放入口中。另外, 晶元和芯片的破裂面可能比较尖锐, 徒手接触时请注意防护, 以免受伤等。
12. 废弃本产品时, 请遵守使用国家和地区的法令, 合理地处理。
13. 本资料中也包含了与本公司的著作权和专有知识有关的内容。本资料记载的内容并非是对本公司或第三方的知识产权、其它权利的实施及使用的承诺或保证。严禁在未经本公司许可的情况下转载、复制或向第三方公开本资料的一部分或全部。
14. 有关本资料的详细内容等如有不明之处, 请向代理商咨询。
15. 本免责声明以日语版为正本。即使有英语版或中文版的翻译件, 仍以日语版的正本为准。

2.4-2019.07



ABLIC

艾普凌科有限公司
www.ablic.com