



CMOS ICアプリケーションノート

S-19989/19999シリーズの外付け部品の選定

Rev.1.0_00

© ABLIC Inc., 2024

このアプリケーションノートは、S-19989/19999シリーズにおける外付け部品の選定方法、推奨基板レイアウトを記載した参考資料です。

製品の詳細、仕様についてはデータシートにてご確認ください。

目次

1. 代表的な外付け部品の選定.....	3
2. 任意の外付け部品の選定	4
2.1 部品選定のガイドライン.....	4
3. 基板レイアウト注意点.....	12
3.1 アプリケーション回路図.....	12
3.2 外付け部品一覧.....	13
3.3 PCB基板レイアウト.....	14
3.4 基板レイアウトの注意点.....	14
4. 注意事項.....	17
5. 関連資料.....	17

1. 代表的な外付け部品の選定

代表的な回路を図1に、動作条件を表1に、外付け部品定数を表2に示します。

昇圧動作時の出力電圧 (V_{OUT}) は出力レギュレーション電圧 (V_{OUT_REG}) としてIC内部で設定され、オプションにより6.80 V、8.50Vが選択できます。

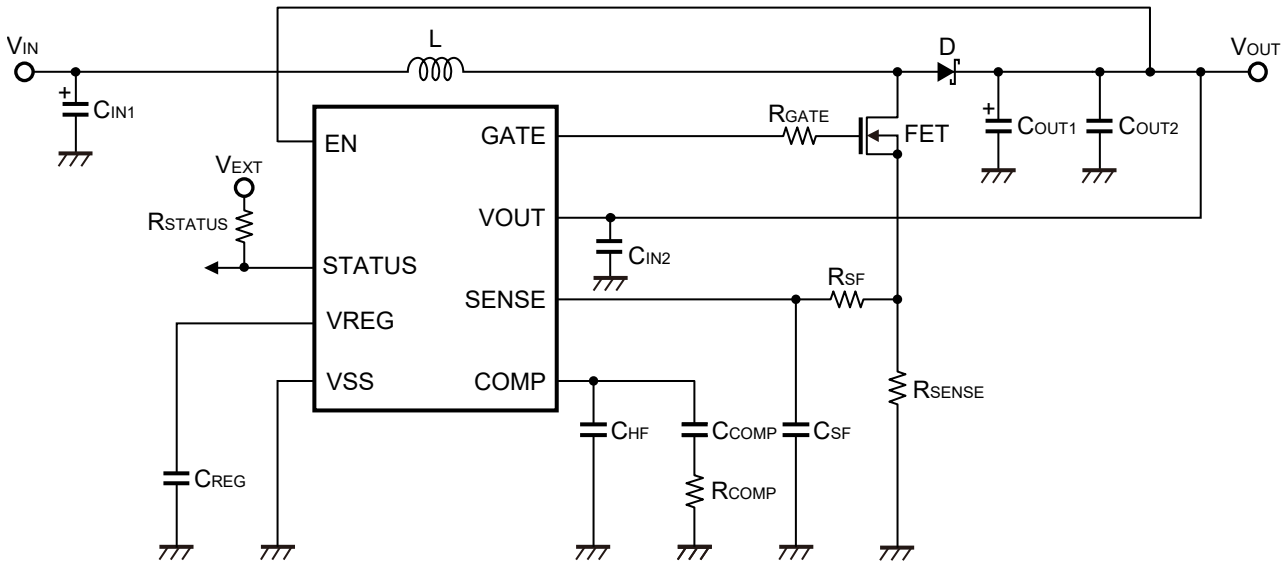


図1 標準回路

表1 設計例

項目	値
入力電圧 (V_{IN})	6 V
出力電圧 (V_{OUT})	6.80 Vまたは8.50 V (IC内で設定)
負荷電流 (I_{LOAD})	2 A
発振周波数 (f_{osc})	2.2 MHz

表2 外付け部品定数

記号	値	数量	型番	メーカー
L	0.47 μ H	1	SPM5030VT-R47M-D	TDK株式会社
FET	-	1	IPC50N04S5L-5R5	Infineon Technologies
D	-	1	VSSAF56	Vishay Intertechnology, Inc.
C_{IN1}	33 μ F	2	GYC1H330MCQ1GS	ニチコン株式会社
C_{IN2}	0.1 μ F	1	CGA4J2X8R1H104K	TDK株式会社
C_{OUT1}	100 μ F	3	GYC1H101MCQ1GS	ニチコン株式会社
C_{OUT2}	10 μ F	1	CGA5L1X7R1H106K160AC	TDK株式会社
R_{GATE}	10 Ω	1	MCR3 series (1608)	ローム株式会社
R_{SENSE}	4 m Ω	1	TLR2BPDTD4L00F75	KOA株式会社
R_{SF}	22 Ω	1	MCR3 series (1608)	ローム株式会社
R_{STATUS}	100 k Ω	1	MCR3 series (1608)	ローム株式会社
C_{SF}	10 nF	1	CGA3E2X8R1H103K	TDK株式会社
C_{REG}	1 μ F	1	CGA5L3X8R1H105K	TDK株式会社
R_{COMP}	12 k Ω	1	MCR3 series (1608)	ローム株式会社
C_{COMP}	4.7 nF	1	CGA3E2X8R1H472K	TDK株式会社
C_{HF}	220 pF	1	CGA3E2NP01H221J	TDK株式会社

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで温度特性を含めた十分な評価を行い、定数を設定してください。

S-19989/19999シリーズの外付け部品の選定

2. 任意の外付け部品の選定

昇圧コントローラの電流連続モード (continuous conduction mode : CCM) における部品選定のガイドラインと各部品に関する詳細情報を記載します。

2.1 部品選定のガイドライン

2.1.1 設計パラメータの定義

部品選定の計算に必要な設計パラメータを以下のように定義します。

V_{IN_MIN}	: 最小入力電圧 [V]
V_{IN_MAX}	: 最大入力電圧 [V]
I_{IN_MIN}	: 最小平均入力電流 [A]
I_{IN_MAX}	: 最大平均入力電流 [A]
V_{OUT}	: 出力電圧 [V]
I_{OUT_MIN}	: 最小負荷電流 [A]
I_{OUT_MAX}	: 最大負荷電流 [A]
η	: 変換効率
f_{OSC}	: 発振周波数 [Hz]

2.1.2 最小デューティサイクル、最大デューティサイクルの計算

電力損失を含む昇圧コンバータの最小デューティサイクル (D_{MIN})、最大デューティサイクル (D_{MAX}) はそれぞれ下式から計算することができます。

$$D_{MIN} = \frac{V_{OUT} + V_F - V_{IN_MAX}}{V_{OUT} + V_F - (R_{DS_ON} + R_{SENSE}) \times I_{IN_MIN}}$$

$$D_{MAX} = \frac{V_{OUT} + V_F - V_{IN_MIN}}{V_{OUT} + V_F - (R_{DS_ON} + R_{SENSE}) \times I_{IN_MAX}}$$

V_F はダイオードの順方向電圧、 R_{DS_ON} はMOS FETのオン抵抗、 R_{SENSE} はインダクタ電流検出用のセンス抵抗です。また、 I_{IN_MIN} と I_{IN_MAX} は効率の計算式から以下のように表されます。

$$I_{IN_MIN} = \frac{V_{OUT} \times I_{OUT_MIN}}{V_{IN_MAX} \times \eta}$$

$$I_{IN_MAX} = \frac{V_{OUT} \times I_{OUT_MAX}}{V_{IN_MIN} \times \eta}$$

デューティサイクル範囲は、電気的特性で規定される最小デューティサイクル ($t_{ON_MIN} \times f_{OSC}$) と最大デューティサイクル (MaxDuty) の2つのパラメータに準拠している必要があります。

$$\begin{aligned} D_{MIN} > t_{ON_MIN} \times f_{OSC} & : \text{下限} \\ D_{MAX} < \text{MaxDuty} & : \text{上限} \end{aligned}$$

デューティサイクル上限 ($D_{MAX} < \text{MaxDuty}$) を満たさない場合には昇圧動作が不可能になります。

デューティサイクル下限 ($D_{MIN} > t_{ON_MIN} \times f_{OSC}$) を満たさない場合には常にパルススキップ動作 (PFM制御) をします。

PFM制御は軽負荷時の効率低下を避ける機能です。レギュレーション性能を確保するためには、通常負荷、重負荷ではPWM制御で動作させてください。条件を満たすデューティサイクルの設定を推奨します。

2.1.3 インダクタの選定

(1) インダクタ値の計算

インダクタによる電流リップルと出力電圧リップルを抑えるため、電流連続モードで動作させます。そのためには、最大平均インダクタ電流 (I_{L_MAX}) に対するインダクタ電流リップル比 (r) = 0.2 ~ 0.6となるようにインダクタンス値を計算します。

インダクタ電流リップル比 (r) を上記より大きく (>1) 設定し電流不連続モード (discontinuous conduction mode : DCM) 動作させることにより、小さいインダクタ値を選択してコストを下げることも可能です。

それにより過渡特性がよくなりますが、インダクタ電流のピーク値が大きくなるため、電磁干渉 (EMI) の悪化が予測されます。

I_{L_MAX} は次のように求められます。

$$I_{L_MAX} = I_{IN_MAX} = \frac{I_{OUT_MAX}}{1 - D_{MAX}}$$

入力電流とインダクタ電流は等しくなります。インダクタ電流リップル (ΔI_L) は下式となります。

$$\Delta I_L = r \times I_{L_MAX}$$

したがって最小インダクタ値は次のように計算することができます。

$$L_{MIN} = \frac{V_{IN_MIN} \times D_{MAX}}{\Delta I_L \times f_{OSC}}$$

実際にはばらつきを考慮し、標準的なインダクタンス値 (L) を設定してください。

(2) インダクタピーク電流

インダクタのピーク電流は、すべての場合においてインダクタの飽和電流定格に達しないようにする必要があります。最大インダクタのピーク電流 (I_{LPEAK_MAX}) はインダクタ電流リップル最大値 (ΔI_{LPP_MAX}) から下式となります。

$$I_{LPEAK_MAX} = I_{L_MAX} + \frac{\Delta I_{LPP_MAX}}{2} = \frac{I_{OUT_MAX}}{1 - D_{MAX}} + \frac{V_{IN_MIN} \times D_{MAX}}{2 \times L \times f_{OSC}}$$
$$\Delta I_{LPP_MAX} = \frac{V_{IN_MIN}}{L} \times \frac{D_{MAX}}{f_{OSC}}$$

(3) インダクタRMS電流

インダクタRMS電流もインダクタのピーク電流と同様に常にRMS電流定格を満たす必要があります。最大インダクタRMS電流 (I_{LRMS_MAX}) は下式となります。

$$I_{LRMS_MAX} = \sqrt{I_{L_MAX}^2 + \frac{\Delta I_{LPP_MAX}^2}{12}} = \sqrt{\left(\frac{I_{OUT_MAX}}{1 - D_{MAX}}\right)^2 + \frac{1}{12} \times \left(\frac{V_{IN_MIN} \times D_{MAX}}{L \times f_{OSC}}\right)^2}$$

S-19989/19999シリーズの外付け部品の選定

2.1.4 センス抵抗 (R_{SENSE}) の選定

センス抵抗 (R_{SENSE}) はICのSENSE端子 - GND間に接続されインダクタ電流情報をランプ電圧として検出します。このランプ電圧は過電流保護 (OCP) とピーク電流モードの制御で使用されます。

以下の過電流保護で設定をしますが、ピーク電流モードの安定条件も満たしていることを確認してください。

(1) 過電流保護の設定

S-19989/19999シリーズは、パルスバイパルス方式の過電流保護機能を内蔵しています。インダクタのピーク電流がR_{SENSE}を流れSENSE端子電圧 (V_{SENSE}) がしきい値 (V_{LIM}) を越えるとMOS FETはオフになります。次のスイッチング周期になるとMOS FETはオンになりますが、V_{SENSE} > V_{LIM}の状態のままでは再びMOS FETはオフになり、それ以降の周期では同じ動作を続けます。V_{SENSE} < V_{LIM}となると通常動作に戻ります。

S-19989/19999シリーズの過電流保護および短絡保護 (Hiccup制御) では、コンバータの出力で短絡が発生した場合に入力から出力への電流を制限する方法がありません。短絡に対して保護が必要な場合は、ヒューズを使用するか上位電源の電流制限をご検討ください。

過電流検出値は最大インダクタピーク電流 (I_{LPEAK_MAX}) + 20%を推奨します。このときR_{SENSE}は下式で計算されます。

$$R_{SENSE} = \frac{V_{LIM}}{1.2 \times I_{LPEAK_MAX}}$$

(2) ピーク電流モードの安定条件

ピーク電流モード制御では、電流制御ループが不安定となり、サブハーモニック発振が発生する可能性があります。このため、電圧ループは発振せずレギュレーションを維持しますが、PWMからのパルスが長短交互になり、出力リップル電圧が増大します。この状態は、コンバータが電流連続モードで動作しデューティサイクルが50%以上の場合にのみ発生します。

このサブハーモニック発振の対策のため、S-19989/19999シリーズではスローブ補償機能が内蔵しています。IC内部では、ノコギリ波電流状のスローブ補償ランプ電流 (I_{SLOPE}) が5 kΩの抵抗を流れ、スローブ補償ランプ電圧 (S_E) が生成されます。SENSE端子からはこのノコギリ波電流 (5 μA max.) とオフセット電流 (30 μA固定) が出力されます。

$$S_E = 50 \text{ mV} \times f_{OSC}$$

$$I_{SLOPE} = 10 \text{ } \mu\text{A} \times f_{OSC}$$

理論的にサブハーモニック発振が発生しない条件はS_E > 0.5 × S_Fです。S_Fはインダクタ電流とR_{SENSE}により生成されるランプ電圧です。R_{SENSE}の条件は下式となります。

$$S_F = \frac{V_{OUT} + V_F - V_{IN_MIN}}{L} \times R_{SENSE}$$

$$R_{SENSE} < \frac{100 \text{ mV} \times f_{OSC} \times L}{V_{OUT} + V_F - V_{IN_MIN}}$$

上記設定条件を満足する場合でも、サブハーモニック発振の恐れがある際には、SENSE端子とR_{SENSE}の間に抵抗 (R_{OP}) を追加して、スローブ補償の傾きを大きくすることもできます。このときS_E = 10 μA × (5 kΩ + R_{OP}) × f_{OSC}であり、R_{SENSE}は下式となります。

$$R_{SENSE} < \frac{20 \text{ } \mu\text{A} \times (5 \text{ k}\Omega + R_{OP}) \times f_{OSC} \times L}{V_{OUT} + V_F - V_{IN_MIN}}$$

最大35 μA (ノコギリ波電流 + オフセット電流) × R_{OP}のオフセット電圧が発生するため、V_{LIM} → V_{LIM} - 35 μA × R_{OP}となり過電流保護のしきい値が小さくなることに注意してください。なお、スローブ補償の傾きを大きくしすぎると、相対的にインダクタ電流情報が小さくなります。そのため、電圧モードに似た制御となり入力に対する応答が悪くなる可能性があります。

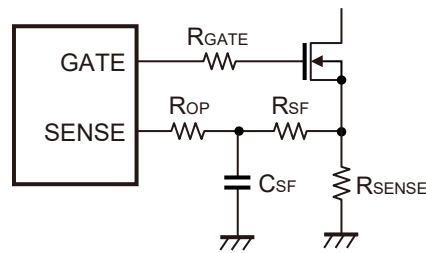


図2 RCフィルタ

(3) SENSE信号のフィルタリング

MOS FETのオン、オフ時には、PCB基板の配線による寄生インダクタ、MOS FETの出力容量、ダイオードの結合容量の共振により、スイッチング波形にオーバーシュート / アンダーシュートと数10 MHzを越えるリングングが発生します。

これらがSENSE端子に伝搬した場合、インダクタ電流情報が誤検出されレギュレーション動作が不安定になります。

S-19989/19999シリーズでは、これらノイズをマスクするためにMOS FETのオン直後にブランキングタイム (t_{ON_MIN} と同等) を設定しています。ブランキングタイムを越えるようなリングングが発生している場合には、 R_{SENSE} からSENSE端子に向かって図2に示すRCフィルタ (R_{SF} と C_{SF}) を追加してリングングを低減させてください。

RCフィルタの時定数はリングング波形の周期を確認し、その周期の10倍程度に設定してください。 R_{SF} を大きく設定すると過電流保護の検出値に影響を与えますので50 Ω 以下で選定することを推奨します。

スイッチング波形のリングング波形低減については、"2.1.9 MOS FETの選定"、"(6) スwitchング波形のリングング対策" も参照してください。

S-19989/19999シリーズの外付け部品の選定

2.1.5 ダイオードの選定

効率を向上させるため、順方向電圧が低く逆方向リーク電流の小さなショットキーダイオードを推奨します。

(1) 定格電圧、電流

ダイオードはMOS FETのオン中に逆バイアスされます。ダイオードの最大ピーク逆電圧定格はレギュレータの出力電圧 (V_{OUT}) に対して十分マージンをとってください。

ダイオードはMOS FETがオフ中に導通し、インダクタに蓄えられたエネルギーを出力コンデンサに供給します。このためスイッチング1周期で考えると、最大平均ダイオード電流 (I_{D_MAX}) は最大負荷電流 (I_{OUT_MAX}) と等しくなります。

$$I_{D_MAX} = I_{OUT_MAX}$$

最大負荷電流 (I_{OUT_MAX}) に対してダイオードの順方向平均電流の最大値 (I_{F_MAX}) が大きくなるように設定してください。

$$I_{F_MAX} > I_{D_MAX}$$

(2) 消費電力と温度

ダイオードの消費電力は $P_D = V_F \times I_D$ です。最大周囲温度でもジャンクション温度 T_J [$^{\circ}C$] がダイオードの最大接合部温度定格を越えないようにします。

$$T_J = T_a + \theta_{JA} \times P_D$$

T_a は周囲温度 [$^{\circ}C$]、 θ_{JA} はダイオードの熱抵抗値 [$^{\circ}C/W$] です。

2.1.6 出力コンデンサの選定

コンデンサの定格電圧は最大出力電圧よりも高くなければなりません。特にMLCCコンデンサを使用する場合には、温度と印加されるDC電圧により、容量が変化する可能性があるため、マージンを十分に考慮して選定してください。

出力コンデンサの選定には希望の出力電圧リップル (ΔV_{OUT}) と出力RMSリップル電流を満たすように選定します。

(1) 出力電圧リップルの計算

出力電圧リップルはコンデンサ容量 (C_{OUT}) の充放電によるものと、コンデンサの等価直列抵抗 (R_{ESR}) のリップル電流に引き起こされる電圧変動の合計として下式のように表されます。

$$\Delta V_{OUT} = \left(\frac{I_{OUT} \times D_{MAX}}{C_{OUT} \times f_{OSC}} \right) + R_{ESR} \times \left(\frac{I_{OUT}}{1 - D_{MAX}} + \frac{V_{IN} \times D_{MAX}}{2 \times L \times f_{OSC}} \right)$$

実際には2つのリップルには位相差がありますが、式では簡略化しています。

(2) RMSリップル電流の計算

出力コンデンサのRMSリップル電流 ($I_{COUTRMS}$) は下式のように計算されます。

$$I_{COUTRMS} = \sqrt{(1 + D_{MAX}) \times \left\{ \frac{D_{MAX}}{(1 - D_{MAX})^2} \times I_{OUT}^2 + \frac{\Delta I_L}{12} \right\}}$$

RMSリップル電流が定格を満たすように C_{OUT} を選定してください。定格を満たせない場合にはコンデンサを並列に追加してください。ESR低減の効果も期待できます。

2.1.7 入力コンデンサの選定

インダクタにAC電流を供給する際、入力電圧リップルを低減するために入力コンデンサが必要です。

電流連続モードの場合、定常状態の昇圧動作により引き起こされる入力電流は連続であり、 C_{OUT} と比較して選定条件が厳しくないため、入力電圧リップルのみを考慮します。ただし、電流不連続モードで入力変動、負荷変動が大きい場合、入力電圧をバッファリングするために追加でより容量の大きなコンデンサが必要になる場合があります。

(1) ICのバイパスコンデンサ

ノイズなどによる誤動作を防止するためICの $V_{IN} - V_{SS}$ 端子直近に $0.1 \mu F \sim 1 \mu F$ 程度の低ESRのセラミックコンデンサを接続して入力インピーダンスを下げることを推奨します。

(2) 昇圧コンバータの入力コンデンサ

昇圧コンバータでは入力にインダクタが直列に接続されているため、MOS FETのオン、オフによって入力電流波形が連続的な三角波状となります。この電流により C_{IN} には下式で概算される入力電圧リップル (ΔV_{IN}) が発生します。

$$\Delta V_{IN} = \Delta I_L \times \left(R_{ESR} + \frac{1}{8 \times f_{OSC} \times C_{IN}} \right)$$

R_{ESR} は C_{IN} の等価直列抵抗です。電圧リップルの低減と入力および負荷過渡時の安定動作のため、 C_{IN} には $33 \mu F \sim 100 \mu F$ の低ESRのセラミックコンデンサ、または導電性高分子ハイブリッドアルミ電解コンデンサを接続してください。

また、耐圧、動作温度および下式で計算される入力電流実効値 (I_{INRMS}) で、コンデンサが定格リップルを満たしていることを確認してください。

$$I_{INRMS} = \frac{1}{2\sqrt{3}} \times \Delta I_L$$

2.1.8 VREG端子コンデンサの選定

V_{REG} はIC内の一部回路を動作させるための内部電源電圧であり、 V_{REG} 端子から出力されます。また、 V_{REG} からはMOS FETがONする際にGATEをチャージする電流が瞬間的に流れます。このONの瞬間に V_{REG} が低下するのを防ぐために、 $V_{REG} - V_{SS}$ 端子直近に低ESRのセラミックコンデンサを接続してください。容量値は $1 \mu F$ を推奨します。また、 V_{REG} 端子にはセラミックコンデンサ以外の外付け部品または負荷を接続しないでください。

2.1.9 MOS FETの選定

MOS FETは昇圧コンバータの主要なスイッチング素子です。その選定には定格電圧、電流の検討が必要となります。電力損失は主に導通損失、スイッチング損失、ゲート駆動損失に起因します。

(1) 定格電圧、電流

MOS FETのオフ期間では、ドレインソース間電圧は $V_{OUT} + V_F$ に等しくなります。スイッチングノードでリングが発生する場合は定格電圧に対してマージンをとる必要があります。

また、最大入力電流 (I_{IN_MAX}) がMOS FETのドレイン電流定格を越えないものを選定してください。

(2) 導通損失 (P_{COND})

P_{COND} はMOS FETがオン状態のときにオン抵抗で消費される損失です。このときに流れる最大RMS電流 (I_{SWRMS_MAX}) は下式のように計算されます。

$$I_{SWRMS_MAX} = \sqrt{D_{MAX}} \times \sqrt{\left(\frac{I_{OUT_MAX}}{1 - D_{MAX}}\right)^2 + \frac{\Delta I_L^2}{12}}$$

したがってMOS FETの導通損失 (P_{COND}) は下式となります。

$$P_{COND} = R_{ON} \times D_{MAX} \times \left\{ \left(\frac{I_{OUT_MAX}}{1 - D_{MAX}}\right)^2 + \frac{\Delta I_L^2}{12} \right\}$$

(3) スwitchング損失 (P_{SW})

P_{SW} はMOS FETのターンオン、ターンオフ時にドレインソース間を流れる電流と電圧により発生する損失です。

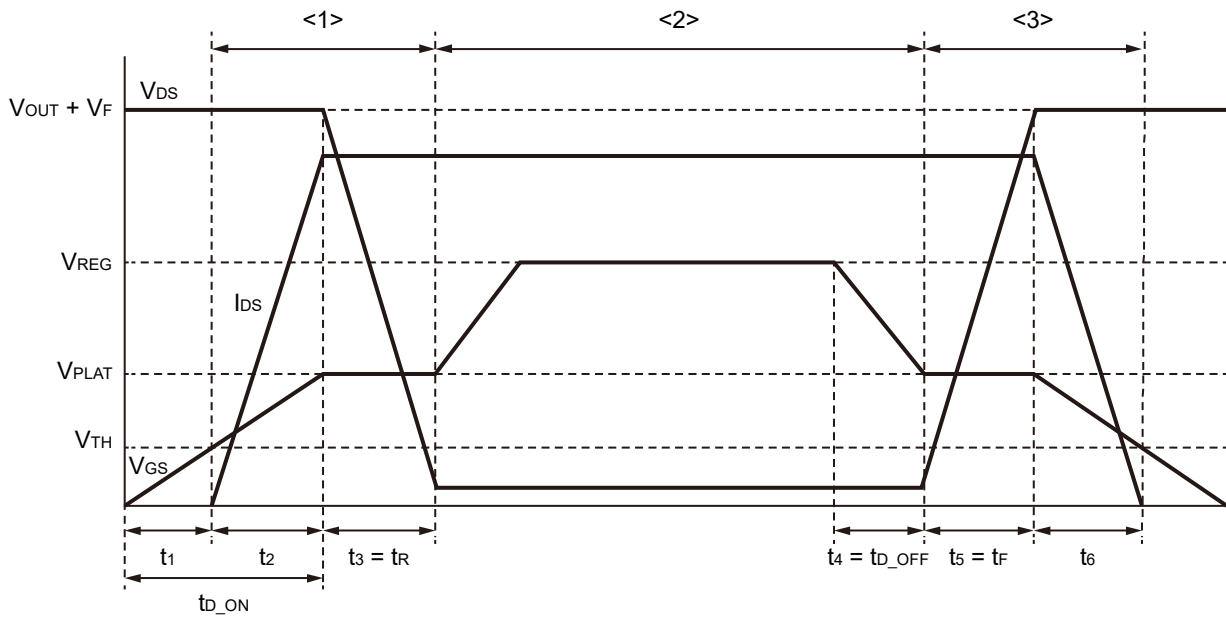
$$P_{SW} = \frac{V_{OUT} + V_F}{2} \times I_{L_MAX} \times f_{OSC} \times (t_{TR_ON} + t_{TR_OFF})$$

$$t_{TR_ON} = t_{D_ON} - R_G \times C_{ISS} \times \ln\left(\frac{V_{REG}}{V_{REG} - V_{TH}}\right) + t_R$$

$$t_{TR_OFF} = R_G \times C_{ISS} \times \ln\left(\frac{V_{PLAT}}{V_{TH}}\right) + t_F$$

MOS FETのデータシートに記載のパラメータは以下となります。

- C_{ISS} : 入力容量
- V_{TH} : スレッシュホールド電圧
- V_{PLAT} : プラトー電圧
- t_{D_ON} : ターンオンディレイ時間
- t_R : ライズタイム
- t_F : フォールタイム
- t_{D_OFF} : ターンオフディレイ時間
- R_G : MOS FETの内部ゲート抵抗 + ゲートドライブ回路のオン抵抗 + MOS FETのゲートとドライブ回路出力間のオプション抵抗 (R_{GATE})



- <1> ターンオン期間 : P_{SW}発生
- <2> MOS FETオン期間 : P_{COND}発生
- <3> ターンオフ期間 : P_{SW}発生

図3 MOS FETオン、オフ時の電圧、電流の遷移イメージ

(4) ゲート駆動損失 (P_{GATE})

P_{GATE}はMOS FETのゲートを駆動する際に、入力容量をチャージ、ディスチャージすることで消費される損失です。

$$P_{GATE} = C_{ISS} \times V_{REG}^2 \times f_{OSC}$$

(5) MOS FETの全損失 (P_{TOTAL}) と接合温度

(2) ~ (4)よりMOS FETの全消費電力はP_{TOTAL} = P_{COND} + P_{SW} + P_{GATE}となります。

最大周囲温度でもジャンクション温度T_j [°C] がMOS FETの最大接合部温度定格を越えないようにします。

$$T_j = T_a + R_{\theta JA} \times P_{TOTAL}$$

R_{θJA}は、ICチップ接合部と周囲環境の熱抵抗です。

(6) スイッチング波形のリングング対策

スイッチング波形のリングングを低減するために数十Ωのゲート抵抗 (R_{GATE}) を接続することも有効ですが、抵抗の損失による効率とのトレードオフがあることに注意してください。

S-19989/19999シリーズの外付け部品の選定

3. 基板レイアウト注意点

スイッチングレギュレータを安定動作させ、レギュレーション性能、変換効率、ノイズ低減を実現するにはPCB基板のレイアウトと部品配置が非常に重要です。弊社の作成したPCB基板を例に用いて基板レイアウトの注意点を説明します。

3.1 アプリケーション回路図

図4は弊社で作成したPCB基板の昇圧アプリケーション回路図を示しています。

JP1を介して V_{OUT} と V_{OUT} 端子を接続し、ブートストラップ構成としてください。EN端子はJP2を介して V_{OUT} と接続するか、JP2をオープンにして外部から電圧印加してください。

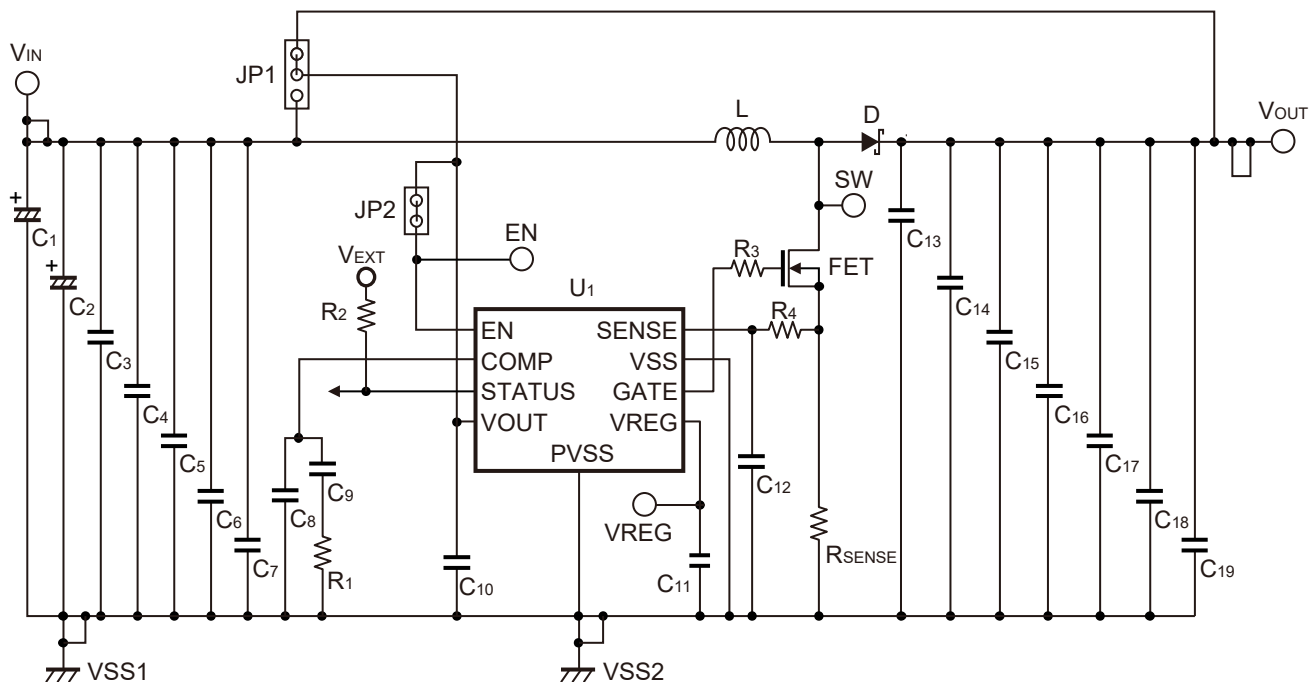


図 4

表3 設計例

項目	値
入力電圧 (V_{IN})	6 V
出力電圧 (V_{OUT})	6.80 Vまたは8.50 V (IC内で設定)
負荷電流 (I_{LOAD})	2 A
発振周波数 (f_{OSC})	2.2 MHz

3.2 外付け部品一覧

表4に図4の接続例における各外付け部品を示します。

表4 外付け部品

記号	値	型番	メーカー
U ₁	-	S-19989/19999シリーズ	エイブリック株式会社
C ₁	33 μ F	GYC1H330MCQ1GS	ニチコン株式会社
C ₂	33 μ F	GYC1H330MCQ1GS	ニチコン株式会社
C ₃	ユーザ設定	-	-
C ₄	ユーザ設定	-	-
C ₅	ユーザ設定	-	-
C ₆	ユーザ設定	-	-
C ₇	ユーザ設定	-	-
C ₈	220 pF	CGA3E2NP01H221J	TDK株式会社
C ₉	4.7 nF	CGA3E2X8R1H472K	TDK株式会社
C ₁₀	0.1 μ F	CGA4J2X8R1H104K	TDK株式会社
C ₁₁	1 μ F	CGA5L3X8R1H105K	TDK株式会社
C ₁₂	10 nF	CGA3E2X8R1H103K	TDK株式会社
C ₁₃	ユーザ設定	-	-
C ₁₄	10 μ F	CGA5L1X7R1H106K160AC	TDK株式会社
C ₁₅	ユーザ設定	-	-
C ₁₆	10 μ F	CGA5L1X7R1H106K160AC	TDK株式会社
C ₁₇	100 μ F	GYC1H101MCQ1GS	ニチコン株式会社
C ₁₈	100 μ F	GYC1H101MCQ1GS	ニチコン株式会社
C ₁₉	100 μ F	GYC1H101MCQ1GS	ニチコン株式会社
C ₂₀	ユーザ設定	-	-
R ₁	12 k Ω	MCR3 series (1608)	ローム株式会社
R ₂	100 k Ω	MCR3 series (1608)	ローム株式会社
R ₃	10 Ω	MCR3 series (1608)	ローム株式会社
R ₄	22 Ω	MCR3 series (1608)	ローム株式会社
R ₅	ユーザ設定	-	-
R _{SENSE}	4 m Ω	TLR2BPDTD4L00F75	KOA株式会社
JP1	-	-	-
JP2	-	-	-
L	0.47 μ H	SPM5030VT-R47M-D	TDK株式会社
FET	-	IPC50N04S5L-5R5	Infineon Technologies
D	-	VSSAF56	Vishay Intertechnology, Inc.

注意 1. 上記定数は予告なく変更することがあります。

2. 上記定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

3.3 PCB基板レイアウト

図4のアプリケーション回路図に対応する弊社作成の基板は4層であり、全レイヤーを図5～図8に示します。

- ・TOPレイヤー : ほとんどの部品と配線をレイアウト
- ・内部レイヤー1 : VINとVSSの配線の補強
- ・内部レイヤー2 : VSSの補強
- ・BOTTOMレイヤー : TOPレイヤーで引き回ししづらく大きな注意を必要としない配線とVSSの補強

これらの図に基づいて、"3.4 基板レイアウトの注意点" でレイアウトの注意点を説明します。

3.4 基板レイアウトの注意点

- ・ C_{IN} (C_{10}) はできるだけVOUT端子とVSS端子の近くに配置してください。 C_{IN} の配置を最優先にしてください。
- ・ C_{REG} (C_{11}) はできるだけVREG端子とVSS端子の近くに配置してください。
- ・ GATE端子のパターンは、ICの下には配線しないでください。
- ・十分に放熱するよう裏面放熱板VSSパターンに接続してサーマルビアを配置してください。
- ・ C_{OUT} ($C_{13} \sim C_{19}$) → D → FET → R_{SENSE} → C_{OUT} ($C_{13} \sim C_{19}$) で構成されるスイッチンググループをできるだけ小さくします。誘導性高周波ノイズの低減に効果があります。
- ・高周波放射ノイズを低減するためSWの配線面積 ("図5 TOPレイヤー (1層目)" の破線で示した領域) をできるだけ小さくしてください。
- ・渦電流による損失を避けるためインダクタ (L) の裏面の銅箔はすべてなくしてください。
- ・SENSE信号にはスイッチング時のリングング信号が重畳します。このリングングが大きくと誤動作する場合にはRCフィルタ (R_4 , C_{12}) により減衰させます。RCフィルタはなるべくICの近くに配置してください。
- ・ R_{SENSE} はFETのソースに近づけて配置してください。
- ・SW波形のリングングが大きい場合には、Dのカソード直近とVSS間にセラミックコンデンサ (C_{15} , C_{16}) を配置すると低減に効果があります。
- ・SW波形のリングングがVOUTに伝搬して動作が不安定となる場合にはVOUT端子直近とVSS間にセラミックコンデンサ (C_{13} , C_{14}) を配置してください。
- ・SW波形のリングングの低減にはFETのゲートラインに抵抗 (R_3) を挿入すると効果がありますが、効率とのトレードオフとなります。

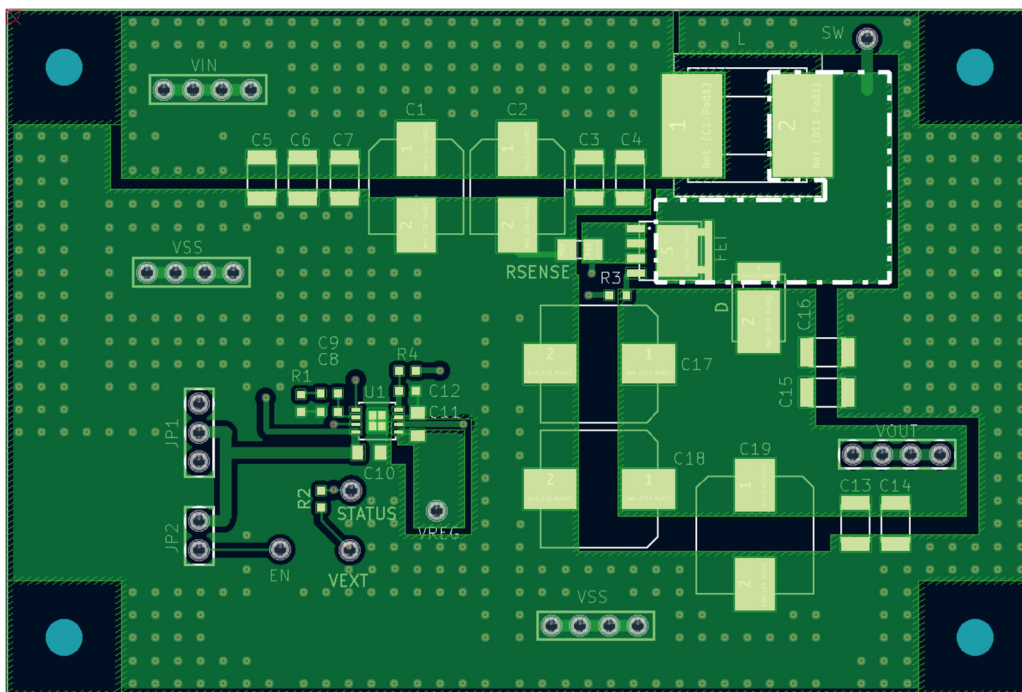


図5 TOPレイヤー (1層目)

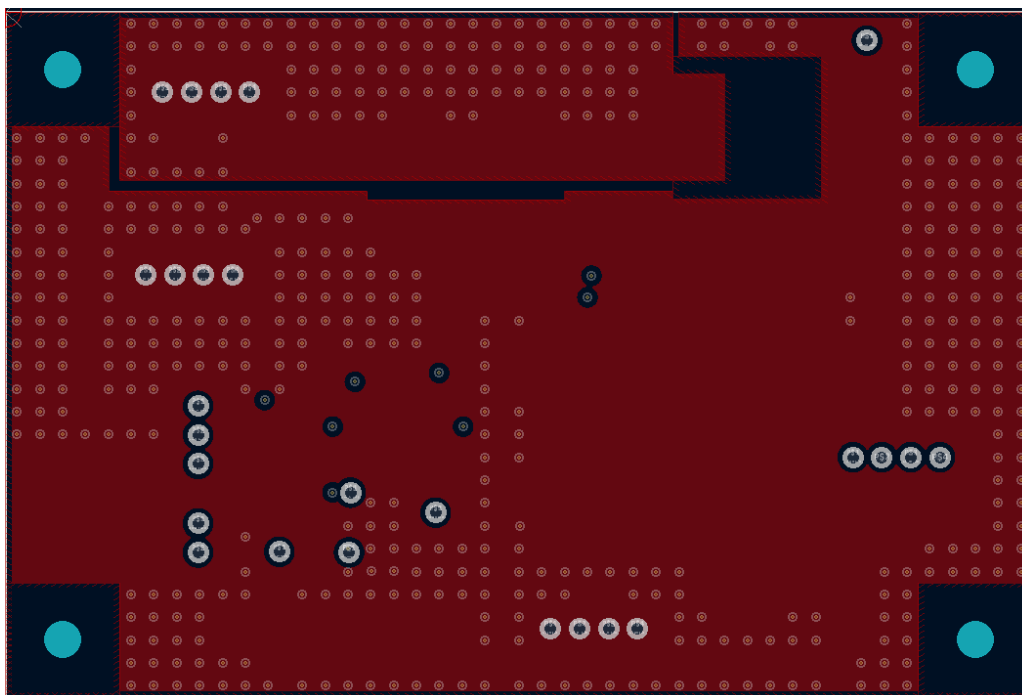


図6 内部レイヤー1 (2層目)

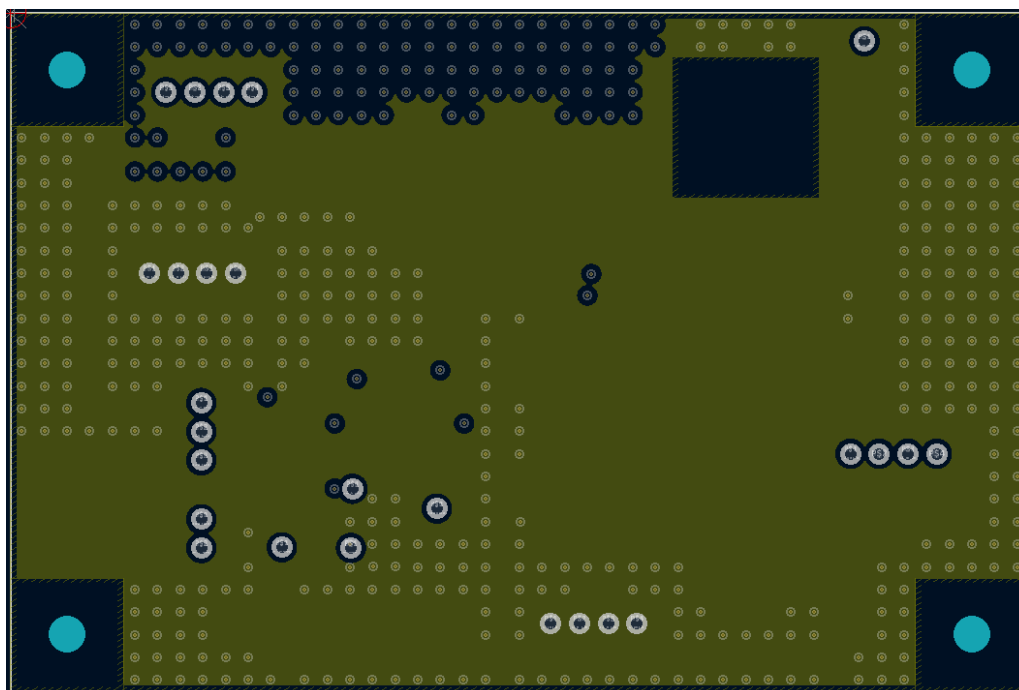


図7 内部レイヤー2 (3層目)

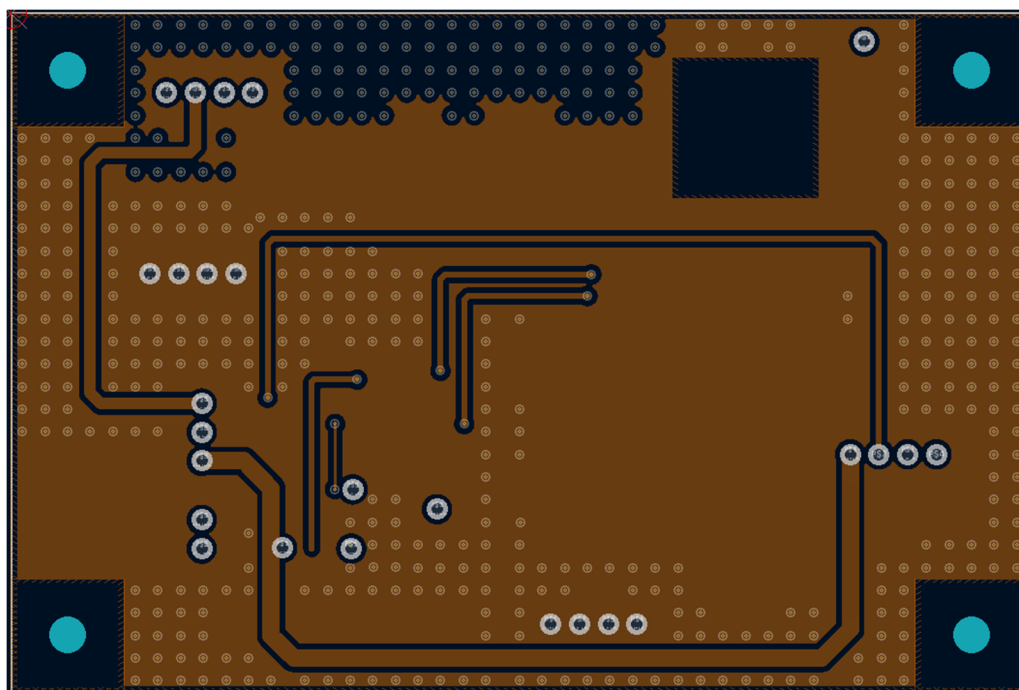


図8 BOTTOMレイヤー (4層目)

注意 上記パターン図面は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、パターンを決定してください。

4. 注意事項

- ・ 本資料に掲載のアプリケーション例は、弊社ICを使用した代表的な応用例を説明したものです。ご使用の際は、十分な評価を行ってください。
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

5. 関連資料

S-19989/19999シリーズの詳細については、下記のデータシートを参照してください。

S-19989シリーズ データシート
S-19999シリーズ データシート

このアプリケーションノートおよびデータシートの内容は、予告なく変更することがあります。

詳細は、販売窓口までお問い合わせください。

データシートの最新版は弊社Webサイトにて製品カテゴリと製品名をお選びいただき、PDFファイルをダウンロードしてください。

www.ablic.com エイブリック株式会社Webサイト

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com