

S-82F1Aシリーズは、高精度電圧検出回路と遅延回路を内蔵したリチウムイオン / リチウムポリマー二次電池保護用ICです。1セルリチウムイオン / リチウムポリマー二次電池パックの過充電、過放電、過電流の保護に最適なICです。外付けの過電流検出抵抗を用いることにより、温度変化による影響の少ない高精度な過電流保護を実現します。また、充放電制御信号入力端子を備えており、外部信号による充放電制御が可能です。

■ 特長

- ・ 高精度電圧検出回路

過充電検出電圧	3.500 V ~ 4.600 V (5 mVステップ)	精度±15mV
過充電解除電圧	3.100 V ~ 4.600 V ^{*1}	精度±50 mV
過放電検出電圧	2.000 V ~ 3.000 V (10 mVステップ)	精度±50 mV
過放電解除電圧	2.000 V ~ 3.400 V ^{*2}	精度±75 mV
放電過電流検出電圧1	0.003 V ~ 0.100 V (0.5 mVステップ)	精度±1.5 mV
放電過電流検出電圧2	0.010 V ~ 0.100 V (1 mVステップ)	精度±3 mV
負荷短絡検出電圧	0.020 V ~ 0.100 V (1 mVステップ)	精度±5 mV
充電過電流検出電圧	-0.100 V ~ -0.003 V (0.5 mVステップ)	精度±1.5 mV
- ・ 各種検出遅延時間は内蔵回路のみで実現 (外付け容量は不要)
- ・ 充放電制御機能

CTL端子制御論理	: アクティブ "H"、アクティブ "L"
CTL端子内部抵抗接続	: プルアップ、プルダウン
CTL端子内部抵抗値	: 1 MΩ ~ 10 MΩ (1 MΩステップ)
- ・ 放電過電流制御機能

放電過電流状態の解除条件	: 負荷開放
放電過電流状態の解除電圧	: $V_{RIOV} = V_{DD} \times 0.8$ (typ.)
- ・ 0 V電池への充電 : 可能、禁止
- ・ パワーダウン機能 : あり、なし
- ・ 高耐圧 : VM端子およびCO端子 : 絶対最大定格28 V
- ・ 広動作温度範囲 : Ta = -40°C ~ +85°C
- ・ 低消費電流

動作時	: 2.0 μA typ., 4.0 μA max. (Ta = +25°C)
パワーダウン時	: 50 nA max. (Ta = +25°C)
過放電時	: 0.5 μA max. (Ta = +25°C)
- ・ 鉛フリー (Sn 100%)、ハロゲンフリー

- *1. 過充電解除電圧 = 過充電検出電圧 - 過充電ヒステリシス電圧
(過充電ヒステリシス電圧は、0 Vまたは0.1 V ~ 0.4 Vの範囲内にて50 mVステップで選択可能)
- *2. 過放電解除電圧 = 過放電検出電圧 + 過放電ヒステリシス電圧
(過放電ヒステリシス電圧は、0 Vまたは0.1 V ~ 0.7 Vの範囲内にて100 mVステップで選択可能)

■ 用途

- ・ リチウムイオン二次電池パック
- ・ リチウムポリマー二次電池パック

■ パッケージ

- ・ HSNT-8(1616)

■ ブロック図

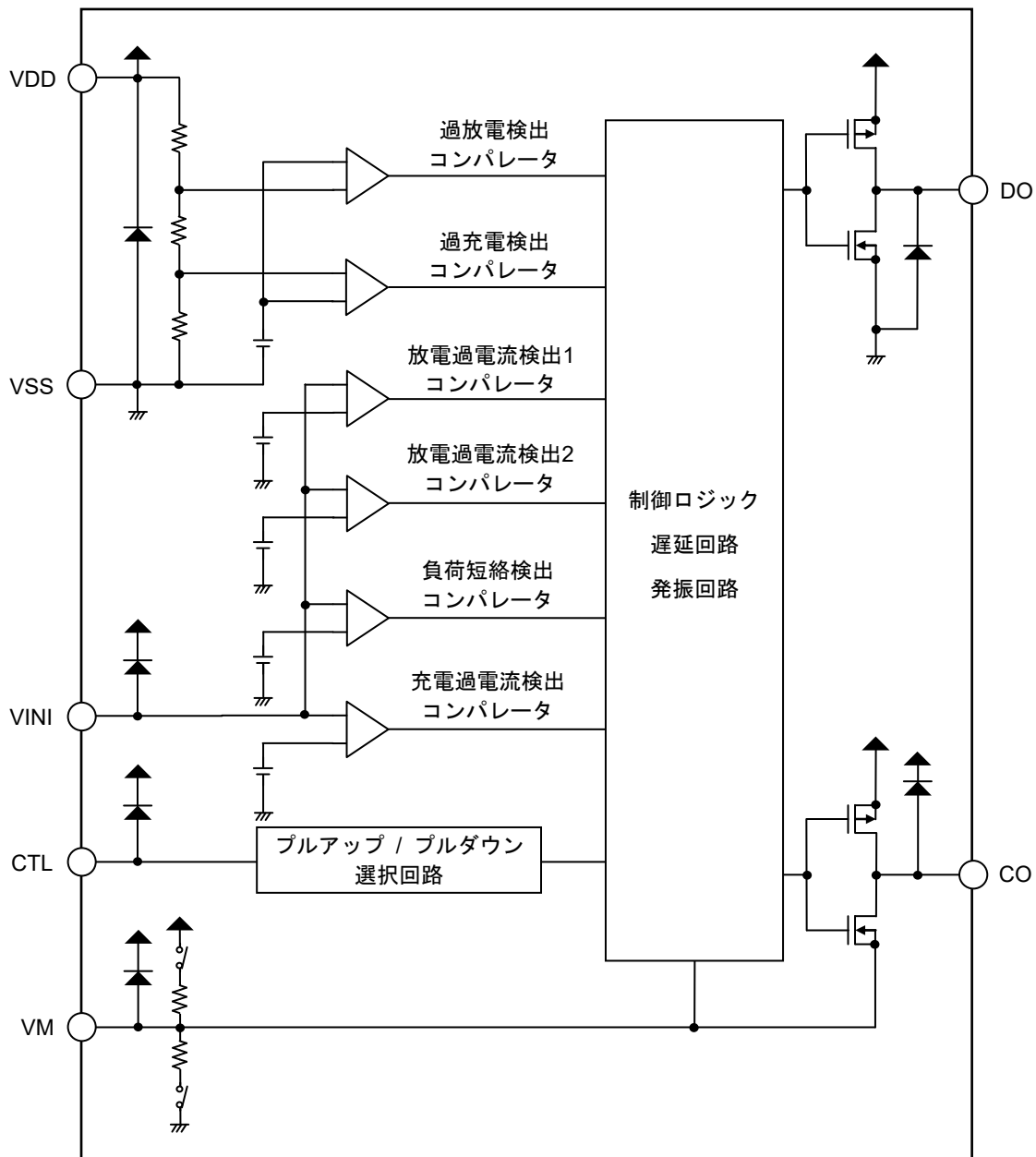
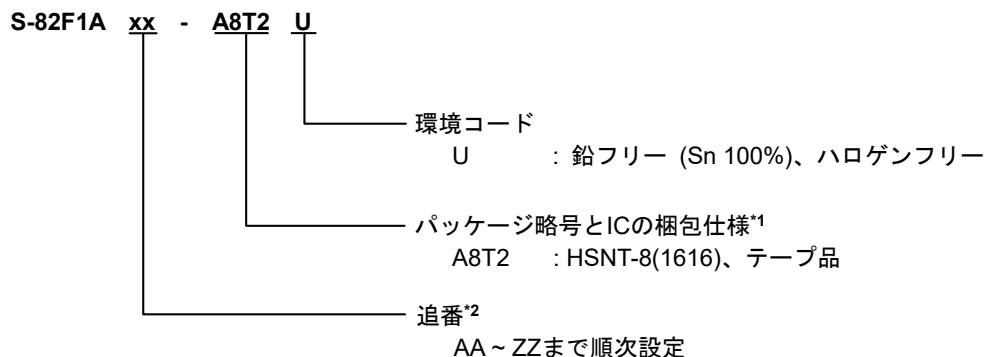


図1

■ 品目コードの構成

1. 製品名



- *1. テープ図面を参照してください。
*2. "3. 製品名リスト" を参照してください。

2. パッケージ

表1 パッケージ図面コード

パッケージ名	外形寸法図面	テープ図面	リール図面	ランド図面
HSNT-8(1616)	PY008-A-P-SD	PY008-A-C-SD	PY008-A-R-SD	PY008-A-L-SD

3. 製品名リスト

3.1 HSNT-8(1616)

表2 (1 / 2)

製品名	過充電 検出電圧 [V _{CU}]	過充電 解除電圧 [V _{CL}]	過放電 検出電圧 [V _{DL}]	過放電 解除電圧 [V _{DU}]	遅延時間の 組み合わせ ^{*1}	CTL端子の 組み合わせ ^{*2}	機能の 組み合わせ ^{*3}
S-82F1AAP-A8T2U	4.475 V	4.275 V	2.500 V	2.900 V	(2)	(2)	(2)

表2 (2 / 2)

製品名	放電過電流 検出電圧1 [V _{DIOV1}]	放電過電流 検出電圧2 [V _{DIOV2}]	負荷短絡 検出電圧 [V _{SHORT}]	充電過電流 検出電圧 [V _{CIOV}]
S-82F1AAP-A8T2U	0.0150 V	-	0.040 V	-0.0150 V

- *1. 遅延時間の組み合わせの詳細については、表3を参照してください。
*2. CTL端子の組み合わせの詳細については、表5を参照してください。
*3. 機能の組み合わせの詳細については、表6を参照してください。

備考 上記以外の製品をご希望のときは、販売窓口までお問い合わせください。

表3

遅延時間の組み合わせ	過充電検出遅延時間 [t _{CU}]	過放電検出遅延時間 [t _{DL}]	放電過電流検出遅延時間1 [t _{DIOV1}]	放電過電流検出遅延時間2 [t _{DIOV2}]	負荷短絡検出遅延時間 [t _{SHORT}]	充電過電流検出遅延時間 [t _{CIOV}]	充放電禁止遅延時間 [t _{CTL}]
(1)	512 ms	64 ms	16 ms	4 ms	530 μs	8 ms	48 ms
(2)	1.0 s	64 ms	32 ms	–	280 μs	16 ms	48 ms

備考 下記範囲内で遅延時間の変更も可能です。販売窓口までお問い合わせください。

表4

遅延時間	記号	選択範囲						備考
過充電検出遅延時間	t _{CU}	256 ms	512 ms	1.0 s	–	–	–	左記から選択
過放電検出遅延時間	t _{DL}	32 ms	64 ms	128 ms	–	–	–	左記から選択
放電過電流検出遅延時間1	t _{DIOV1}	8 ms	16 ms	32 ms	64 ms	128 ms	256 ms	左記から選択
		512 ms	1.0 s	2.0 s	3.0 s	3.75 s	4.0 s	
放電過電流検出遅延時間2	t _{DIOV2}	4 ms	8 ms	16 ms	32 ms	64 ms	128 ms	左記から選択
負荷短絡検出遅延時間	t _{SHORT}	280 μs	530 μs	–	–	–	–	左記から選択
充電過電流検出遅延時間	t _{CIOV}	4 ms	8 ms	16 ms	32 ms	64 ms	128 ms	左記から選択
充放電禁止遅延時間	t _{CTL}	2 ms	4 ms	48 ms	64 ms	128 ms	256 ms	左記から選択

表5

CTL端子の組み合わせ	制御論理 ^{*1}	内部抵抗接続 ^{*2}	内部抵抗値 ^{*3} [R _{CTL}]
(1)	アクティブ "L"	プルアップ	5 MΩ
(2)	アクティブ "H"	プルダウン	5 MΩ

*1. CTL端子制御論理：アクティブ "H"、アクティブ "L"

*2. CTL端子内部抵抗の接続：プルアップ、プルダウン

*3. CTL端子内部抵抗値：1 MΩ～10 MΩ (1 MΩステップ)

備考 上記CTL端子の組み合わせ以外の製品をご希望の場合は、販売窓口までお問い合わせください。

表6

機能の組み合わせ	0 V電池への充電 ^{*1}	パワーダウン機能 ^{*2}
(1)	可能	なし
(2)	禁止	なし

*1. 0 V電池への充電：可能、禁止

*2. パワーダウン機能：あり、なし

備考 上記機能の組み合わせ以外の製品をご希望の場合は、販売窓口までお問い合わせください。

■ ピン配置図

1. HSNT-8(1616)

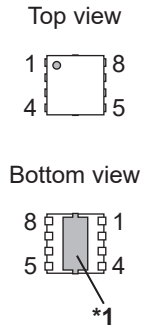


図2

表7

端子番号	端子記号	端子内容
1	CTL	充放電制御信号入力端子
2	VM	外部負電圧入力端子
3	CO	充電制御用FETゲート接続端子 (CMOS出力)
4	DO	放電制御用FETゲート接続端子 (CMOS出力)
5	VSS	負電源入力端子
6	VDD	正電源入力端子
7	VINI	過電流検出端子
8	NC*2	無接続

- *1. 網掛け部分の裏面放熱板は、基板に接続し電位をオープンまたはV_{DD}としてください。
ただし、電極としての機能には使用しないでください。
- *2. NCは電氣的にオープンを示します。
そのため、VDD端子またはVSS端子に接続しても問題ありません。

■ 絶対最大定格

表8

(特記なき場合 : Ta = +25°C)

項目	記号	適用端子	絶対最大定格	単位
VDD端子 - VSS端子間入力電圧	V _{DS}	VDD	V _{SS} - 0.3 ~ V _{SS} + 6	V
VINI入力端子電圧	V _{VINI}	VINI	V _{DD} - 6 ~ V _{DD} + 0.3	V
CTL入力端子電圧	V _{CTL}	CTL	V _{DD} - 6 ~ V _{DD} + 0.3	V
VM入力端子電圧	V _{VM}	VM	V _{DD} - 28 ~ V _{DD} + 0.3	V
DO出力端子電圧	V _{DO}	DO	V _{SS} - 0.3 ~ V _{DD} + 0.3	V
CO出力端子電圧	V _{CO}	CO	V _{DD} - 28 ~ V _{DD} + 0.3	V
動作周囲温度	T _{opr}	-	-40 ~ +85	°C
保存温度	T _{stg}	-	-55 ~ +125	°C

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 熱抵抗値

表9

項目	記号	条件	Min.	Typ.	Max.	単位	
ジャンクション温度 - 周囲温度間 熱抵抗値*1	θ _{JA}	HSNT-8(1616)	Board A	-	214	-	°C/W
			Board B	-	172	-	°C/W
			Board C	-	-	-	°C/W
			Board D	-	-	-	°C/W
			Board E	-	-	-	°C/W

*1. 測定環境 : JEDEC STANDARD JESD51-2A準拠

備考 詳細については、"■ Power Dissipation"、"Test Board" を参照してください。

■ 電気的特性

1. Ta = +25°C

表10

(特記なき場合 : Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
検出電圧							
過充電検出電圧	V _{CU}	-	V _{CU} - 0.015	V _{CU}	V _{CU} + 0.015	V	1
過充電解除電圧	V _{CL}	V _{CL} ≠ V _{CU}	V _{CL} - 0.050	V _{CL}	V _{CL} + 0.050	V	1
		V _{CL} = V _{CU}	V _{CL} - 0.020	V _{CL}	V _{CL} + 0.015	V	1
過放電検出電圧	V _{DL}	-	V _{DL} - 0.050	V _{DL}	V _{DL} + 0.050	V	2
過放電解除電圧	V _{DU}	V _{DL} ≠ V _{DU}	V _{DU} - 0.075	V _{DU}	V _{DU} + 0.075	V	2
		V _{DL} = V _{DU}	V _{DU} - 0.050	V _{DU}	V _{DU} + 0.050	V	2
放電過電流検出電圧1	V _{DIOV1}	-	V _{DIOV1} - 0.0015	V _{DIOV1}	V _{DIOV1} + 0.0015	V	5
放電過電流検出電圧2	V _{DIOV2}	-	V _{DIOV2} - 0.003	V _{DIOV2}	V _{DIOV2} + 0.003	V	2
負荷短絡検出電圧	V _{SHORT}	-	V _{SHORT} - 0.005	V _{SHORT}	V _{SHORT} + 0.005	V	2
負荷短絡検出電圧2	V _{SHORT2}	-	V _{DD} - 1.2	V _{DD} - 0.8	V _{DD} - 0.5	V	2
充電過電流検出電圧	V _{CIOV}	-	V _{CIOV} - 0.0015	V _{CIOV}	V _{CIOV} + 0.0015	V	2
放電過電流解除電圧	V _{RIOV}	V _{DD} = 3.4 V	V _{DD} × 0.77	V _{DD} × 0.80	V _{DD} × 0.83	V	5
0 V電池への充電							
0 V電池充電開始充電器電圧	V _{0CHA}	0 V電池への充電可能	0.7	1.1	1.5	V	4
0 V電池充電禁止電池電圧	V _{0INH}	0 V電池への充電禁止	0.9	1.2	1.5	V	2
内部抵抗							
VDD端子 - VM端子間抵抗	R _{VMD}	V _{DD} = 1.8 V, V _{VM} = 0 V	500	1250	2500	kΩ	3
VM端子 - VSS端子間抵抗	R _{VMS}	V _{DD} = 3.4 V, V _{VM} = 1.0 V	5	10	15	kΩ	3
CTL端子内部抵抗	R _{CTL}	-	R _{CTL} × 0.5	R _{CTL}	R _{CTL} × 2.0	MΩ	3
入力電圧							
VDD端子 - VSS端子間動作電圧	V _{DSOP1}	-	1.5	-	6.0	V	-
VDD端子 - VM端子間動作電圧	V _{DSOP2}	-	1.5	-	28	V	-
CTL端子電圧 "H"	V _{CTLH}	V _{DD} = 3.4 V	V _{DD} - 1.2	V _{DD} - 0.9	V _{DD} - 0.6	V	2
CTL端子電圧 "L"	V _{CTLL}	-	V _{SS} + 0.3	V _{SS} + 0.6	V _{SS} + 0.9	V	2
入力電流							
動作時消費電流	I _{OPE}	V _{DD} = 3.4 V, V _{VM} = 0 V	-	2.0	4.0	μA	3
パワーダウン時消費電流	I _{PDN}	V _{DD} = V _{VM} = 1.5 V	-	-	0.05	μA	3
過放電時消費電流	I _{OPED}	V _{DD} = V _{VM} = 1.5 V	-	-	0.5	μA	3
出力抵抗							
CO端子抵抗 "H"	R _{COH}	-	5	10	20	kΩ	4
CO端子抵抗 "L"	R _{COL}	-	5	10	20	kΩ	4
DO端子抵抗 "H"	R _{DOH}	-	5	10	20	kΩ	4
DO端子抵抗 "L"	R _{DOL}	-	1	2	4	kΩ	4
遅延時間							
過充電検出遅延時間	t _{CU}	-	t _{CU} × 0.7	t _{CU}	t _{CU} × 1.3	-	5
過放電検出遅延時間	t _{DL}	-	t _{DL} × 0.7	t _{DL}	t _{DL} × 1.3	-	5
放電過電流検出遅延時間1	t _{DIOV1}	-	t _{DIOV1} × 0.75	t _{DIOV1}	t _{DIOV1} × 1.25	-	5
放電過電流検出遅延時間2	t _{DIOV2}	-	t _{DIOV2} × 0.7	t _{DIOV2}	t _{DIOV2} × 1.3	-	5
負荷短絡検出遅延時間	t _{SHORT}	-	t _{SHORT} × 0.7	t _{SHORT}	t _{SHORT} × 1.3	-	5
充電過電流検出遅延時間	t _{CIOV}	-	t _{CIOV} × 0.7	t _{CIOV}	t _{CIOV} × 1.3	-	5
充放電禁止遅延時間	t _{CTL}	-	t _{CTL} × 0.7	t _{CTL}	t _{CTL} × 1.3	-	5

2. Ta = -20°C ~ +60°C*1

表11

(特記なき場合 : Ta = -20°C ~ +60°C*1)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
検出電圧							
過充電検出電圧	V _{CU}	-	V _{CU} - 0.020	V _{CU}	V _{CU} + 0.020	V	1
過充電解除電圧	V _{CL}	V _{CL} ≠ V _{CU}	V _{CL} - 0.065	V _{CL}	V _{CL} + 0.057	V	1
		V _{CL} = V _{CU}	V _{CL} - 0.025	V _{CL}	V _{CL} + 0.020	V	1
過放電検出電圧	V _{DL}	-	V _{DL} - 0.060	V _{DL}	V _{DL} + 0.055	V	2
過放電解除電圧	V _{DU}	V _{DL} ≠ V _{DU}	V _{DU} - 0.085	V _{DU}	V _{DU} + 0.080	V	2
		V _{DL} = V _{DU}	V _{DU} - 0.060	V _{DU}	V _{DU} + 0.055	V	2
放電過電流検出電圧1	V _{DIOV1}	-	V _{DIOV1} - 0.002	V _{DIOV1}	V _{DIOV1} + 0.002	V	5
放電過電流検出電圧2	V _{DIOV2}	-	V _{DIOV2} - 0.003	V _{DIOV2}	V _{DIOV2} + 0.003	V	2
負荷短絡検出電圧	V _{SHORT}	-	V _{SHORT} - 0.005	V _{SHORT}	V _{SHORT} + 0.005	V	2
負荷短絡検出電圧2	V _{SHORT2}	-	V _{DD} - 1.4	V _{DD} - 0.8	V _{DD} - 0.3	V	2
充電過電流検出電圧	V _{CIOV}	-	V _{CIOV} - 0.002	V _{CIOV}	V _{CIOV} + 0.002	V	2
放電過電流解除電圧	V _{RIOV}	V _{DD} = 3.4 V	V _{DD} × 0.77	V _{DD} × 0.80	V _{DD} × 0.83	V	5
0 V電池への充電							
0 V電池充電開始充電器電圧	V _{0CHA}	0 V電池への充電可能	0.5	1.1	1.7	V	4
0 V電池充電禁止電池電圧	V _{0INH}	0 V電池への充電禁止	0.7	1.2	1.7	V	2
内部抵抗							
VDD端子 - VM端子間抵抗	R _{VMD}	V _{DD} = 1.8 V, V _{VM} = 0 V	250	1250	3500	kΩ	3
VM端子 - VSS端子間抵抗	R _{VMS}	V _{DD} = 3.4 V, V _{VM} = 1.0 V	3.5	10	20	kΩ	3
CTL端子内部抵抗	R _{CTL}	-	R _{CTL} × 0.25	R _{CTL}	R _{CTL} × 3.0	MΩ	3
入力電圧							
VDD端子 - VSS端子間動作電圧	V _{D SOP1}	-	1.5	-	6.0	V	-
VDD端子 - VM端子間動作電圧	V _{D SOP2}	-	1.5	-	28	V	-
CTL端子電圧 "H"	V _{CTLH}	V _{DD} = 3.4 V	V _{DD} - 1.3	V _{DD} - 0.9	V _{DD} - 0.5	V	2
CTL端子電圧 "L"	V _{CTLL}	-	V _{SS} + 0.2	V _{SS} + 0.6	V _{SS} + 1.0	V	2
入力電流							
動作時消費電流	I _{OPE}	V _{DD} = 3.4 V, V _{VM} = 0 V	-	2.0	5.0	μA	3
パワーダウン時消費電流	I _{PDN}	V _{DD} = V _{VM} = 1.5 V	-	-	0.1	μA	3
過放電時消費電流	I _{OPEd}	V _{DD} = V _{VM} = 1.5 V	-	-	1.0	μA	3
出力抵抗							
CO端子抵抗 "H"	R _{COH}	-	2.5	10	30	kΩ	4
CO端子抵抗 "L"	R _{COL}	-	2.5	10	30	kΩ	4
DO端子抵抗 "H"	R _{DOH}	-	2.5	10	30	kΩ	4
DO端子抵抗 "L"	R _{DOl}	-	0.5	2	6	kΩ	4
遅延時間							
過充電検出遅延時間	t _{CU}	-	t _{CU} × 0.6	t _{CU}	t _{CU} × 1.4	-	5
過放電検出遅延時間	t _{DL}	-	t _{DL} × 0.6	t _{DL}	t _{DL} × 1.4	-	5
放電過電流検出遅延時間1	t _{DIOV1}	-	t _{DIOV1} × 0.65	t _{DIOV1}	t _{DIOV1} × 1.35	-	5
放電過電流検出遅延時間2	t _{DIOV2}	-	t _{DIOV2} × 0.6	t _{DIOV2}	t _{DIOV2} × 1.4	-	5
負荷短絡検出遅延時間	t _{SHORT}	-	t _{SHORT} × 0.6	t _{SHORT}	t _{SHORT} × 1.4	-	5
充電過電流検出遅延時間	t _{CIOV}	-	t _{CIOV} × 0.6	t _{CIOV}	t _{CIOV} × 1.4	-	5
充放電禁止遅延時間	t _{CTL}	-	t _{CTL} × 0.6	t _{CTL}	t _{CTL} × 1.4	-	5

*1. 高温および低温での選別はしていませんので、この温度範囲での規格は設計保証とします。

3. Ta = -40°C ~ +85°C*1

表12

(特記なき場合 : Ta = -40°C ~ +85°C*1)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
検出電圧							
過充電検出電圧	V _{CU}	-	V _{CU} - 0.045	V _{CU}	V _{CU} + 0.030	V	1
過充電解除電圧	V _{CL}	V _{CL} ≠ V _{CU}	V _{CL} - 0.080	V _{CL}	V _{CL} + 0.060	V	1
		V _{CL} = V _{CU}	V _{CL} - 0.050	V _{CL}	V _{CL} + 0.030	V	1
過放電検出電圧	V _{DL}	-	V _{DL} - 0.080	V _{DL}	V _{DL} + 0.060	V	2
過放電解除電圧	V _{DU}	V _{DL} ≠ V _{DU}	V _{DU} - 0.105	V _{DU}	V _{DU} + 0.085	V	2
		V _{DL} = V _{DU}	V _{DU} - 0.080	V _{DU}	V _{DU} + 0.060	V	2
放電過電流検出電圧1	V _{DIOV1}	-	V _{DIOV1} - 0.002	V _{DIOV1}	V _{DIOV1} + 0.002	V	5
放電過電流検出電圧2	V _{DIOV2}	-	V _{DIOV2} - 0.003	V _{DIOV2}	V _{DIOV2} + 0.003	V	2
負荷短絡検出電圧	V _{SHORT}	-	V _{SHORT} - 0.005	V _{SHORT}	V _{SHORT} + 0.005	V	2
負荷短絡検出電圧2	V _{SHORT2}	-	V _{DD} - 1.4	V _{DD} - 0.8	V _{DD} - 0.3	V	2
充電過電流検出電圧	V _{CIOV}	-	V _{CIOV} - 0.002	V _{CIOV}	V _{CIOV} + 0.002	V	2
放電過電流解除電圧	V _{RIOV}	V _{DD} = 3.4 V	V _{DD} × 0.77	V _{DD} × 0.80	V _{DD} × 0.83	V	5
0 V電池への充電							
0 V電池充電開始充電器電圧	V _{0CHA}	0 V電池への充電可能	0.5	1.1	1.7	V	4
0 V電池充電禁止電池電圧	V _{0INH}	0 V電池への充電禁止	0.7	1.2	1.7	V	2
内部抵抗							
VDD端子 - VM端子間抵抗	R _{VMD}	V _{DD} = 1.8 V, V _{VM} = 0 V	250	1250	3500	kΩ	3
VM端子 - VSS端子間抵抗	R _{VMS}	V _{DD} = 3.4 V, V _{VM} = 1.0 V	3.5	10	20	kΩ	3
CTL端子内部抵抗	R _{CTL}	-	R _{CTL} × 0.25	R _{CTL}	R _{CTL} × 3.0	MΩ	3
入力電圧							
VDD端子 - VSS端子間動作電圧	V _{D SOP1}	-	1.5	-	6.0	V	-
VDD端子 - VM端子間動作電圧	V _{D SOP2}	-	1.5	-	28	V	-
CTL端子電圧 "H"	V _{CTLH}	V _{DD} = 3.4 V	V _{DD} - 1.3	V _{DD} - 0.9	V _{DD} - 0.5	V	2
CTL端子電圧 "L"	V _{CTLL}	-	V _{SS} + 0.2	V _{SS} + 0.6	V _{SS} + 1.0	V	2
入力電流							
動作時消費電流	I _{OPE}	V _{DD} = 3.4 V, V _{VM} = 0 V	-	2.0	5.0	μA	3
パワーダウン時消費電流	I _{PDN}	V _{DD} = V _{VM} = 1.5 V	-	-	0.1	μA	3
過放電時消費電流	I _{OPEd}	V _{DD} = V _{VM} = 1.5 V	-	-	1.0	μA	3
出力抵抗							
CO端子抵抗 "H"	R _{COH}	-	2.5	10	30	kΩ	4
CO端子抵抗 "L"	R _{COL}	-	2.5	10	30	kΩ	4
DO端子抵抗 "H"	R _{DOH}	-	2.5	10	30	kΩ	4
DO端子抵抗 "L"	R _{DOl}	-	0.5	2	6	kΩ	4
遅延時間							
過充電検出遅延時間	t _{CU}	-	t _{CU} × 0.4	t _{CU}	t _{CU} × 1.6	-	5
過放電検出遅延時間	t _{DL}	-	t _{DL} × 0.4	t _{DL}	t _{DL} × 1.6	-	5
放電過電流検出遅延時間1	t _{DIOV1}	-	t _{DIOV1} × 0.4	t _{DIOV1}	t _{DIOV1} × 1.6	-	5
放電過電流検出遅延時間2	t _{DIOV2}	-	t _{DIOV2} × 0.4	t _{DIOV2}	t _{DIOV2} × 1.6	-	5
負荷短絡検出遅延時間	t _{SHORT}	-	t _{SHORT} × 0.4	t _{SHORT}	t _{SHORT} × 1.6	-	5
充電過電流検出遅延時間	t _{CIOV}	-	t _{CIOV} × 0.4	t _{CIOV}	t _{CIOV} × 1.6	-	5
充放電禁止遅延時間	t _{CTL}	-	t _{CTL} × 0.4	t _{CTL}	t _{CTL} × 1.6	-	5

*1. 高温および低温での選別はしていませんので、この温度範囲での規格は設計保証とします。

■ 測定回路

CTL端子制御論理がアクティブ "H" のときは、SW1とSW3をオフ、SW2とSW4をオンに設定してください。CTL端子制御論理がアクティブ "L" のときは、SW1とSW3をオン、SW2とSW4をオフに設定してください。

注意 特に記述していない場合のCO端子の出力電圧 (V_{CO})、DO端子の出力電圧 (V_{DO}) の "H"、"L" の判定は、Nch FETのしきい値電圧 (1.0 V) とします。このとき、CO端子は V_{VM} 基準、DO端子は V_{SS} 基準で判定してください。

1. 過充電検出電圧、過充電解除電圧 (測定回路1)

$V1 = 3.4$ Vに設定した状態から $V1$ を徐々に上げ、 $V_{CO} = "H" \rightarrow "L"$ となる $V1$ の電圧を過充電検出電圧 (V_{CU}) とします。その後、 $V1$ を徐々に下げ、 $V_{CO} = "L" \rightarrow "H"$ となる $V1$ の電圧を過充電解除電圧 (V_{CL}) とします。 V_{CU} と V_{CL} との差を過充電ヒステリシス電圧 (V_{HC}) とします。

2. 過放電検出電圧、過放電解除電圧 (測定回路2)

$V1 = 3.4$ V, $V2 = V5 = V6 = 0$ Vに設定した状態から $V1$ を徐々に下げ、 $V_{DO} = "H" \rightarrow "L"$ となる $V1$ の電圧を過放電検出電圧 (V_{DL}) とします。その後、 $V2 = 0.01$ V, $V5 = V6 = 0$ Vとし、 $V1$ を徐々に上げ、 $V_{DO} = "L" \rightarrow "H"$ となる $V1$ の電圧を過放電解除電圧 (V_{DU}) とします。 V_{DU} と V_{DL} との差を過放電ヒステリシス電圧 (V_{HD}) とします。

3. 放電過電流検出電圧1、放電過電流解除電圧 (測定回路5)

$V1 = 3.4$ V, $V2 = 1.4$ V, $V5 = V6 = 0$ Vに設定した状態で $V5$ を上昇させてから、 $V_{DO} = "H" \rightarrow "L"$ となるまでの遅延時間が、放電過電流検出遅延時間1 (t_{DIOV1}) である $V5$ の電圧を放電過電流検出電圧1 (V_{DIOV1}) とします。その後、 $V2 = 3.4$ V, $V5 = 0$ Vに設定し、 $V2$ を徐々に下げ、 $V_{DO} = "L" \rightarrow "H"$ となる $V2$ の電圧を放電過電流解除電圧 (V_{RIOV}) とします。

$V2$ の電圧が V_{RIOV} を下回ると、 V_{DO} は1.0 ms typ.後に "H" となり、負荷短絡検出遅延時間 (t_{SHORT}) の期間 "H" を維持します。

4. 放電過電流検出電圧2 (測定回路2)

$V1 = 3.4$ V, $V2 = 1.4$ V, $V5 = V6 = 0$ Vに設定した状態で $V5$ を上昇させてから、 $V_{DO} = "H" \rightarrow "L"$ となるまでの遅延時間が、放電過電流検出遅延時間2 (t_{DIOV2}) である $V5$ の電圧を放電過電流検出電圧2 (V_{DIOV2}) とします。

5. 負荷短絡検出電圧 (測定回路2)

$V1 = 3.4$ V, $V2 = 1.4$ V, $V5 = V6 = 0$ Vに設定した状態で $V5$ を上昇させてから、 $V_{DO} = "H" \rightarrow "L"$ となるまでの遅延時間が、 t_{SHORT} である $V5$ の電圧を負荷短絡検出電圧 (V_{SHORT}) とします。

6. 負荷短絡検出電圧2 (測定回路2)

$V1 = 3.4$ V, $V2 = V5 = V6 = 0$ Vに設定した状態で $V2$ を上昇させてから、 $V_{DO} = "H" \rightarrow "L"$ となるまでの遅延時間が、 t_{SHORT} である $V2$ の電圧を負荷短絡検出電圧2 (V_{SHORT2}) とします。

7. 充電過電流検出電圧 (測定回路2)

$V1 = 3.4\text{ V}$, $V2 = V5 = V6 = 0\text{ V}$ に設定した状態で $V5$ を下降させてから、 $V_{CO} = \text{"H"} \rightarrow \text{"L"}$ となるまでの遅延時間が、充電過電流検出遅延時間 (t_{CIOV}) である $V5$ の電圧を充電過電流検出電圧 (V_{CIOV}) とします。

8. CTL端子電圧 "H"、CTL端子電圧 "L" (測定回路2)

8.1 CTL端子制御論理アクティブ "H"

$V1 = 3.4\text{ V}$, $V2 = V5 = V6 = 0\text{ V}$ に設定した状態から $V6$ を徐々に上げ、 $V_{CO} = \text{"H"} \rightarrow \text{"L"}$ かつ $V_{DO} = \text{"H"} \rightarrow \text{"L"}$ となる $V6$ の電圧をCTL端子電圧 "H" (V_{CTLH}) とします。

その後、 $V6$ を徐々に下げ、 $V_{CO} = \text{"L"} \rightarrow \text{"H"}$ かつ $V_{DO} = \text{"L"} \rightarrow \text{"H"}$ となる $V6$ の電圧をCTL端子電圧 "L" (V_{CTLL}) とします。

8.2 CTL端子制御論理アクティブ "L"

$V1 = 3.4\text{ V}$, $V2 = V5 = V6 = 0\text{ V}$ に設定した状態から $V6$ を徐々に上げ、 $V_{CO} = \text{"H"} \rightarrow \text{"L"}$ かつ $V_{DO} = \text{"H"} \rightarrow \text{"L"}$ となる $V6$ の電圧と $V1$ の電圧の差 ($V1 - V6$) を V_{CTLH} とします。その後、 $V6$ を徐々に下げ、 $V_{CO} = \text{"L"} \rightarrow \text{"H"}$ かつ $V_{DO} = \text{"L"} \rightarrow \text{"H"}$ となる $V1 - V6$ を V_{CTLH} とします。

9. 動作時消費電流 (測定回路3)

$V1 = 3.4\text{ V}$, $V2 = V5 = V6 = 0\text{ V}$ に設定した状態において、 V_{DD} 端子に流れる電流 (I_{DD}) を動作時消費電流 (I_{OPE}) とします。ただし、CTL端子内部抵抗に流れる電流は除きます。

10. パワーダウン時消費電流、過放電時消費電流 (測定回路3)

10.1 パワーダウン機能あり

$V1 = V2 = 1.5\text{ V}$, $V5 = V6 = 0\text{ V}$ に設定した状態において、 I_{DD} をパワーダウン時消費電流 (I_{PDN}) とします。

10.2 パワーダウン機能なし

$V1 = V2 = 1.5\text{ V}$, $V5 = V6 = 0\text{ V}$ に設定した状態において、 I_{DD} を過放電時消費電流 (I_{OPED}) とします。

11. VDD端子 – VM端子間抵抗 (測定回路3)

$V1 = 1.8\text{ V}$, $V2 = V5 = V6 = 0\text{ V}$ に設定した状態において、 V_{DD} 端子 – V_M 端子間抵抗を R_{VMD} とします。

12. VM端子 – VSS端子間抵抗 (測定回路3)

$V1 = 3.4\text{ V}$, $V2 = V5 = 1.0\text{ V}$, $V6 = 0\text{ V}$ に設定した状態から、 $V5$ を 0 V に下降させたときの V_M 端子 – V_{SS} 端子間抵抗を R_{VMS} とします。

**13. CTL端子内部抵抗
(測定回路3)**

13.1 CTL端子制御論理アクティブ "H"、CTL端子内部抵抗接続 "プルアップ"

$V1 = 3.4\text{ V}$, $V2 = V5 = V6 = 0\text{ V}$ に設定した状態において、CTL端子 - VDD端子間抵抗をCTL端子内部抵抗 (R_{CTL}) とします。

13.2 CTL端子制御論理アクティブ "H"、CTL端子内部抵抗接続 "プルダウン"

$V1 = V6 = 3.4\text{ V}$, $V2 = V5 = 0\text{ V}$ に設定した状態において、CTL端子 - VSS端子間抵抗を R_{CTL} とします。

13.3 CTL端子制御論理アクティブ "L"、CTL端子内部抵抗接続 "プルアップ"

$V1 = V6 = 3.4\text{ V}$, $V2 = V5 = 0\text{ V}$ に設定した状態において、CTL端子 - VDD端子間抵抗を R_{CTL} とします。

13.4 CTL端子制御論理アクティブ "L"、CTL端子内部抵抗接続 "プルダウン"

$V1 = 3.4\text{ V}$, $V2 = V5 = V6 = 0\text{ V}$ に設定した状態において、CTL端子 - VSS端子間抵抗を R_{CTL} とします。

**14. CO端子抵抗 "H"
(測定回路4)**

$V1 = 3.4\text{ V}$, $V2 = V5 = 0\text{ V}$, $V3 = 3.0\text{ V}$ に設定した状態において、VDD端子 - CO端子間抵抗をCO端子抵抗 "H" (R_{COH}) とします。

**15. CO端子抵抗 "L"
(測定回路4)**

$V1 = 4.7\text{ V}$, $V2 = V5 = 0\text{ V}$, $V3 = 0.4\text{ V}$ に設定した状態において、VM端子 - CO端子間抵抗をCO端子抵抗 "L" (R_{COL}) とします。

**16. DO端子抵抗 "H"
(測定回路4)**

$V1 = 3.4\text{ V}$, $V2 = V5 = 0\text{ V}$, $V4 = 3.0\text{ V}$ に設定した状態において、VDD端子 - DO端子間抵抗をDO端子抵抗 "H" (R_{DOH}) とします。

**17. DO端子抵抗 "L"
(測定回路4)**

$V1 = 1.8\text{ V}$, $V2 = V5 = 0\text{ V}$, $V4 = 0.4\text{ V}$ に設定した状態において、VSS端子 - DO端子間抵抗をDO端子抵抗 "L" (R_{DOL}) とします。

**18. 過充電検出遅延時間
(測定回路5)**

$V1 = 3.4\text{ V}$, $V2 = V5 = V6 = 0\text{ V}$ に設定した状態から $V1$ を上昇させ、 $V1$ が V_{CU} を上回ってから $V_{CO} = "L"$ となるまでの時間を過充電検出遅延時間 (t_{CU}) とします。

**19. 過放電検出遅延時間
(測定回路5)**

$V1 = 3.4\text{ V}$, $V2 = V5 = V6 = 0\text{ V}$ に設定した状態から $V1$ を下降させ、 $V1$ が V_{DL} を下回ってから $V_{DO} = "L"$ となるまでの時間を過放電検出遅延時間 (t_{DL}) とします。

**20. 放電過電流検出遅延時間1
(測定回路5)**

V1 = 3.4 V, V2 = 1.4 V, V5 = V6 = 0 Vに設定した状態からV5を上昇させ、V5が V_{DIOV1} を上回ってからV_{DO} = "L" となるまでの時間を放電過電流検出遅延時間1 (t_{DIOV1}) とします。

**21. 放電過電流検出遅延時間2
(測定回路5)**

V1 = 3.4 V, V2 = 1.4 V, V5 = V6 = 0 Vに設定した状態からV5を上昇させ、V5が V_{DIOV2} を上回ってからV_{DO} = "L" となるまでの時間を放電過電流検出遅延時間2 (t_{DIOV2}) とします。

**22. 負荷短絡検出遅延時間
(測定回路5)**

V1 = 3.4 V, V2 = 1.4 V, V5 = V6 = 0 Vに設定した状態からV5を上昇させ、V5が V_{SHORT} を上回ってからV_{DO} = "L" となるまでの時間を負荷短絡検出遅延時間 (t_{SHORT}) とします。

**23. 充電過電流検出遅延時間
(測定回路5)**

V1 = 3.4 V, V2 = V5 = V6 = 0 Vに設定した状態からV5を下降させ、V5が V_{CIOV} を下回ってからV_{CO} = "L" となるまでの時間を充電過電流検出遅延時間 (t_{CIOV}) とします。

**24. 充放電禁止遅延時間
(測定回路5)**

24.1 CTL端子制御論理アクティブ "H"

V1 = 3.4 V, V2 = V5 = V6 = 0 Vに設定した状態からV6を上昇させ、V6が V_{CTLH} を上回ってからV_{CO} = "L" かつV_{DO} = "L" となるまでの時間を充放電禁止遅延時間 (t_{CTL}) とします。

24.2 CTL端子制御論理アクティブ "L"

V1 = 3.4 V, V2 = V5 = V6 = 0 Vに設定した状態からV6を上昇させ、V1 - V6が V_{CTLL} を下回ってからV_{CO} = "L" かつV_{DO} = "L" となるまでの時間を t_{CTL} とします。

**25. 0 V電池充電開始充電器電圧 (0 V電池への充電可能)
(測定回路4)**

V1 = V5 = 0 V, V2 = V3 = -0.5 Vに設定した状態からV2を徐々に下げ、CO端子に流れる電流 (I_{CO}) が1.0 μ Aを上回るV2の電圧の絶対値を0 V電池充電開始充電器電圧 (V_{OCHA}) とします。

**26. 0 V電池充電禁止電池電圧 (0 V電池への充電禁止)
(測定回路2)**

V1 = 1.8 V, V2 = -2.0 V, V5 = V6 = 0 Vに設定した状態からV1を徐々に下げ、V_{CO} = "L" ($V_{CO} = V_{VM}$) となるV1の電圧を0 V電池充電禁止電池電圧 (V_{OINH}) とします。

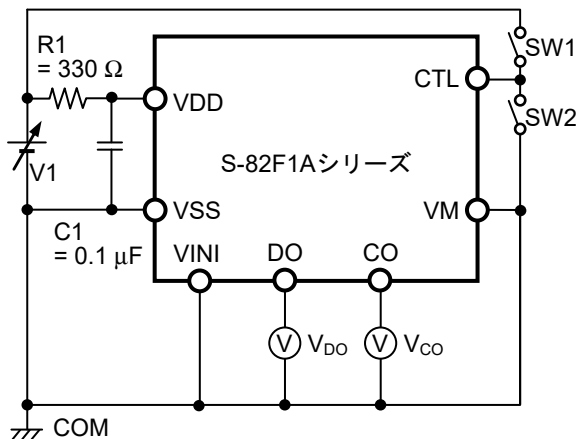


図3 測定回路1

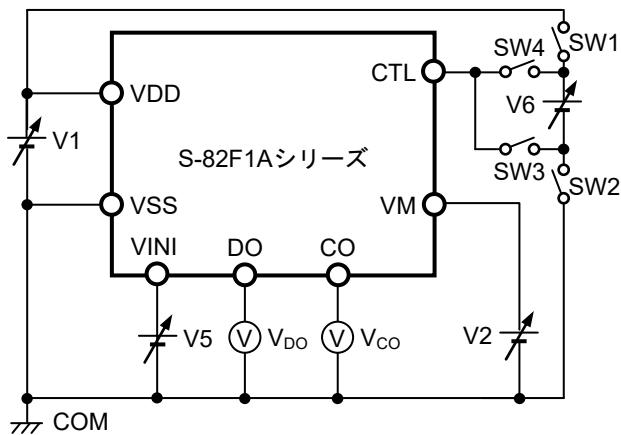


図4 測定回路2

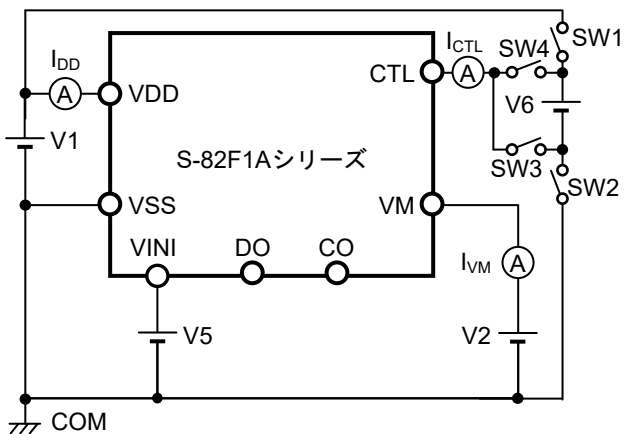


図5 測定回路3

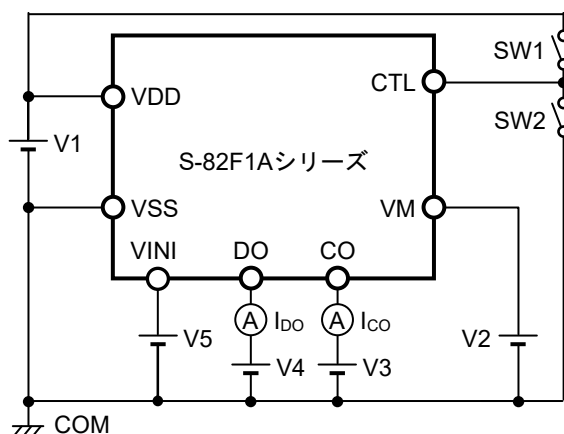


図6 測定回路4

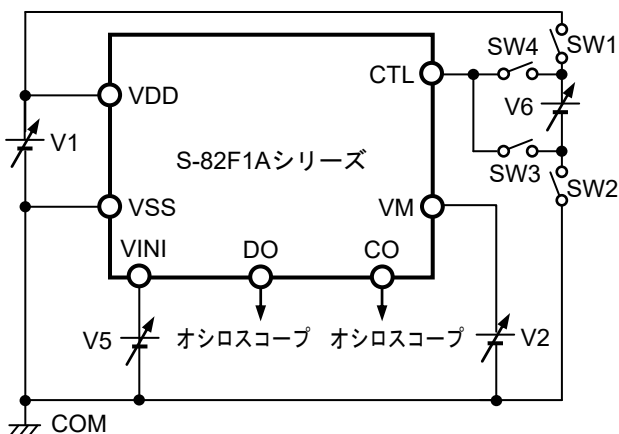


図7 測定回路5

■ 動作説明

備考 "■ バッテリー保護ICの接続例" を参照してください。

1. 通常状態

S-82F1Aシリーズは、VDD端子 - VSS端子間に接続された電池電圧やVINI端子 - VSS端子間電圧、CTL端子 - VSS端子間電圧を監視し、充電と放電を制御します。

1.1 CTL端子制御論理アクティブ "H"

電池電圧が過放電検出電圧 (V_{DL}) 以上かつ過充電検出電圧 (V_{CU}) 以下の範囲内であり、VINI端子電圧が充電過電流検出電圧 (V_{CIOV}) 以上かつ放電過電流検出電圧1 (V_{DIOV1}) 以下の範囲内であり、CTL端子電圧がCTL端子電圧 "L" (V_{CTLL}) 以下の場合、充電制御用FETと放電制御用FETの両方をオンします。この状態を通常状態と言い、充放電は自由に行えます。

通常状態において、VDD端子 - VM端子間抵抗 (R_{VMD})、およびVM端子 - VSS端子間抵抗 (R_{VMS}) は接続されていません。

1.2 CTL端子制御論理アクティブ "L"

電池電圧が V_{DL} 以上かつ V_{CU} 以下の範囲内であり、VINI端子電圧が V_{CIOV} 以上かつ V_{DIOV1} 以下の範囲内であり、CTL端子電圧がCTL端子電圧 "H" (V_{CTLH}) 以上の場合、充電制御用FETと放電制御用FETの両方をオンします。この状態を通常状態と言い、充放電は自由に行えます。

通常状態において、 R_{VMD} および R_{VMS} は接続されていません。

注意 電池を接続後に放電可能でない場合があります。この場合、充電器を接続すると通常状態になります。

2. 過充電状態

2.1 $V_{CL} \neq V_{CU}$ (過充電解除電圧と過充電検出電圧が異なる製品)

通常状態の電池電圧が充電中に V_{CU} を越え、その状態を過充電検出遅延時間 (t_{CU}) 以上保持した場合、充電制御用FETをオフし充電を停止させます。この状態を過充電状態と言います。

過充電状態の解除には、以下の2通りの場合があります。

- (1) VM端子電圧が 0.35 V typ. 未満であれば、電池電圧が過充電解除電圧 (V_{CL}) 以下まで下がった場合に過充電状態を解除します。
- (2) VM端子電圧が 0.35 V typ. 以上であれば、電池電圧が V_{CU} 以下まで下がった場合に過充電状態を解除します。

過充電検出後に負荷を接続し放電を開始した場合は、放電電流が充電制御用FETの内部寄生ダイオードを流れるため、VM端子電圧はVSS端子電圧よりも内部寄生ダイオードの V_f 電圧だけ上昇します。このときのVM端子電圧が 0.35 V typ. 以上であれば、電池電圧が V_{CU} 以下で過充電状態を解除します。

注意 V_{CU} を越えて充電された電池で、重い負荷を接続しても電池電圧が V_{CU} 以下に下がらない場合、電池電圧が V_{CU} を下回るまで、放電過電流検出および負荷短絡検出は機能しません。ただし、実際の電池では内部インピーダンスが数十 $m\Omega$ ありますので、過電流を発生させるような重い負荷が接続された場合には、電池電圧はただちに低下するため、放電過電流検出および負荷短絡検出は機能します。

2.2 $V_{CL} = V_{CU}$ (過充電解除電圧と過充電検出電圧が同じ製品)

通常状態の電池電圧が充電中に V_{CU} を越え、その状態を t_{CU} 以上保持した場合、充電制御用FETをオフし充電を停止させます。この状態を過充電状態と言います。

VM端子電圧が 0.35 V typ. 以上で、かつ電池電圧が V_{CU} 以下まで下がった場合に過充電状態を解除します。

過充電検出後に負荷を接続し放電を開始した場合は、放電電流が充電制御用FETの内部寄生ダイオードを通して流れるため、VM端子電圧はVSS端子電圧よりも内部寄生ダイオードの V_f 電圧だけ上昇します。このときのVM端子電圧が 0.35 V typ. 以上であれば、電池電圧が V_{CU} 以下で過充電状態を解除します。

注意 1. V_{CU} を越えて充電された電池で、重い負荷を接続しても電池電圧が V_{CU} 以下に下がらない場合、電池電圧が V_{CU} を下回るまで、放電過電流検出および負荷短絡検出は機能しません。ただし、実際の電池では内部インピーダンスが数十 $\text{m}\Omega$ ありますので、過電流を発生させるような重い負荷が接続された場合には、電池電圧はただちに低下するため、放電過電流検出および負荷短絡検出は機能します。

2. 過充電検出後に充電器を接続した場合、電池電圧が V_{CL} を下回っても、過充電状態は解除しません。充電器を開放し、放電電流が流れてVM端子電圧が 0.35 V typ. を上回った場合、過充電状態を解除します。

3. 過放電状態

通常状態の電池電圧が放電中に V_{DL} を下回り、その状態を過放電検出遅延時間 (t_{DL}) 以上保持した場合、放電制御用FETをオフし放電を停止させます。この状態を過放電状態と言います。

過放電状態では、S-82F1Aシリーズ内部でVDD端子 – VM端子間を R_{VMD} によってショートしています。VM端子は R_{VMD} によってプルアップされます。

過放電状態で充電器を接続したときにVM端子電圧が 0 V typ. を下回っている場合は、電池電圧が V_{DL} 以上で過放電状態を解除します。

VM端子電圧が 0 V typ. を下回っていない場合は、電池電圧が過放電解除電圧 (V_{DU}) 以上で過放電状態を解除します。過放電状態において、 R_{VMS} は接続されていません。

3.1 パワーダウン機能あり

過放電状態でVDD端子 – VM端子間電圧差が 0.8 V typ. 以下になると、パワーダウン機能が働き、消費電流をパワーダウン時消費電流 (I_{PDN}) まで減らします。パワーダウン機能の解除は、充電器を接続し、VM端子電圧が 0.7 V typ. 以下になることで行われます。

- ・ 充電器を接続せず、VM端子電圧 $\geq 0.7\text{ V typ.}$ の場合は、電池電圧が V_{DU} 以上でも過放電状態を維持します。
- ・ 充電器を接続し、 $0.7\text{ V typ.} > \text{VM端子電圧} > 0\text{ V typ.}$ の場合は、電池電圧が V_{DU} 以上で過放電状態を解除します。
- ・ 充電器を接続し、 $0\text{ V typ.} \geq \text{VM端子電圧}$ の場合は、電池電圧が V_{DL} 以上で過放電状態を解除します。

3.2 パワーダウン機能なし

過放電状態でVDD端子 – VM端子間電圧差が 0.8 V typ. 以下になっても、パワーダウン機能は働きません。

- ・ 充電器を接続せず、VM端子電圧 $\geq 0.7\text{ V typ.}$ の場合は、電池電圧が V_{DU} 以上で過放電状態を解除します。
- ・ 充電器を接続し、 $0.7\text{ V typ.} > \text{VM端子電圧} > 0\text{ V typ.}$ の場合は、電池電圧が V_{DU} 以上で過放電状態を解除します。
- ・ 充電器を接続し、 $0\text{ V typ.} \geq \text{VM端子電圧}$ の場合は、電池電圧が V_{DL} 以上で過放電状態を解除します。

4. 放電過電流状態 (放電過電流1、放電過電流2、負荷短絡、負荷短絡2)

4.1 放電過電流1、放電過電流2、負荷短絡

通常状態の電池において、放電電流が所定値以上になることによって、VINI端子電圧が V_{DIOV1} 以上となる状態が放電過電流検出遅延時間1 (t_{DIOV1}) 以上続いた場合、放電制御用FETをオフし放電を停止させます。この状態を放電過電流状態と言います。

放電過電流状態では、S-82F1Aシリーズ内部でVM端子 - VSS端子間を R_{VMS} によってショートしています。ただし、負荷が接続されている間は、VM端子電圧は負荷によってVDD端子電圧となっています。負荷を切り離すとVM端子電圧はVSS端子電圧に戻ります。

VM端子電圧が V_{RIOV} 以下に戻れば、放電過電流状態を解除します。

放電過電流状態において、 R_{VMD} は接続されていません。

4.2 負荷短絡2

通常状態の電池において、放電過電流を発生させるような負荷を接続し、VM端子電圧が V_{SHORT2} 以上となる状態が負荷短絡検出遅延時間 (t_{SHORT}) 以上続いた場合、放電制御用FETをオフし放電を停止させます。この状態を放電過電流状態と言います。

放電過電流状態の解除は "4.1 放電過電流1、放電過電流2、負荷短絡" と同様です。

5. 充電過電流状態

通常状態の電池において、充電電流が所定値以上になることによって、VINI端子電圧が V_{CIOV} 以下となる状態が充電過電流検出遅延時間 (t_{CIOV}) 以上続いた場合、充電制御用FETをオフし充電を停止させます。この状態を充電過電流状態と言います。

充電器を開放し、放電電流が流れてVM端子電圧が0.35 V typ.以上になると、充電過電流状態を解除します。

過放電状態においては、充電過電流検出は機能しません。

6. 充放電禁止状態

6.1 CTL端子制御論理アクティブ "H"

CTL端子電圧がCTL端子電圧 "H" (V_{CTLH}) 以上となる状態が充放電禁止遅延時間 (t_{CTL}) 以上続いた場合、充電制御用FETと放電制御用FETの両方をオフし充放電を停止させます。この状態を充放電禁止状態と言います。CTL端子電圧がCTL端子電圧 "L" ($V_{CTL L}$) 以下になると充放電禁止状態を解除します。

6.2 CTL端子制御論理アクティブ "L"

CTL端子電圧が $V_{CTL L}$ 以下となる状態が t_{CTL} 以上続いた場合、充電制御用FETと放電制御用FETの両方をオフし充放電を停止させます。この状態を充放電禁止状態と言います。CTL端子電圧が V_{CTLH} 以上になると充放電禁止状態を解除します。

6.3 CTL端子内部抵抗接続

6.3.1 CTL端子内部抵抗接続 "プルアップ"

CTL端子はCTL端子内部抵抗 (R_{CTL}) によってVDD端子にショートされています。

6.3.2 CTL端子内部抵抗接続 "プルダウン"

CTL端子は R_{CTL} によってVSS端子にショートされています。

R_{CTL} は過放電状態になると切断され、CTL端子の入出力電流を遮断します。過放電状態においては、CTL端子による充放電制御は機能しません。

7. 0V電池への充電可能

接続された電池電圧が、自己放電により0Vになった状態から充電を可能とする機能です。0V電池充電開始充電器電圧 (V_{0CHA}) 以上の電圧の充電器をEB+端子とEB-端子間に接続すると、充電制御用FETのゲートをVDD端子電圧に固定します。

充電器電圧によって充電制御用FETのゲートソース間電圧がしきい値電圧以上になると、充電制御用FETがオンし充電が開始されます。このとき放電制御用FETはオフしており、充電電流は放電制御用FETの内部寄生ダイオードを流れていきます。電池電圧が V_{DL} 以上になると通常状態になります。

- 注意 1.** 完全放電された電池を再度充電することを推奨しないリチウムイオン二次電池もあります。使用するリチウムイオン二次電池の特性に依存しますので、0V電池への充電可能、禁止を決定する際は、詳細を電池メーカーに確認してください。
- 2.** 0V電池への充電は、充電過電流検出機能に対して優先されます。したがって、0V電池への充電可能の製品は、電池電圧が V_{DL} よりも低い間は強制的に充電可能となってしまう、充電過電流を検出することができません。

8. 0V電池への充電禁止

内部ショートした電池 (0V電池) が接続された場合に、充電を禁止する機能です。電池電圧が0V電池充電禁止電池電圧 (V_{0INH}) 以下のときは、充電制御用FETのゲートをEB-端子電圧に固定し、充電を禁止します。電池電圧が V_{0INH} 以上の場合は、充電を行うことができます。

- 注意** 完全放電された電池を再度充電することを推奨しないリチウムイオン二次電池もあります。使用するリチウムイオン二次電池の特性に依存しますので、0V電池への充電可能、禁止を決定する際は、詳細を電池メーカーに確認してください。

9. 遅延回路

各種検出遅延時間は、約4kHzのクロックをカウンターで分周して算出しています。

- 備考** t_{DIOV1} , t_{DIOV2} , t_{SHORT} の開始は、 V_{DIOV1} を検出した時です。したがって、 V_{DIOV1} を検出してから t_{DIOV2} , t_{SHORT} を越えて V_{DIOV2} , V_{SHORT} を検出した場合、それぞれ検出した時点から、 t_{DIOV2} , t_{SHORT} 以内に放電制御用FETをオフします。

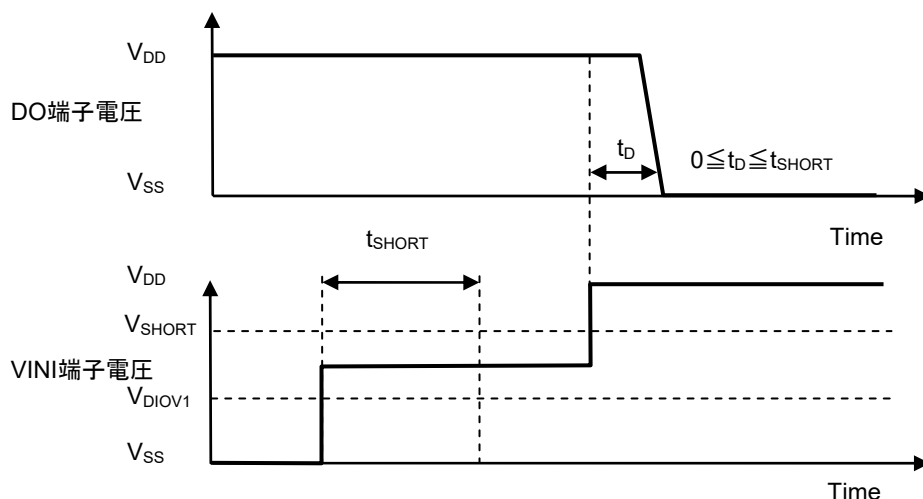
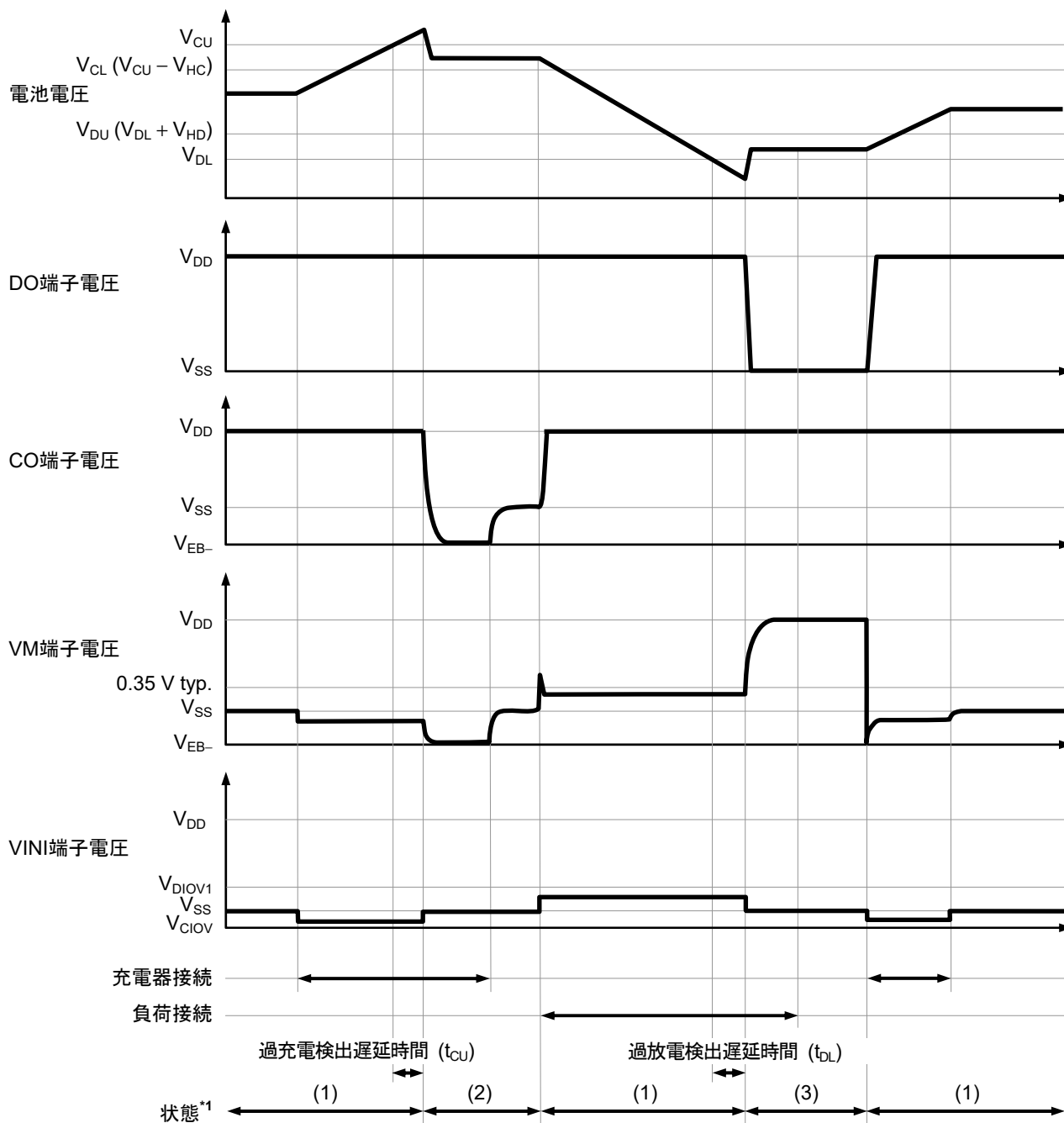


図8

■ タイミングチャート

1. 過充電検出、過放電検出

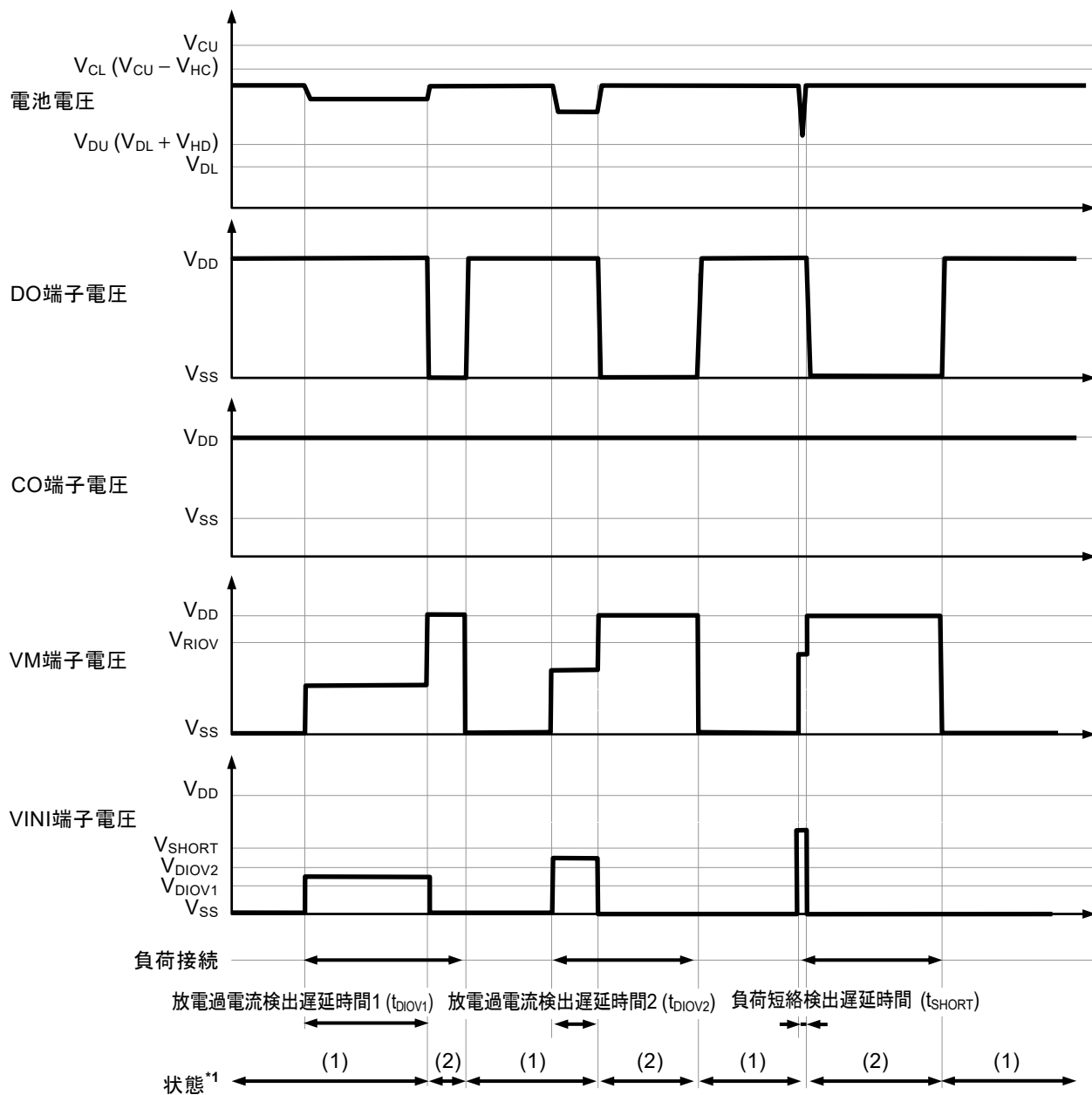


- *1. (1): 通常状態
(2): 過充電状態
(3): 過放電状態

備考 定電流での充電を想定しています。

図9

2. 放電過電流検出

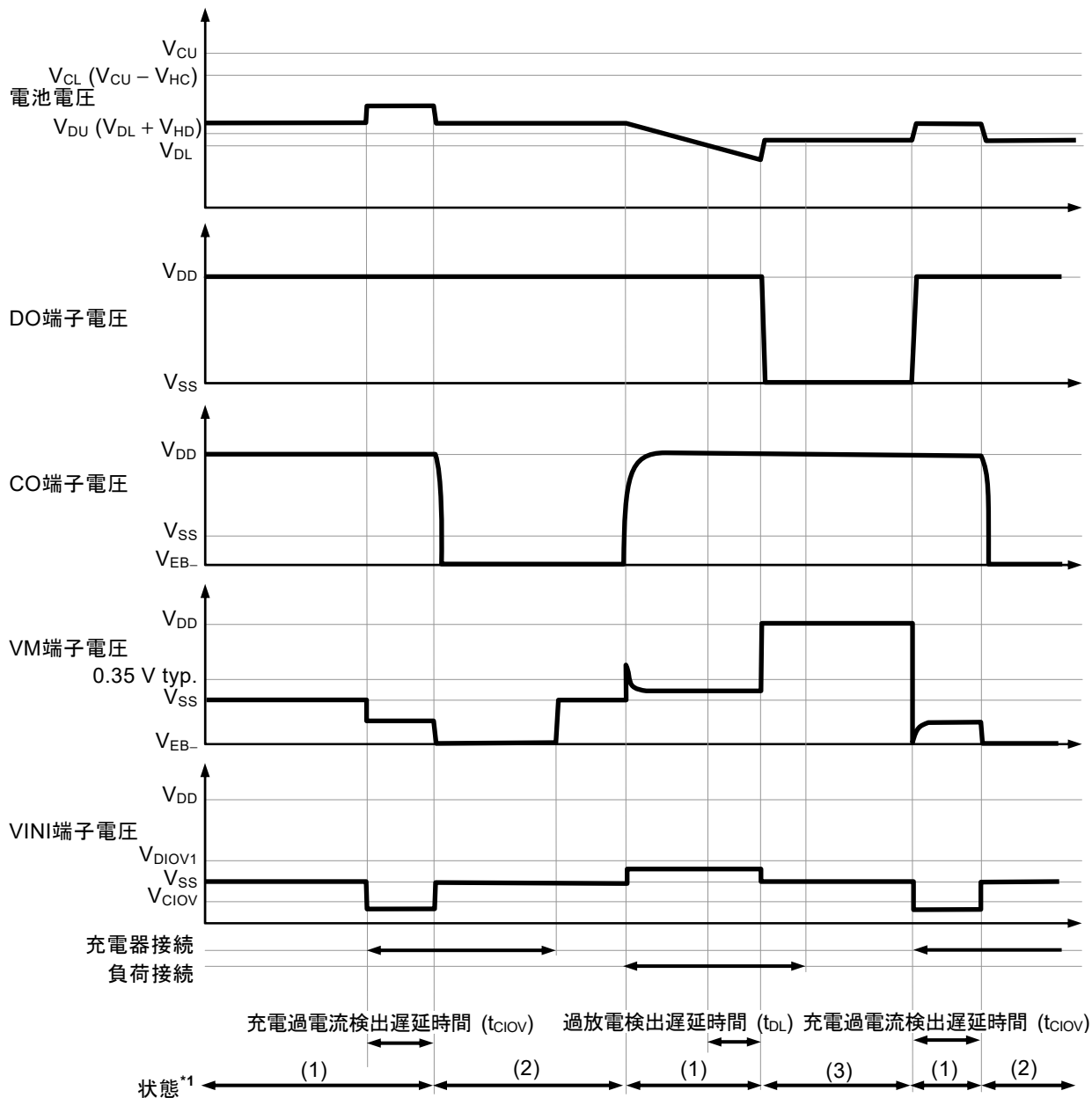


- *1. (1): 通常状態
- (2): 放電過電流状態

備考 定電流での充電を想定しています。

図10

3. 充電過電流検出

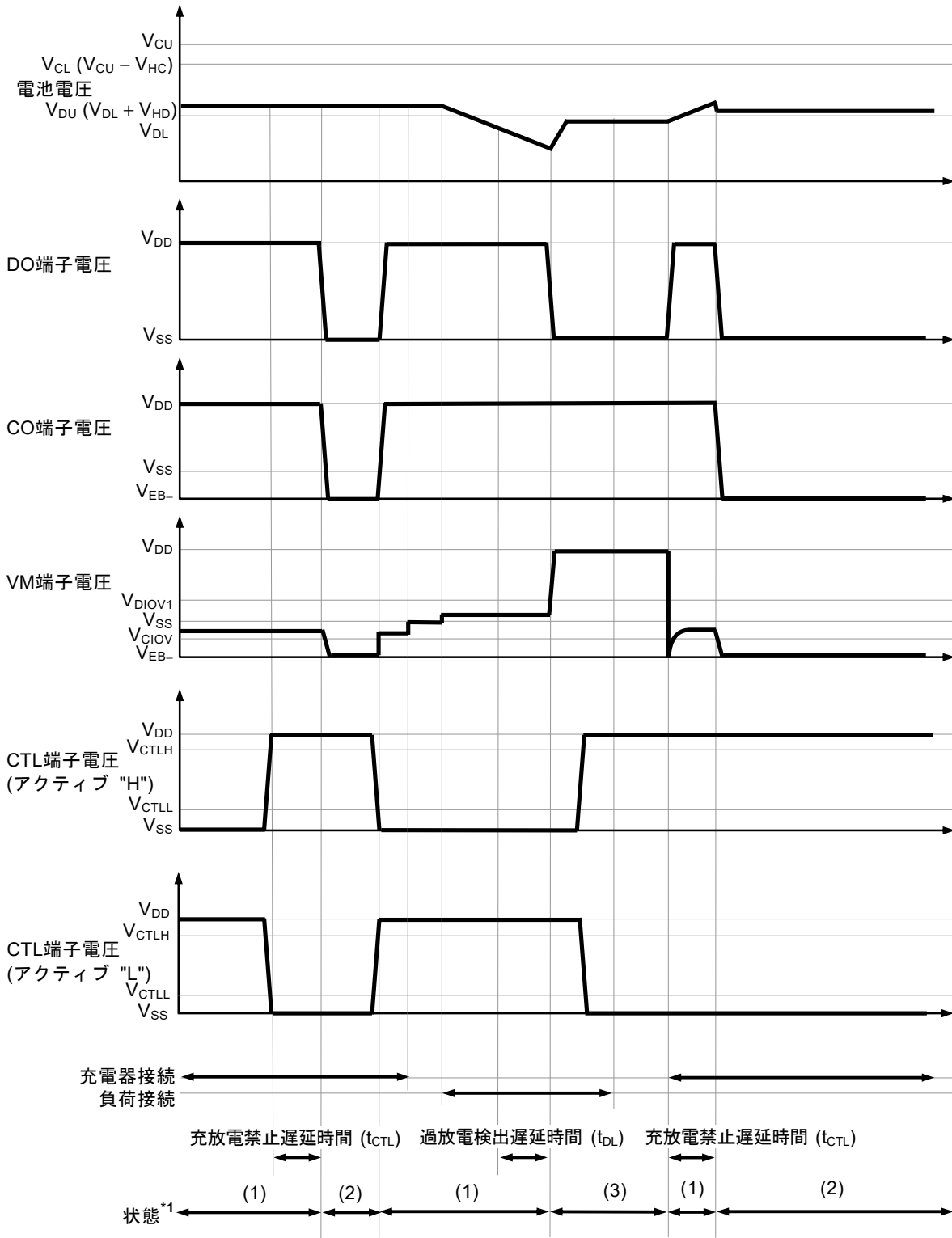


- *1. (1): 通常状態
(2): 充電過電流状態
(3): 過放電状態

備考 定電流での充電を想定しています。

図11

4. 充放電禁止動作



- *1. (1): 通常状態
(2): 充放電禁止状態
(3): 過放電状態

備考 定電流での充電を想定しています。

図12

■ バッテリー保護ICの接続例

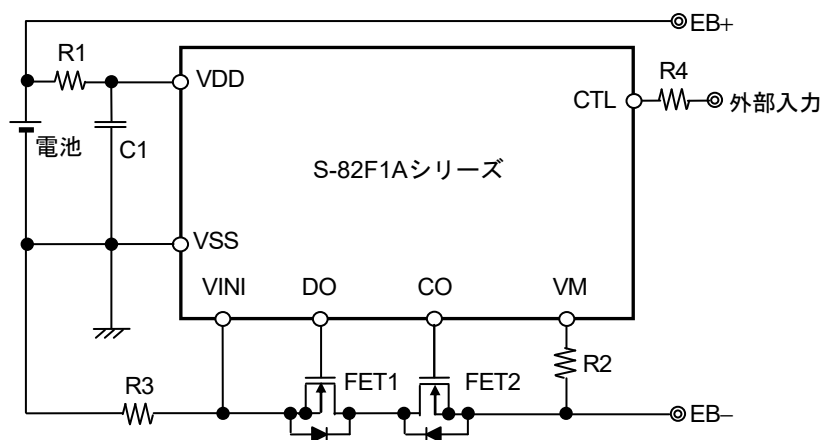


図13

表13 外付け部品定数

記号	部品	目的	Min.	Typ.	Max.	備考
FET1	Nch MOS FET	放電制御	-	-	-	しきい値電圧 \leq 過放電検出電圧 ^{*1}
FET2	Nch MOS FET	充電制御	-	-	-	しきい値電圧 \leq 過放電検出電圧 ^{*1}
R1	抵抗	ESD対策、 電源変動対策	270 Ω	330 Ω	1.2 k Ω ^{*2}	-
C1	容量	電源変動対策	0.068 μ F	0.1 μ F	2.2 μ F	-
R2	抵抗	ESD対策、 充電器逆接続対策	300 Ω	470 Ω	1.5 k Ω	-
R3	抵抗	過電流検出	-	3 m Ω	-	-
R4	抵抗	CTL端子入力保護	-	1 k Ω	-	-

*1. しきい値電圧が過放電検出電圧以上のFETを用いた場合、過放電検出する前に放電を止めてしまう場合があります。

*2. 過充電検出電圧の精度はR1 = 330 Ω で保証しています。それ以外の抵抗値を使用した場合は精度が悪化します。

注意 1. 定数は予告なく変更することがあります。

2. 接続例以外の回路においては、動作確認されていません。また、接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

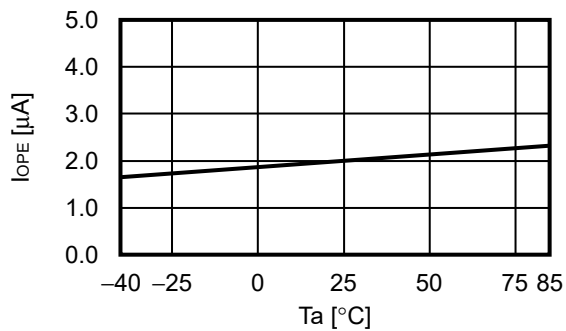
■ 注意事項

- ・ IC内での損失が許容損失を越えないように、入出力電圧、負荷電流の使用条件に注意してください。
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様また、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

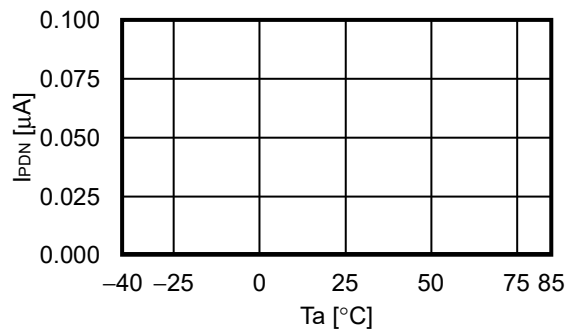
■ 諸特性データ (Typicalデータ)

1. 消費電流

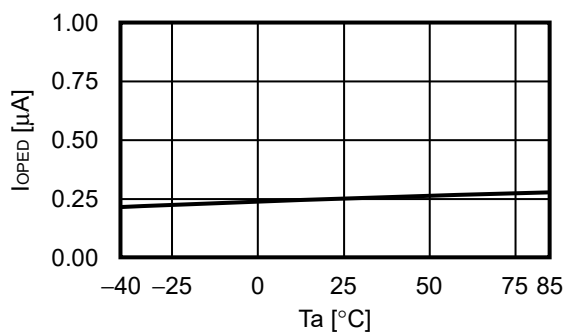
1.1 $I_{OPE} - T_a$



1.2 $I_{PDN} - T_a$

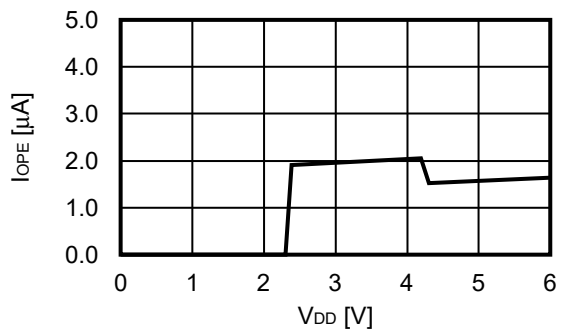


1.3 $I_{OPED} - T_a$

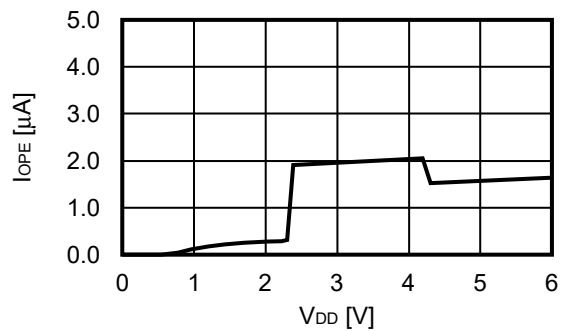


1.4 $I_{OPE} - V_{DD}$

1.4.1 パワーダウン機能 "あり"

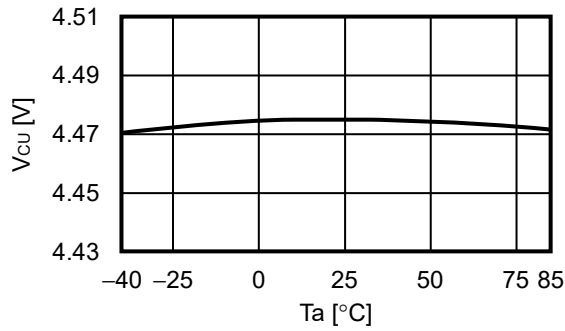


1.4.2 パワーダウン機能 "なし"

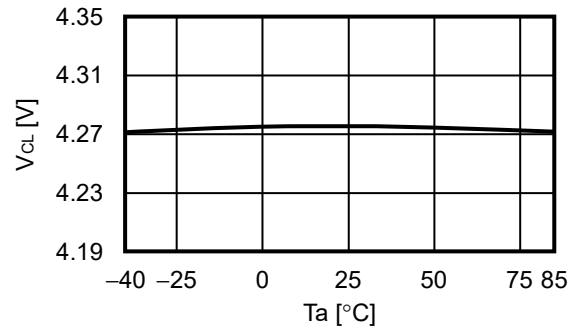


2. 検出電圧、解除電圧

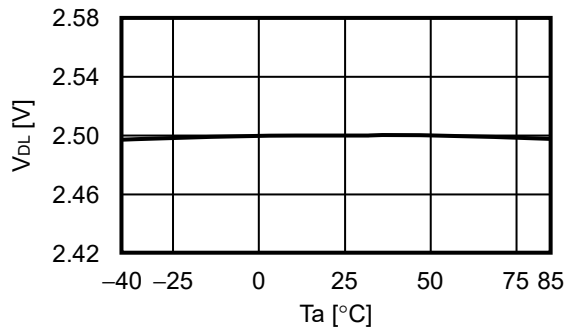
2.1 $V_{CU} - T_a$



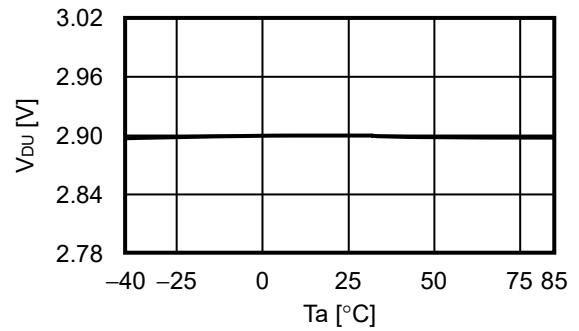
2.2 $V_{CL} - T_a$



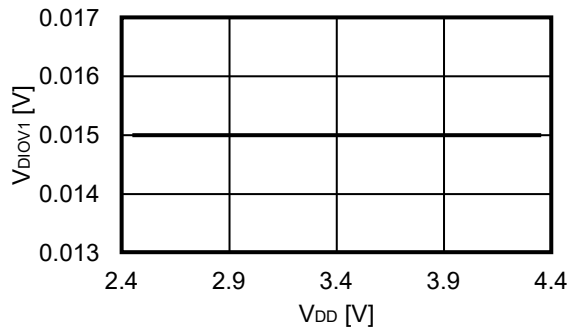
2.3 $V_{DL} - T_a$



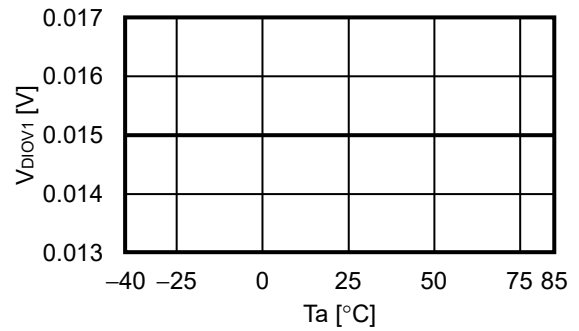
2.4 $V_{BU} - T_a$



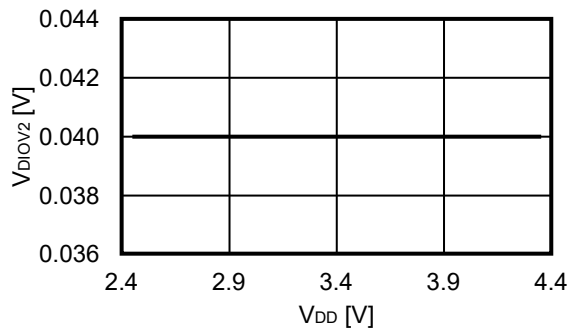
2.5 $V_{DIOV1} - V_{DD}$



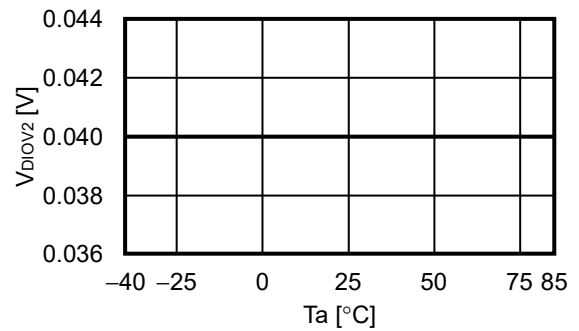
2.6 $V_{DIOV1} - T_a$



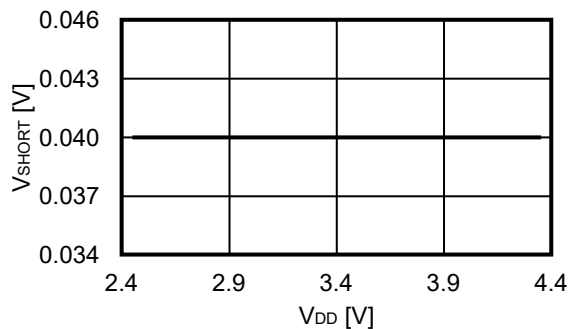
2.7 $V_{DIOV2} - V_{DD}$



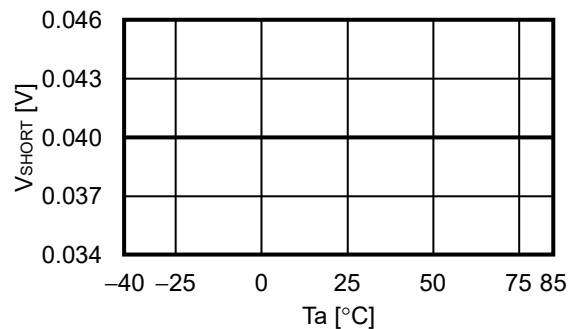
2.8 $V_{DIOV2} - T_a$



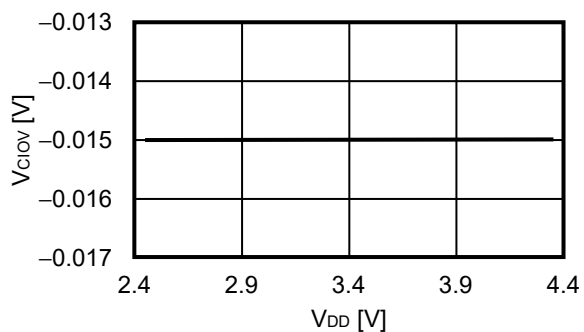
2.9 $V_{SHORT} - V_{DD}$



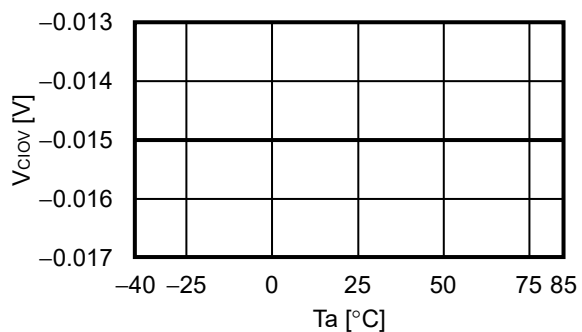
2.10 $V_{SHORT} - T_a$



2.11 $V_{CIOV} - V_{DD}$

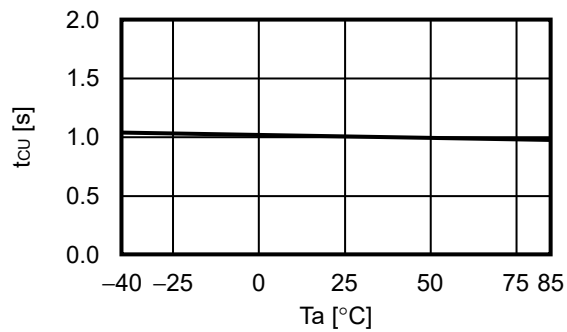


2.12 $V_{CIOV} - T_a$

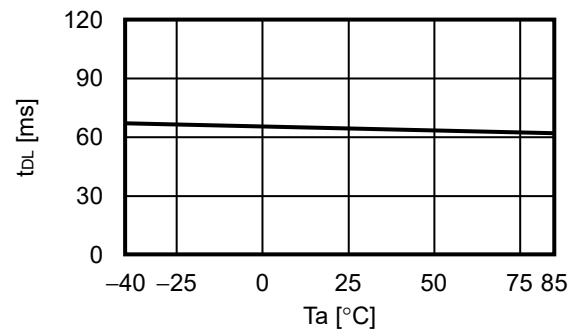


3. 遅延時間

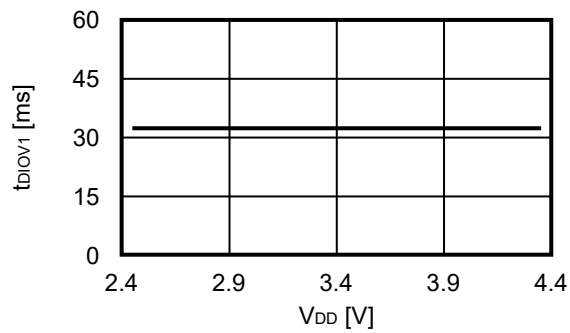
3.1 $t_{cu} - T_a$



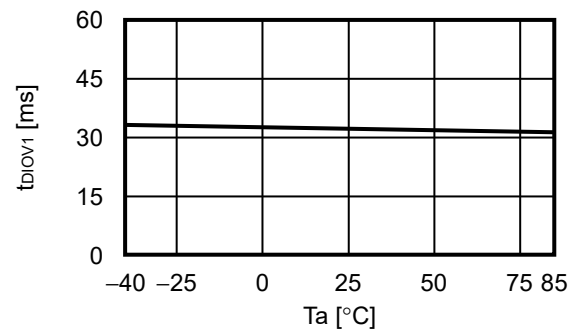
3.2 $t_{dL} - T_a$



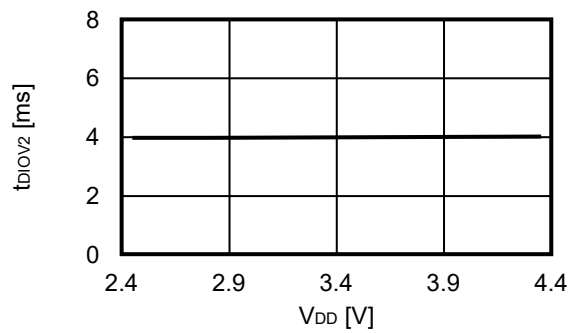
3.3 $t_{dIOV1} - V_{DD}$



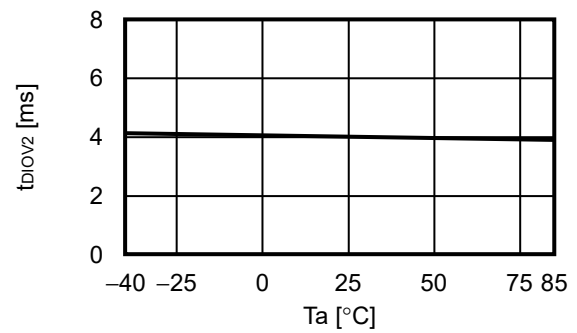
3.4 $t_{dIOV1} - T_a$



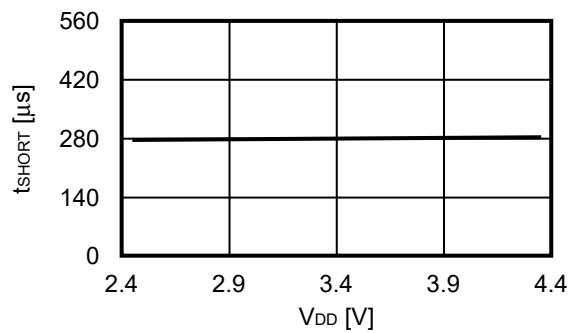
3.5 $t_{dIOV2} - V_{DD}$



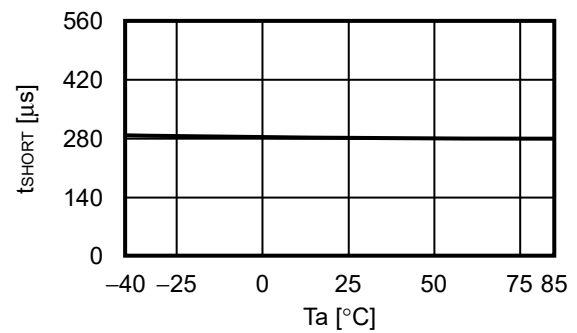
3.6 $t_{dIOV2} - T_a$



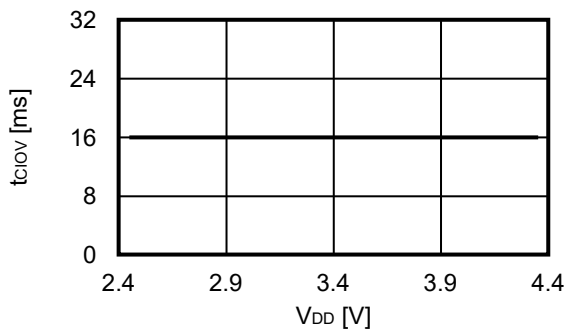
3.7 $t_{SHORT} - V_{DD}$



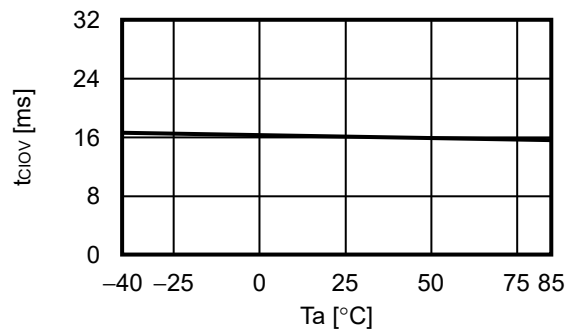
3.8 $t_{SHORT} - T_a$



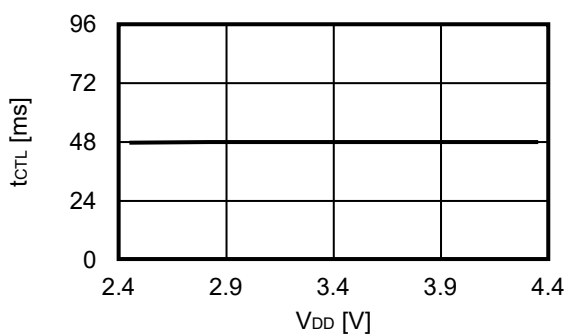
3.9 $t_{CIOV} - V_{DD}$



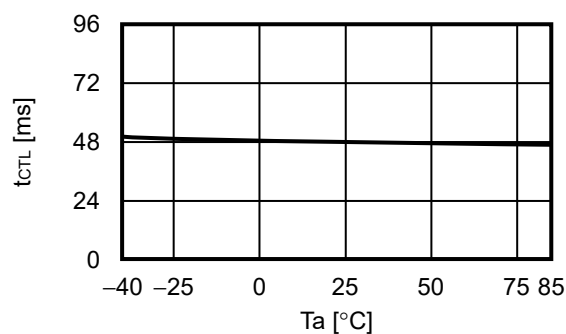
3.10 $t_{CIOV} - T_a$



3.11 $t_{CTL} - V_{DD}$

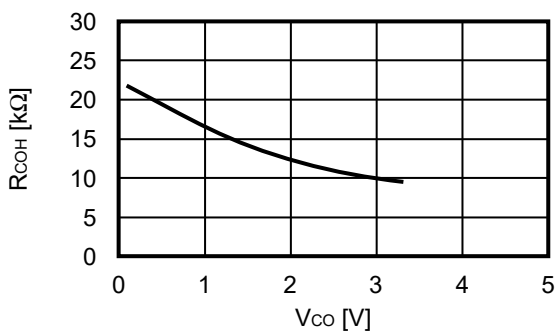


3.12 $t_{CTL} - T_a$

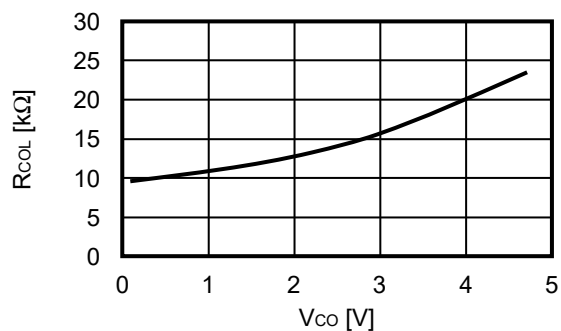


4. 出力抵抗

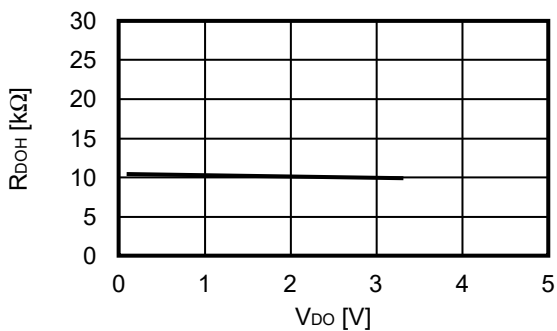
4.1 $R_{COH} - V_{CO}$



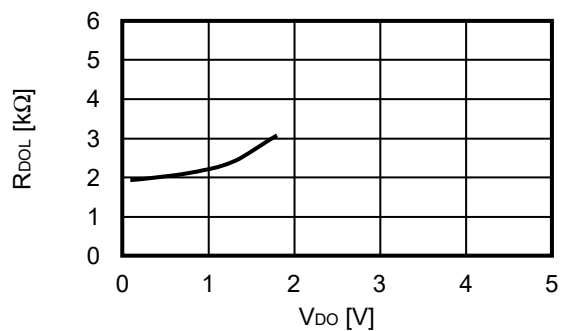
4.2 $R_{COL} - V_{CO}$



4.3 $R_{DOH} - V_{DO}$

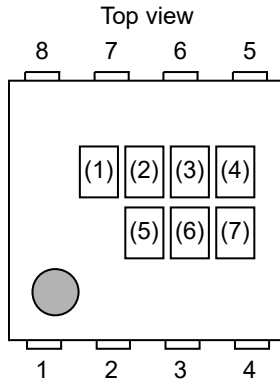


4.4 $R_{DOL} - V_{DO}$



■ マーキング仕様

1. HSNT-8(1616)



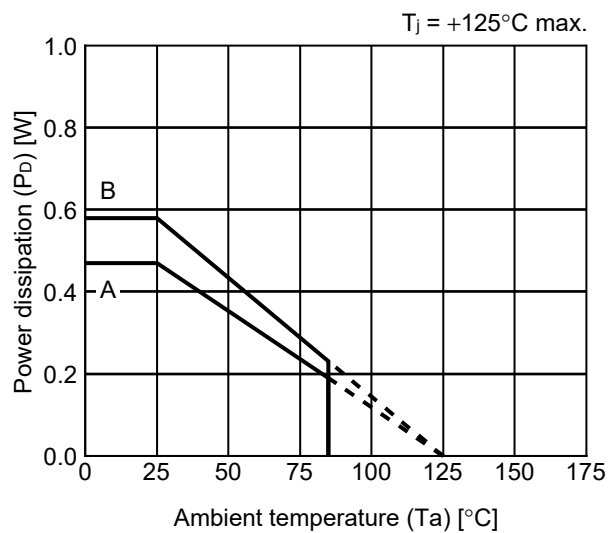
- (1) : 製品略号 (ブランク)
- (2)~(4) : 製品略号 (製品名と製品略号の対照表を参照)
- (5)~(7) : ロットナンバー

製品名と製品略号の対照表

製品名	製品略号		
	(2)	(3)	(4)
S-82F1AAP-A8T2U	7	D	P

■ Power Dissipation

HSNT-8(1616)

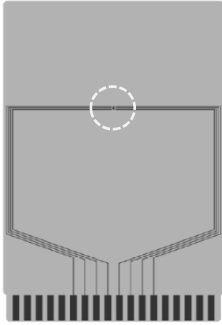


Board	Power Dissipation (P_D)
A	0.47 W
B	0.58 W
C	—
D	—
E	—

HSNT-8(1616) Test Board

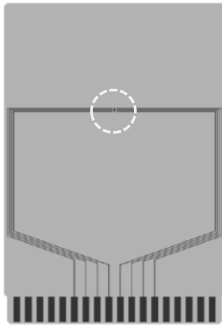
 IC Mount Area

(1) Board A



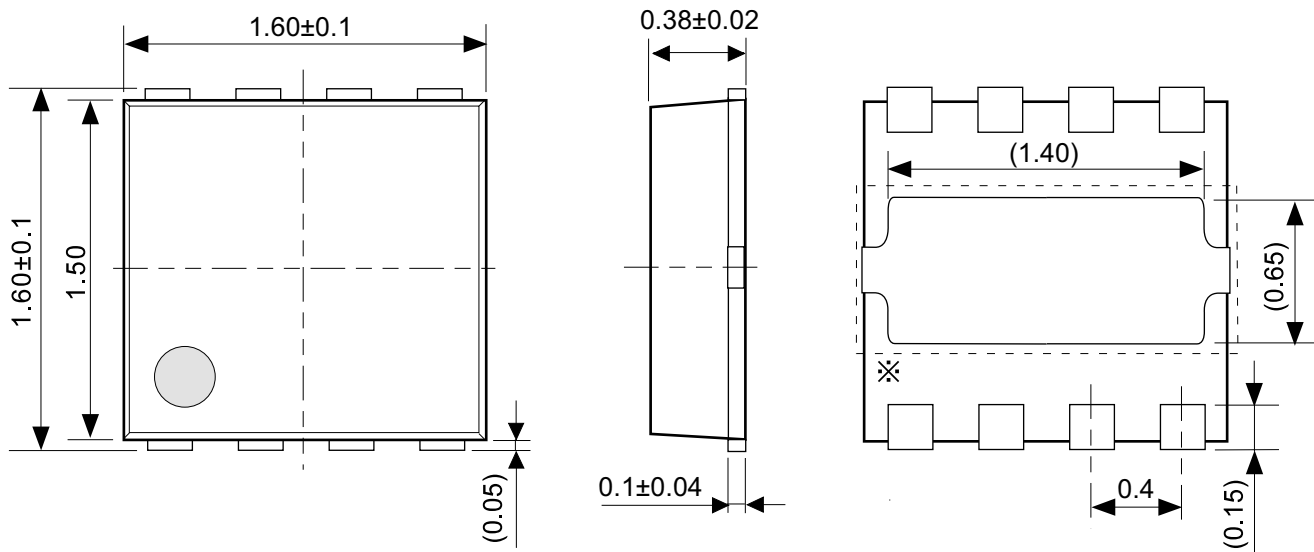
Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	2	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via	-	

(2) Board B



Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	-	

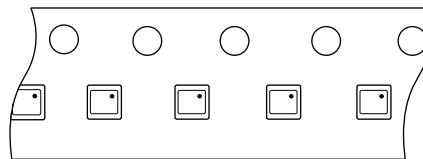
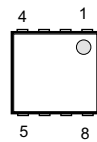
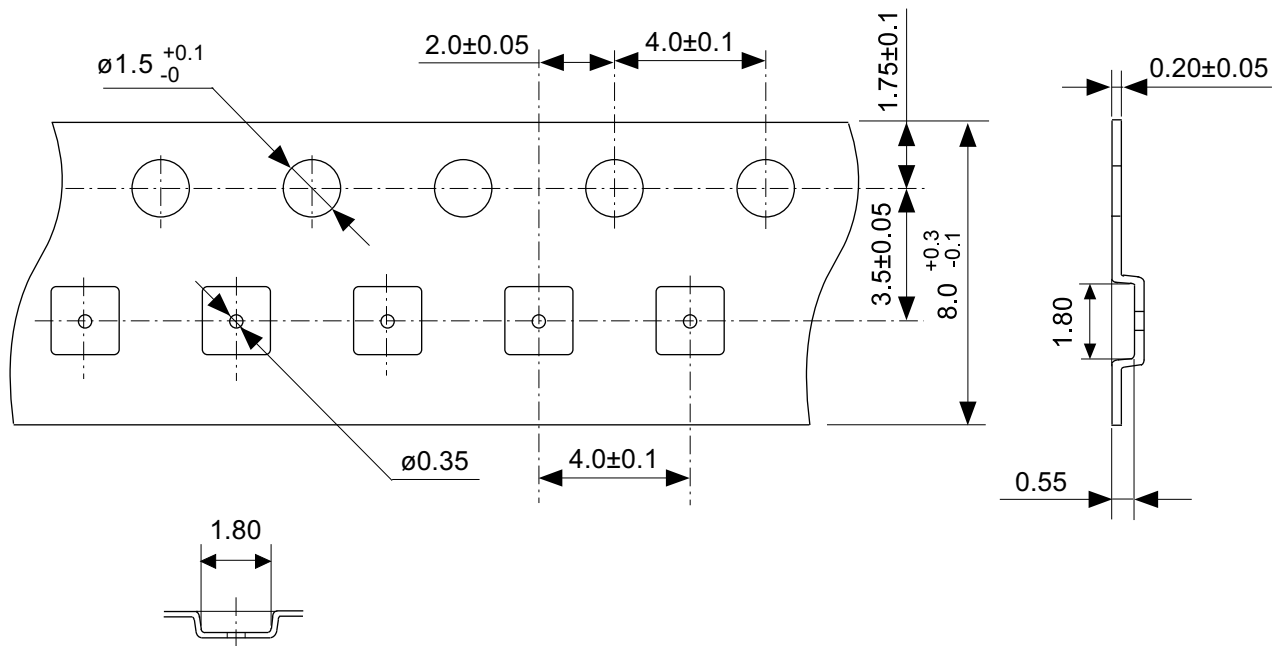
No. HSNT8-B-Board-SD-1.0



※ The heat sink of back side has different electric potential depending on the product.
 Confirm specifications of each product.
 Do not use it as the function of electrode.

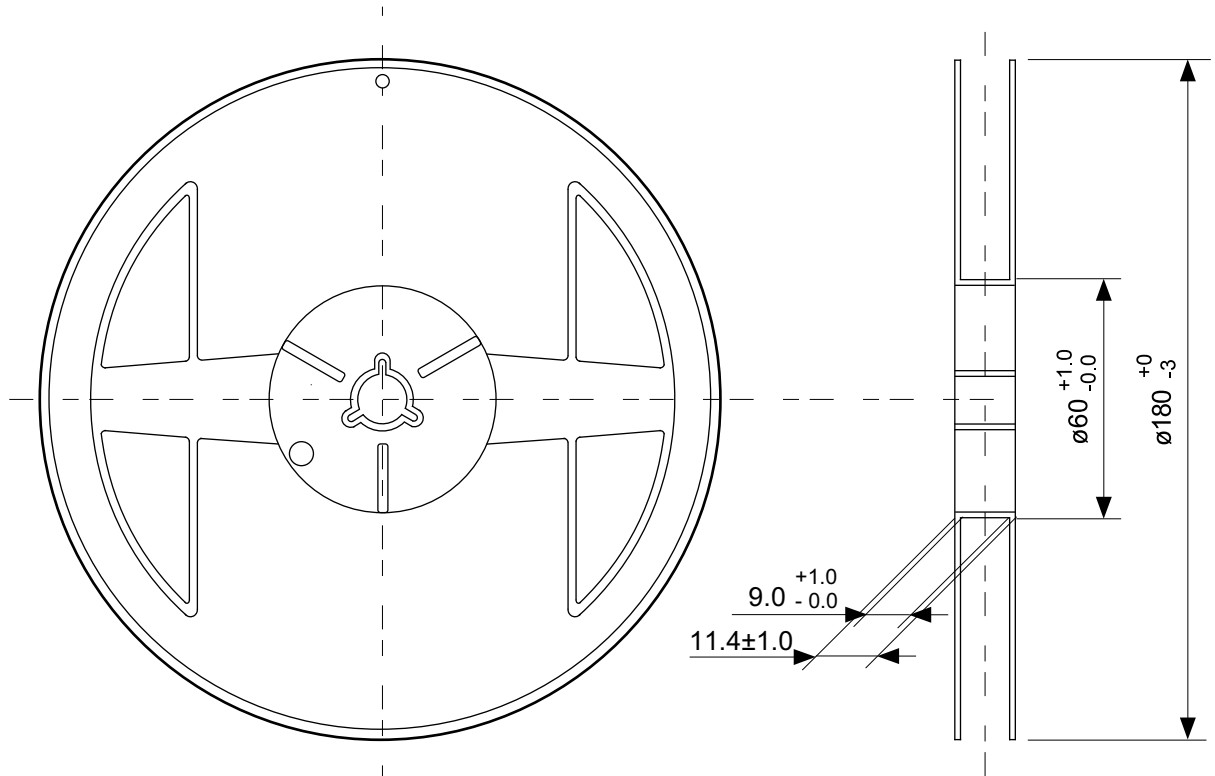
No. PY008-A-P-SD-1.0

TITLE	HSNT-8-B-PKG Dimensions
No.	PY008-A-P-SD-1.0
ANGLE	
UNIT	mm
ABLIC Inc.	

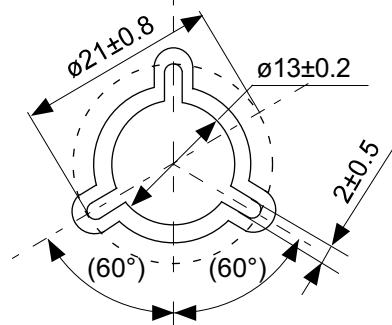


No. PY008-A-C-SD-1.0

TITLE	HSNT-8-B-Carrier Tape
No.	PY008-A-C-SD-1.0
ANGLE	
UNIT	mm
ABLIC Inc.	



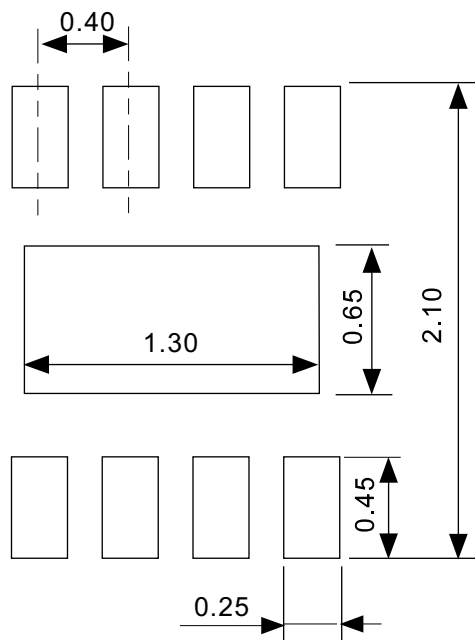
Enlarged drawing in the central part



No. PY008-A-R-SD-1.0

TITLE	HSNT-8-B-Reel		
No.	PY008-A-R-SD-1.0		
ANGLE		QTY.	5,000
UNIT	mm		
ABLIC Inc.			

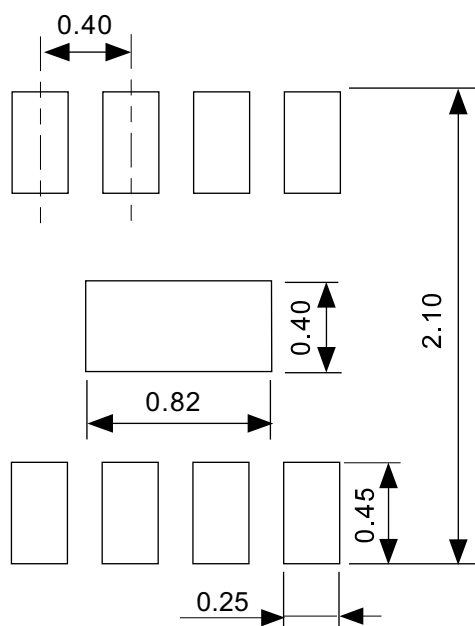
Land Pattern



Caution It is recommended to solder the heat sink to a board in order to ensure the heat radiation.

注意 放熱性を確保する為に、PKGの裏面放熱板(ヒートシンク)を基板に半田付けする事を推奨いたします。

Metal Mask Pattern



Caution ① Mask aperture ratio of the lead mounting part is 100%.
 ② Mask aperture ratio of the heat sink mounting part is 40%.
 ③ Mask thickness: t0.12 mm

注意 ①リード実装部のマスク開口率は100%です。
 ②放熱板実装のマスク開口率は40%です。
 ③マスク厚み : t0.12 mm

No. PY008-A-L-SD-1.0

TITLE	HSNT-8-B -Land Recommendation
No.	PY008-A-L-SD-1.0
ANGLE	
UNIT	mm
ABLIC Inc.	

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com