

本ICは、CMOS技術を使用して開発した、高精度電圧検出ICです。検出電圧、解除電圧は内部で固定され、精度は±1.5%です。

電源端子とは別に検出電圧入力端子 (SENSE端子) を備えているため、SENSE端子電圧 (V_{SENSE}) が0Vまで低下しても出力が不定になりません。

コンデンサを外付けすることで解除信号を遅延させることができ、解除遅延時間の精度は±15% ($C_D = 3.3$ nF) です。

また、マニュアルリセット機能を備えています。マニュアルリセット機能により内部回路のコンパレータ入力電圧を変化させ、ディテクタが強制的に検出状態になります。そのため、誤解除などディテクタに異常がないか診断できます。

出力形態はNchオープンドレイン出力です。

弊社では、お客様の機能安全設計をサポートするため、ご使用条件に合わせて算出したFIT値を提供しております。

FIT値算出の実施については販売窓口までお問い合わせください。

注意 本製品は、車両機器、車載機器へのご使用が可能です。これらの用途でご使用をお考えの際は、必ず販売窓口までご相談ください。

■ 特長

- ・ 検出電圧 : 0.6 V ~ 4.9 V (0.05 Vステップ)
- ・ 検出電圧精度 : ±1.5%
- ・ ヒステリシス幅 "あり"、"なし" 選択可能 : "あり" : 3.0%, 5.0%, 10.0%
"なし" : 0%
- ・ 検出応答時間 : 10.0 μ s typ.
- ・ マニュアルリセット機能 : MR端子入力論理 : アクティブ "L"
- ・ 解除遅延時間精度 : ±15% ($C_D = 3.3$ nF)
- ・ 消費電流 : 1.2 μ A typ.
- ・ 出力形態 : Nchオープンドレイン出力
- ・ 動作電圧範囲 : 2.5 V ~ 6.0 V
- ・ 動作温度範囲 : $T_a = -40^\circ\text{C} \sim +125^\circ\text{C}$
- ・ 鉛フリー (Sn 100%)、ハロゲンフリー
- ・ AEC-Q100進行中*1

*1. 詳細は、販売窓口までお問い合わせください。

■ 用途

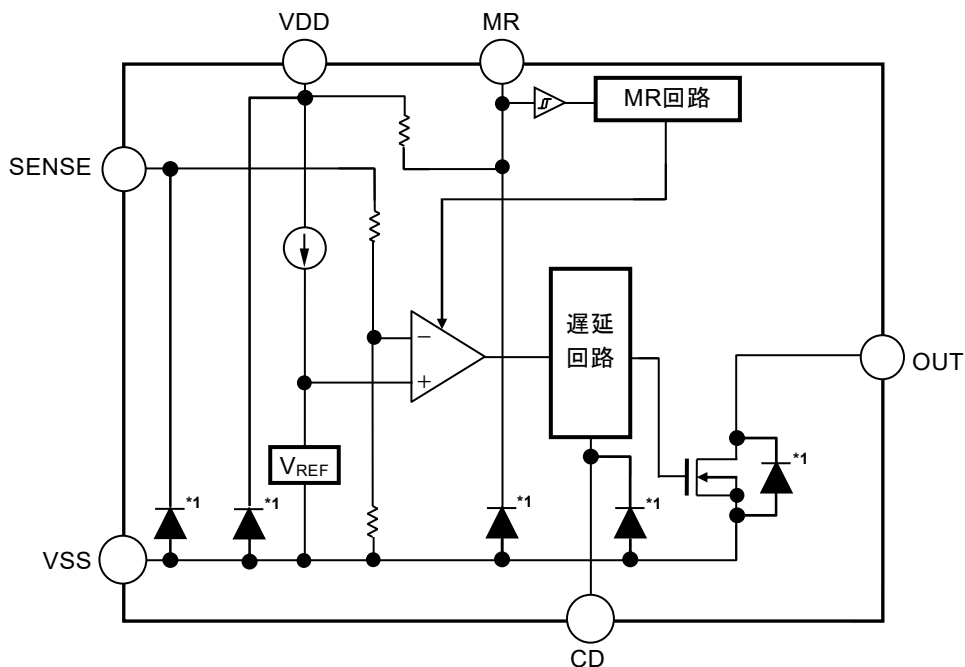
- ・ 車載電装機器用電源の電圧検出
- ・ 車載ECU, ADASなど故障検出が要求されるシステムの電圧監視
- ・ 車載用 (エンジン、トランスミッション、サスペンション、ABS、EV / HEV / PHEV関連機器等)

■ パッケージ

- ・ SOT-23-6
- ・ HSNT-8(1616)B

■ ブロック図

1. S-19122シリーズAタイプ

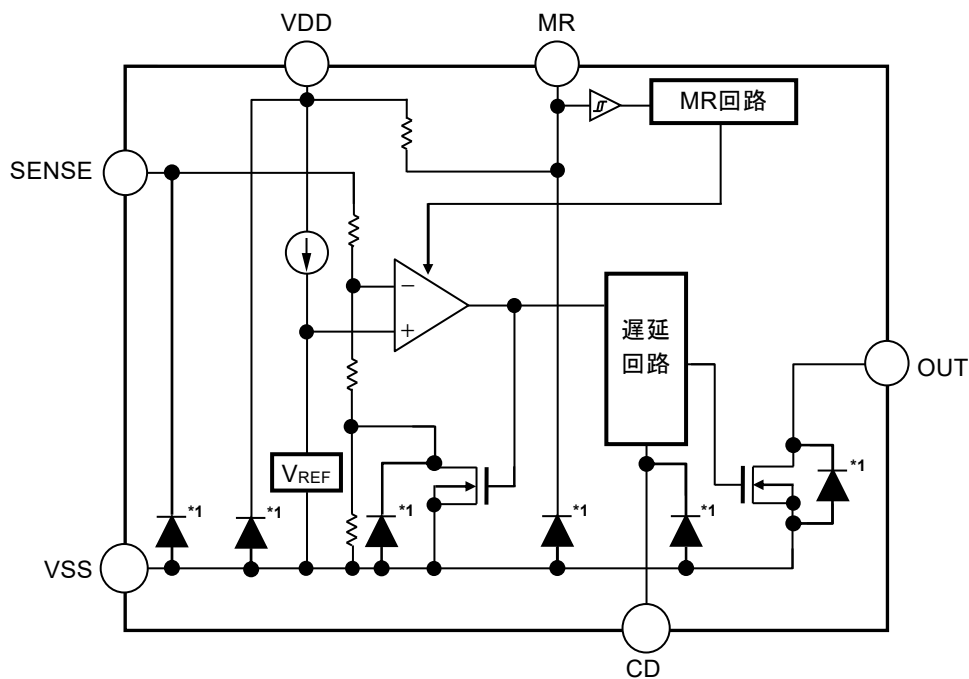


*1. 寄生ダイオード

図1

製品タイプ	ヒステリシス幅	MR端子入力論理	OUT端子出力形態	OUT端子出力論理
Aタイプ	0%	アクティブ "L"	Nchオープンドレイン出力	アクティブ "L"

2. S-19122シリーズB/C/Dタイプ



*1. 寄生ダイオード

図2

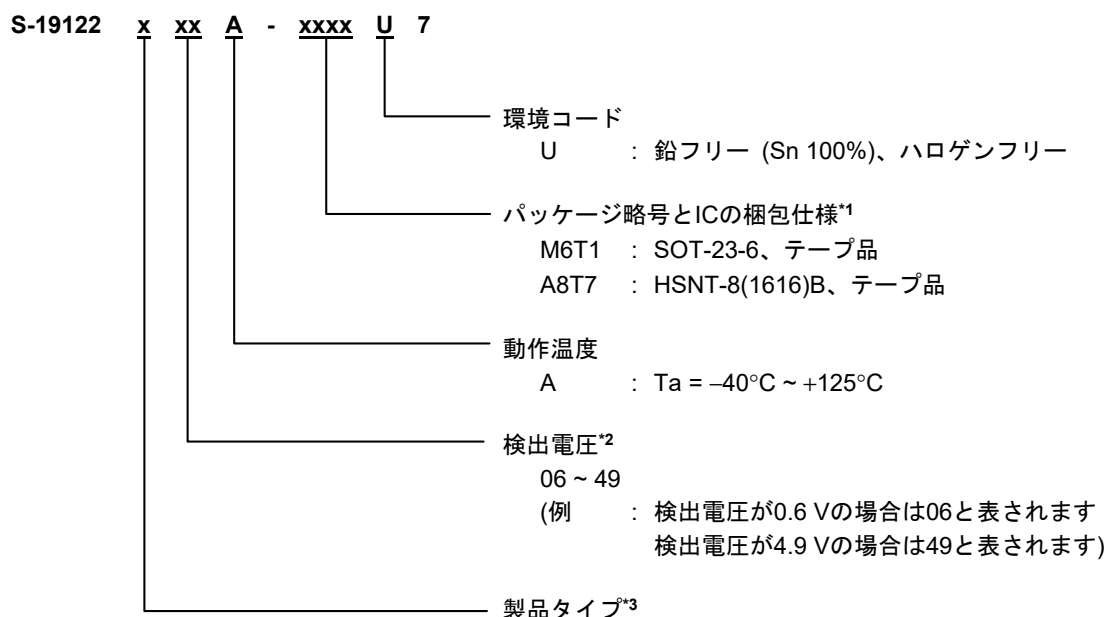
製品タイプ	ヒステリシス幅	MR端子入力論理	OUT端子出力形態	OUT端子出力論理
Bタイプ	3%	アクティブ "L"	Nchオープンドレイン出力	アクティブ "L"
Cタイプ	5%	アクティブ "L"	Nchオープンドレイン出力	アクティブ "L"
Dタイプ	10%	アクティブ "L"	Nchオープンドレイン出力	アクティブ "L"

■ AEC-Q100進行中

AEC-Q100の信頼性試験の詳細については、販売窓口までお問い合わせください。

■ 品目コードの構成

1. 製品名



*1. テープ図面を参照してください。

*2. 0.05 Vステップの製品をご希望のときは、販売窓口までお問い合わせください。

*3. "2. 製品タイプ機能別一覧" を参照してください。

2. 製品タイプ機能別一覧

表1

製品タイプ	ヒステリシス幅	MR端子入力論理	OUT端子出力形態	OUT端子出力論理
Aタイプ	0%	アクティブ "L"	Nchオープンドレイン出力	アクティブ "L"
Bタイプ	3%	アクティブ "L"	Nchオープンドレイン出力	アクティブ "L"
Cタイプ	5%	アクティブ "L"	Nchオープンドレイン出力	アクティブ "L"
Dタイプ	10%	アクティブ "L"	Nchオープンドレイン出力	アクティブ "L"

3. パッケージ

表2 パッケージ図面コード

パッケージ名	外形寸法図面	テープ図面	リール図面	ランド図面
SOT-23-6	MP006-A-P-SD	MP006-A-C-SD	MP006-A-R-SD	-
HSNT-8(1616)B	PY008-B-P-SD	PY008-B-C-SD	PY008-B-R-SD	PY008-B-L-SD

■ ピン配置図

1. SOT-23-6

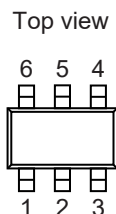


図3

*1. CD端子 - VSS端子間にコンデンサを接続します。その容量により、解除遅延時間を調整できます。

表3

端子番号	端子記号	端子内容
1	SENSE	検出電圧入力端子
2	VDD	電圧入力端子
3	MR	マニュアルリセット端子
4	OUT	電圧検出出力端子
5	VSS	GND端子
6	CD*1	解除遅延時間調整コンデンサ接続端子

2. HSNT-8(1616)B

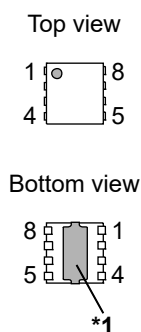


図4

- *1. 網掛け部分の裏面放熱板は、基板に接続し電位をGNDとしてください。
ただし、電極としての機能には使用しないでください。
- *2. NCは電気的にオープンを示します。
そのため、VDD端子またはVSS端子に接続しても問題ありません。
- *3. CD端子 - VSS端子間にコンデンサを接続します。その容量により、解除遅延時間を調整できます。

表4

端子番号	端子記号	端子内容
1	MR	マニュアルリセット端子
2	VDD	電圧入力端子
3	NC*2	無接続
4	SENSE	検出電圧入力端子
5	CD*3	解除遅延時間調整コンデンサ接続端子
6	VSS	GND端子
7	OUT	電圧検出出力端子
8	NC*2	無接続

■ 絶対最大定格

表5

(特記なき場合 : Ta = -40°C ~ +125°C)

項目	記号	絶対最大定格	単位
電源電圧	V _{DD}	V _{SS} - 0.3 ~ V _{SS} + 7.0	V
SENSE端子電圧	V _{SENSE}	V _{SS} - 0.3 ~ V _{SS} + 7.0	V
CD端子入力電圧	V _{CD}	V _{SS} - 0.3 ~ V _{DD} + 0.3 ≤ V _{SS} + 7.0	V
MR端子入力電圧	V _{MR}	V _{SS} - 0.3 ~ V _{DD} + 0.3 ≤ V _{SS} + 7.0	V
出力電圧	V _{OUT}	V _{SS} - 0.3 ~ V _{SS} + 7.0	V
出力電流	I _{OUT}	25	mA
ジャンクション温度	T _j	-40 ~ +150	°C
動作周囲温度	T _{opr}	-40 ~ +125	°C
保存温度	T _{stg}	-40 ~ +150	°C

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 熱抵抗値

表6

項目	記号	条件	Min.	Typ.	Max.	単位	
ジャンクション温度 - 周囲温度間 熱抵抗値*1	θ _{JA}	SOT-23-6	Board A	-	159	-	°C/W
			Board B	-	124	-	°C/W
			Board C	-	-	-	°C/W
			Board D	-	-	-	°C/W
			Board E	-	-	-	°C/W
		HSNT-8(1616)B	Board A	-	214	-	°C/W
			Board B	-	172	-	°C/W
			Board C	-	52	-	°C/W
			Board D	-	55	-	°C/W
			Board E	-	43	-	°C/W

*1. 測定環境 : JEDEC STANDARD JESD51-2A準拠

備考 詳細については、「■ Power Dissipation」、「Test Board」を参照してください。

■ 電気的特性

表7

(特記なき場合 : Ta = -40°C ~ +125°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
検出電圧*1	V _{DET}	V _{DD} = 5.0 V, 0.6 V ≤ V _{DET(S)} ≤ 4.9 V	V _{DET(S)} × 0.985	V _{DET(S)}	V _{DET(S)} × 1.015	V	1
ヒステリシス幅*2	V _{HYS}	Aタイプ (V _{HYS} = 0%)	–	V _{DET} × 0.00	–	V	1
		Bタイプ (V _{HYS} = 3.0%)	V _{DET} × 0.02	V _{DET} × 0.03	V _{DET} × 0.04	V	1
		Cタイプ (V _{HYS} = 5.0%)	V _{DET} × 0.04	V _{DET} × 0.05	V _{DET} × 0.06	V	1
		Dタイプ (V _{HYS} = 10.0%)	V _{DET} × 0.09	V _{DET} × 0.10	V _{DET} × 0.11	V	1
消費電流	I _{SS1}	V _{DD} = 5.0 V, V _{SENSE} = V _{DET(S)} + 1 V	–	1.2	2.3	μA	5
動作電圧	V _{DD}	–	2.5	–	6.0	V	1
出力電流	I _{OUT}	OUT端子Nchドライバ, V _{DD} = 2.5 V, V _{DS} *3 = 0.5 V, V _{SENSE} = V _{DET(S)} – 0.5 V	2.50	–	–	mA	2
リーク電流	I _{LEAK}	OUT端子Nchドライバ, V _{DD} = 6.0 V, V _{OUT} = 6.0 V, V _{SENSE} = 6.0 V	–	–	0.10	μA	2
検出応答時間*4	t _{RESET}	–	–	10.0	40.0	μs	3
解除遅延時間*5	t _{DELAY}	C _D = 3.3 nF	8.5	10.0	11.5	ms	3
SENSE端子抵抗	R _{SENSE}	–	6.0	–	85.0	MΩ	5
MR端子入力電圧 "H"	V _{MRH}	–	2.0	–	–	V	4
MR端子入力電圧 "L"	V _{MRL}	–	–	–	0.6	V	4
MR端子抵抗	R _{MR}	–	0.91	2.20	5.71	MΩ	4
CD端子ディスチャージオン抵抗	R _{CDD}	V _{DD} = 2.5 V, V _{CD} = 0.7 V	0.15	–	0.90	kΩ	–

*1. V_{DET} : 実際の検出電圧値、V_{DET(S)} : 設定検出電圧値

*2. 解除電圧 (V_{REL}) は下記ようになります。

Aタイプ (ヒステリシス幅 "なし") : V_{REL} = V_{DET}

B / C / Dタイプ (ヒステリシス幅 "あり") : V_{REL} = V_{DET} + V_{HYS}

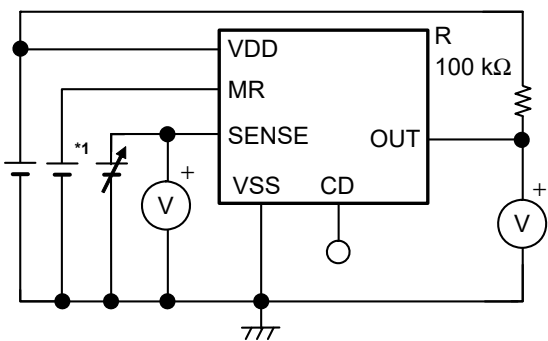
*3. V_{DS} : 出力トランジスタのドレイン – ソース間電圧

*4. V_{SENSE}が一度解除電圧に達した後、SENSE端子にV_{DET(S)} + 0.5 V → V_{DET(S)} – 0.5 Vのパルス電圧を印加してから、V_{OUT}がV_{DD}の50%に達するまでの時間です。

*5. V_{REL(S)} : 設定解除電圧値

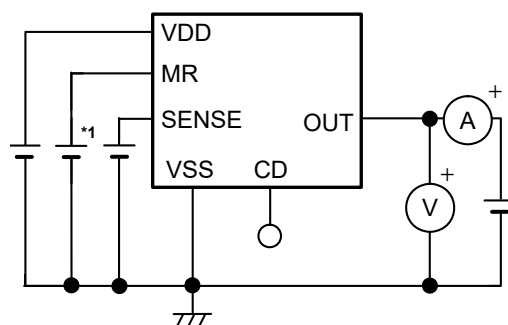
SENSE端子にV_{REL(S)} – 0.5 V → V_{REL(S)} × 1.03 Vのパルス電圧を印加してから、V_{OUT}がV_{DD}の50%に達するまでの時間です。

■ 測定回路



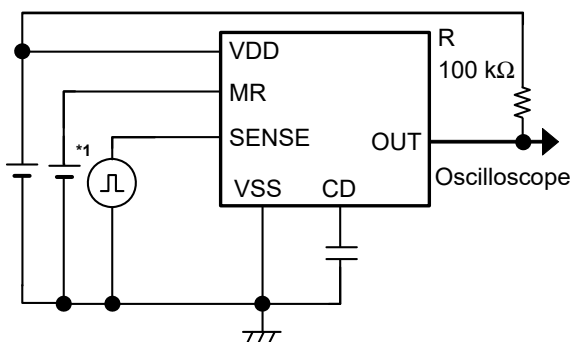
*1. V_{DD}に設定

図5 測定回路1



*1. V_{DD}に設定

図6 測定回路2



*1. V_{DD}に設定

図7 測定回路3

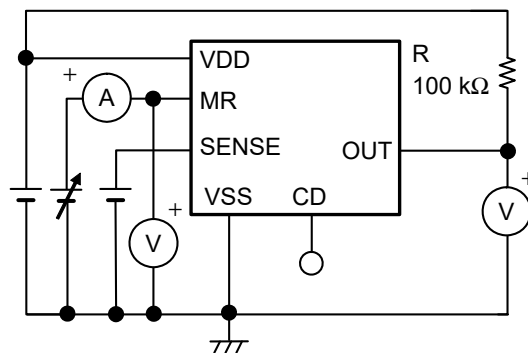
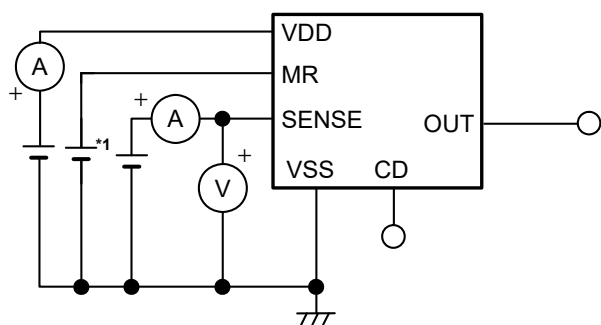


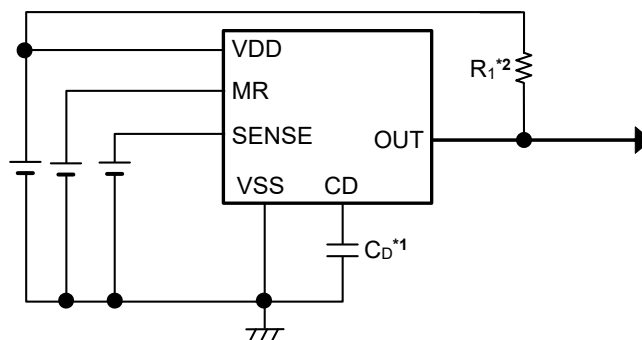
図8 測定回路4



*1. V_{DD}に設定

図9 測定回路5

■ 標準回路



- *1. C_D は解除遅延時間調整コンデンサです。CD端子とVSS端子に直接接続してください。
- *2. R_1 は出力端子の外部プルアップ抵抗です。

図10

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで温度特性を含めた十分な評価を行い、定数を設定してください。

■ 使用条件

解除遅延時間調整コンデンサ (C_D) : 0.33 nF以上のセラミックコンデンサを推奨

■ 解除遅延時間調整コンデンサ (C_D) の選定

本ICでは、ディテクタの解除遅延時間 (t_{DELAY}) を調整するためにCD端子 - VSS端子間に解除遅延時間調整コンデンサ (C_D) が必要です。詳細は、"■ 動作説明"、"3. 遅延回路" を参照してください。

注意 実際のアプリケーションで温度特性を含めた十分な評価を行い、 C_D を選定してください。

■ 用語の説明

1. 検出電圧 (V_{DET})

検出電圧とは、**図13**の出力電圧が "L" に切り換わるときのSENSE端子の電圧です。この検出電圧は同じ製品であっても多少のバラツキがあり、そのバラツキによる検出電圧の最小値から最大値までを検出電圧範囲といいます ("**図11 検出電圧**" 参照)。

例： $V_{DET} = 4.0$ Vの場合、検出電圧は $3.940 \text{ V} \leq V_{DET} \leq 4.060 \text{ V}$ の範囲内の一点です。
つまり、 $V_{DET} = 3.940$ Vの製品もあれば、 $V_{DET} = 4.060$ Vの製品も存在します。

2. 解除電圧 (V_{REL})

解除電圧とは、**図13**の出力電圧が "H" に切り換わるときのSENSE端子の電圧です。この解除電圧は同じ製品であっても多少のバラツキがあり、そのバラツキによる解除電圧の最小値から最大値までを解除電圧範囲といいます ("**図12 解除電圧**" 参照)。

解除電圧は、検出電圧との差が下記に示す範囲内となります。

- ・ Bタイプ : 2% ~ 4% (3% typ.)
- ・ Cタイプ : 4% ~ 6% (5% typ.)
- ・ Dタイプ : 9% ~ 11% (10% typ.)

例： Dタイプ、 $V_{DET} = 4.0$ Vの場合、 $V_{REL} = 4.400$ V typ. ですが、解除電圧は $4.294 \text{ V} \leq V_{REL} \leq 4.507 \text{ V}$ の範囲内の一点です。
つまり、 $V_{REL} = 4.294$ Vの製品もあれば、 $V_{REL} = 4.507$ Vの製品も存在します。

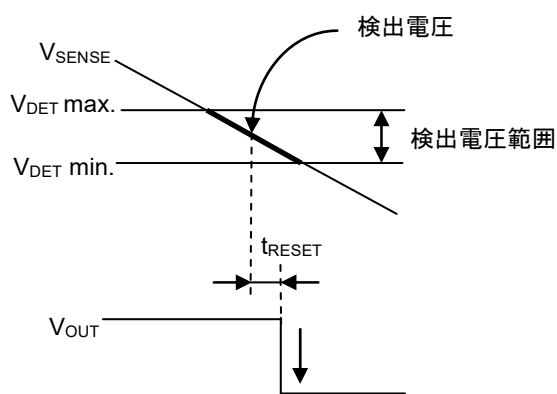


図11 検出電圧

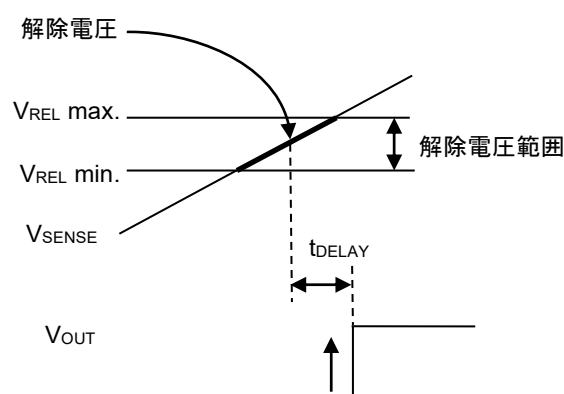


図12 解除電圧

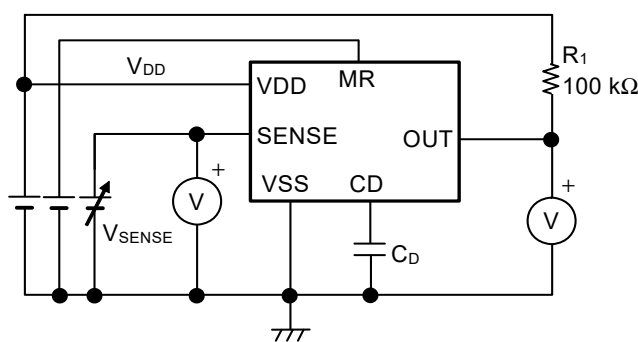


図13 検出電圧、解除電圧の測定回路

3. ヒステリシス幅 (V_{HYS})

ヒステリシス幅とは、検出電圧 (V_{DET}) と解除電圧 (V_{REL}) との電圧差を表しています。 $V_{REL} - V_{DET}$ がOUT端子のヒステリシス幅 (V_{HYS}^{*1}) になります。 V_{DET} と V_{REL} との間にヒステリシス幅をもたせることにより、入力電圧にノイズ等が乗るときに生じる誤動作を防止できます。

*1. 詳細は、「■動作説明」、「1.2 S-19122シリーズB/C/Dタイプ」を参照してください。

4. 貫通電流

貫通電流とは、ディテクタの検出および解除時にVDD端子に瞬間的に流れる電流です。

■ 動作説明

1. 基本動作

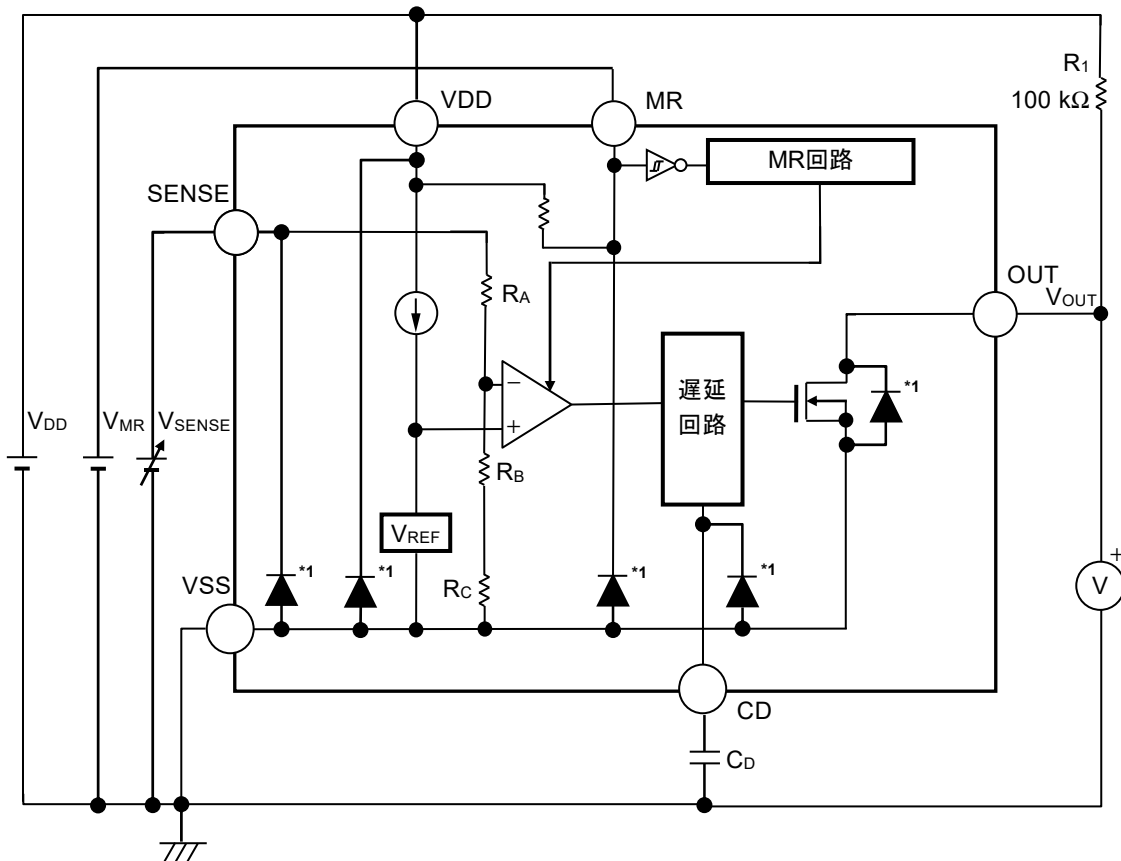
図14、図16のように、抵抗 (R_i) を介してOUT端子をプルアップしている場合を例に、基本動作を示します。

1.1 S-19122シリーズAタイプ

- (1) 電源電圧 (V_{DD}) が最低動作電圧以上、SENSE端子電圧 (V_{SENSE}) が解除電圧 (V_{REL}) 以上でNchトランジスタはオフになり、出力がプルアップされている場合、V_{DD}が出力 ("H" が出力) されます。

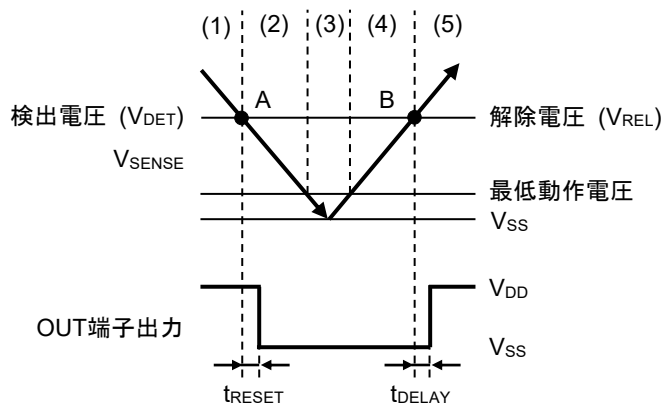
このときコンパレータへの入力電圧は $\frac{(R_B + R_C) \cdot V_{SENSE}}{R_A + R_B + R_C}$ になります。

- (2) V_{SENSE}が検出電圧 (V_{DET}) (図15のA点) 以下になると出力段のNchトランジスタはオンになり、検出応答時間 (t_{RESET}) が経過した後、OUT端子からV_{SS}が出力 ("L" が出力) されます。
- (3) V_{SENSE}がさらに低下し、ICの最低動作電圧以下になっても、V_{DD}が最低動作電圧以上であれば、OUT端子出力は不定になりません。
- (4) V_{SENSE}が上昇してもV_{REL}未満の場合、V_{SS}が出力されます。
- (5) さらにV_{SENSE}を上昇させV_{REL} (図15のB点) 以上になるとNchトランジスタはオフになり、出力がプルアップされている場合、解除遅延時間 (t_{DELAY}) が経過した後、OUT端子からV_{DD}が出力されます。



*1. 寄生ダイオード

図14 S-19122シリーズAタイプの動作説明図

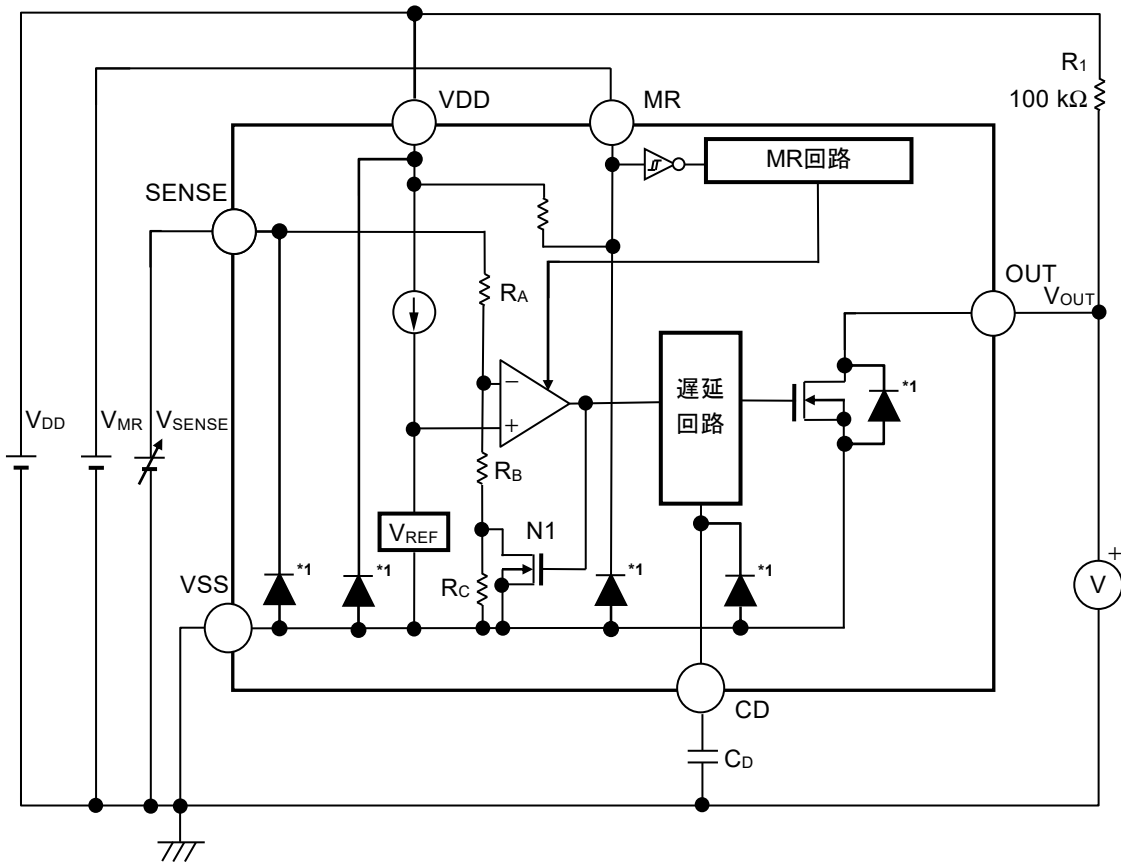


備考 ヒステリシス幅がないため、解除電圧は検出電圧と同じ値に設定されています。

図15 S-19122シリーズAタイプのタイミングチャート

1.2 S-19122シリーズB/C/Dタイプ

- (1) 電源電圧 (V_{DD}) が最低動作電圧以上、SENSE端子電圧 (V_{SENSE}) が解除電圧 (V_{REL}) 以上でNchトランジスタはオフになり、出力がプルアップされている場合、 V_{DD} が出力 ("H" が出力) されます。
このときNchトランジスタ (N1) はオフ状態で、コンパレータへの入力電圧は $\frac{(R_B + R_C) \cdot V_{SENSE}}{R_A + R_B + R_C}$ になります。
- (2) V_{SENSE} が低下し V_{REL} 以下になっても、検出電圧 (V_{DET}) より高ければ V_{DD} が出力されます。
 V_{SENSE} が V_{DET} (図17のA点) 以下になると出力段のNchトランジスタはオンになり、検出応答時間 (t_{RESET}) が経過した後、OUT端子から V_{SS} が出力 ("L" が出力) されます。
このときN1はオンになり、コンパレータへの入力電圧は $\frac{R_B \cdot V_{SENSE}}{R_A + R_B}$ になります。
- (3) V_{SENSE} がさらに低下し、ICの最低動作電圧以下になっても、 V_{DD} が最低動作電圧以上であれば、OUT端子出力は不定になりません。
- (4) V_{SENSE} が V_{DET} を越えても V_{REL} 未満の場合、 V_{SS} が出力されます。
- (5) さらに V_{SENSE} を上昇させ V_{REL} (図17のB点) 以上になるとNchトランジスタはオフになり、出力がプルアップされている場合、解除遅延時間 (t_{DELAY}) が経過した後、OUT端子から V_{DD} が出力されます。



*1. 寄生ダイオード

図16 S-19122シリーズB/C/Dタイプの動作説明図

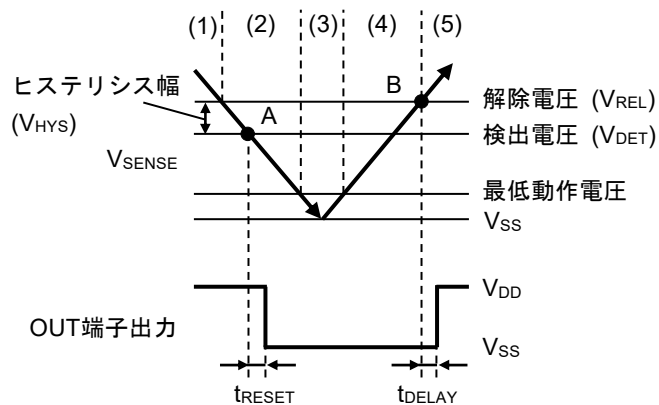


図17 S-19122シリーズB/C/Dタイプのタイミングチャート

2. SENSE端子

SENSE端子は、検出電圧の入力端子です。電源のVDD端子と電圧検出用のSENSE端子を分けているため、VDD端子へ電圧が供給されていれば、SENSE端子への入力電圧が最低動作電圧を下回ってもリセット信号を保持できます。

2.1 検出電圧外部設定時の誤差

図18のように抵抗 (R_A) と抵抗 (R_B) で分圧したノードをSENSE端子に接続することにより、検出電圧を外部設定できます。

SENSE端子がない従来の製品では、分圧ノードをVDD端子に接続する必要があるため、外付け抵抗をあまり大きくできません。VDD端子には検出 / 解除の切り換え時に貫通電流が流れ、外付け抵抗が大きい場合、発振するまたはヒステリシス幅の誤差が大きくなるなどの問題が発生しやすいためです。

本ICでは、貫通電流が流れないSENSE端子に分圧ノードを接続できるため、図18の R_A 、 R_B を大きくしやすくなっています。ただし、内部の抵抗 (R_{SENSE}) に流れる電流分の誤差は生じますので注意してください。

本ICはこの誤差も小さくなるように R_{SENSE}^{*1} を大きくしていますが、許容範囲内の誤差に収まるように R_A 、 R_B を選定してください。

*1. 6.0 M Ω min.

2.2 RA、RBの選定

図18において、外部設定の検出電圧 (VDX) と実際の検出電圧 (VDET) の関係式は、理想的には下式のようにになります。

$$V_{DX} = V_{DET} \times \left(1 + \frac{R_A}{R_B}\right) \dots\dots\dots(1)$$

しかし実際には、RSENSEに流れる電流分の誤差が生じます。
 この誤差を考慮した場合、VDXとVDETの関係式は下式のようにになります。

$$\begin{aligned} V_{DX} &= V_{DET} \times \left(1 + \frac{R_A}{R_B \parallel R_{SENSE}}\right) \\ &= V_{DET} \times \left(1 + \frac{R_A}{\frac{R_B \times R_{SENSE}}{R_B + R_{SENSE}}}\right) \\ &= V_{DET} \times \left(1 + \frac{R_A}{R_B}\right) + \frac{R_A}{R_{SENSE}} \times V_{DET} \dots\dots\dots(2) \end{aligned}$$

(1)、(2) の式から、誤差は $V_{DET} \times \frac{R_A}{R_{SENSE}}$ となります。

誤差を (1) の式の右辺で割った誤差率は、下式のようにになります。

$$\frac{R_A \times R_B}{R_{SENSE} \times (R_A + R_B)} \times 100 [\%] = \frac{R_A \parallel R_B}{R_{SENSE}} \times 100 [\%] \dots\dots(3)$$

(3) の式から、RAとRBの抵抗値がRSENSEに対して小さいほど、誤差率は小さくなります。

また、外部設定のヒステリシス幅 (VHX) とヒステリシス幅 (VHYS) の関係式は下式のようにになります。これにも、検出電圧と同様にRSENSEによる誤差が生じます。

$$V_{HX} = V_{HYS} \times \left(1 + \frac{R_A}{R_B}\right) \dots\dots\dots(4)$$

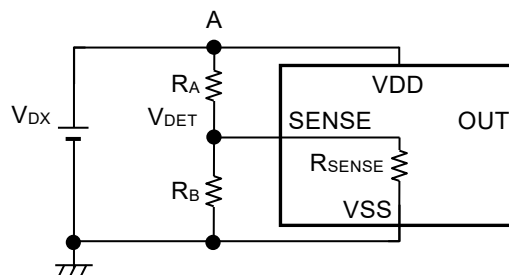


図18 検出電圧外部設定回路

注意 RA、RBが大きいとSENSE端子の入カインピーダンスが高くなり、ノイズによって誤動作する可能性があります。その場合は、SENSE端子 - VSS端子間にコンデンサを接続してください。

3. 遅延回路

遅延回路は、SENSE端子電圧 (V_{SENSE}) が解除電圧 ($V_{REL} = V_{DET} + V_{HYS}$) 以上になってからOUT端子出力が反転するまでの解除遅延時間 (t_{DELAY}) を調整する機能を持っています。

t_{DELAY} は、遅延係数、解除遅延時間調整コンデンサ (C_D)、CD端子オープン時解除遅延時間 (t_{DELAY0}) で決まり、次式で算出されます。

$$t_{DELAY} [\text{ms}] = \text{遅延係数} \times C_D [\text{nF}] + t_{DELAY0} [\text{ms}]$$

表8

動作温度	遅延係数		
	Min.	Typ.	Max.
Ta = +125°C	2.64	2.90	3.24
Ta = +25°C	2.67	3.00	3.18
Ta = -40°C	2.72	3.00	3.34

表9

動作温度	CD端子オープン時解除遅延時間 (t_{DELAY0})		
	Min.	Typ.	Max.
Ta = +125°C	0.05	0.09	0.24
Ta = +25°C	0.05	0.10	0.22
Ta = -40°C	0.06	0.11	0.27

また、マニュアルリセット機能動作時の解除遅延時間 ($t_{DELAYMR}$) は、遅延係数、解除遅延時間調整コンデンサ (C_D)、マニュアルリセット機能動作時のCD端子オープン時解除遅延時間 ($t_{DELAYMR0}$) で決まり、次式で算出されます。

$$t_{DELAYMR} [\text{ms}] = \text{遅延係数} \times C_D [\text{nF}] + t_{DELAYMR0} [\text{ms}]$$

表10

動作温度	マニュアルリセット機能動作時の CD端子オープン時解除遅延時間 ($t_{DELAYMR0}$)		
	Min.	Typ.	Max.
Ta = +125°C	0.04	0.19	0.41
Ta = +25°C	0.05	0.26	0.62
Ta = -40°C	0.06	0.35	0.70

- 注意 1. CD端子のインピーダンスは高いので、この端子に外部より電流が流れ込んだり、また流れ出したりしないように実装基板をレイアウトしてください (正確な遅延時間が得られないことがあります)。
2. C_D はコンデンサ自身のリーク電流が内蔵定電流値 (約160 nA) に対して無視できるものを選べば容量に制限はありません。リーク電流があると、遅延時間に誤差が発生します。また、内蔵定電流以上のリーク電流があると検出、解除しなくなります。
3. 上記計算式は、動作を保証するものではありません。 C_D の容量は実際の使用条件において、温度特性を含めた十分な評価を行い決定してください。

4. マニュアルリセット機能

本ICは、強制的に検出状態に切り換えることができるマニュアルリセット機能を備えています。
 本ICは、外部からMR端子に "L" を印加することで、マニュアルリセット機能を動作させることが可能です。

また、マニュアルリセット機能は、MR端子から外部入力信号を受けるとコンパレータの入力電圧を変化させます。
 マニュアルリセット機能により内部回路のコンパレータ入力電圧を変化させ、ディテクタが強制的に検出状態になります。

SENSE端子電圧が解除電圧範囲内を保持した状態でマニュアルリセット機能を用いることにより、OUT端子出力論理信号を監視することで、コンパレータ回路、遅延回路、出力カトランジスタが正常動作していることが確認できます。

4.1 MR端子

MR端子入力電圧 (V_{MR}) によって、OUT端子電圧 (V_{OUT}) が強制的に "L" となります。

マニュアルリセット機能を無効にする場合、MR端子入力電圧 (V_{MR}) を "H" またはオープンにします。MR端子がオープン (フローティング状態) のとき、内部でMR端子抵抗 (R_{MR}) によりVDD端子にプルアップされているため、MR端子はVDDレベルとなります。

また、MR端子に $0.6V \sim V_{DD \text{ min.}} - 0.3V$ の電圧を印加すると消費電流が増加しますので、注意してください。

MR端子は図19の構造になっています。

MR端子を "L" レベルにすると、■ 電気的特性、表7のMR端子抵抗 ($R_{MR} = 2.2 \text{ M}\Omega \text{ typ.}$) とVDD端子電圧 (V_{DD}) に応じた電流がMR端子に流れますので注意してください。

表11

MR端子	内部回路	OUT端子出力論理	消費電流
"H" またはオープン : OFF	通常動作	各状態による*1	I_{SS1}
"L" : ON	強制検出	"L"	$I_{SS1} + V_{DD} / R_{MR}$

*1. 詳細について "4.2 マニュアルリセット動作" を参照してください。

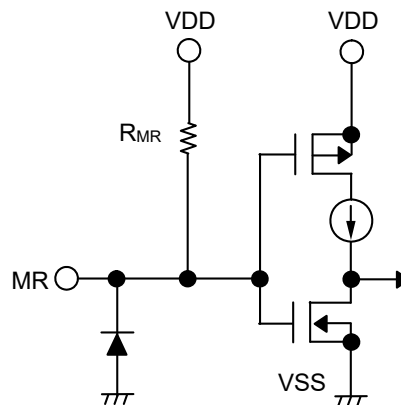


図19

4.2 マニュアルリセット動作

図20にマニュアルリセット機能のタイミングチャートを示します。

SENSE端子電圧 (V_{SENSE}) が解除電圧 (V_{REL}) 以上であるときの、マニュアルリセット機能の動作は下記ようになります。

- (1) MR端子にMR端子入力電圧 "L" (V_{MRL}) 以下の電圧を印加すると、マニュアルリセット機能動作時の検出応答時間 ($t_{RESETMR}$) = 50.0 μ s max.が経過した後、OUT端子の出力は "L" になり、ディテクタが解除状態から検出状態に切り換わります。 V_{MRL} 以下の電圧を必ず50.0 μ s以上印加し続けてください。
- (2) MR端子にMR端子入力電圧 "H" (V_{MRH}) 以上の電圧を印加すると、マニュアルリセット機能動作時の解除遅延時間 ($t_{DELAYMR}$) が経過した後、OUT端子の出力は "H" になり、ディテクタが検出状態から解除状態に切り換わります。 $t_{DELAYMR}$ の間必ず V_{MRH} を維持してください。なお、 $t_{DELAYMR}$ の詳細は、"■ 動作説明"、"3. 遅延回路" を参照してください。

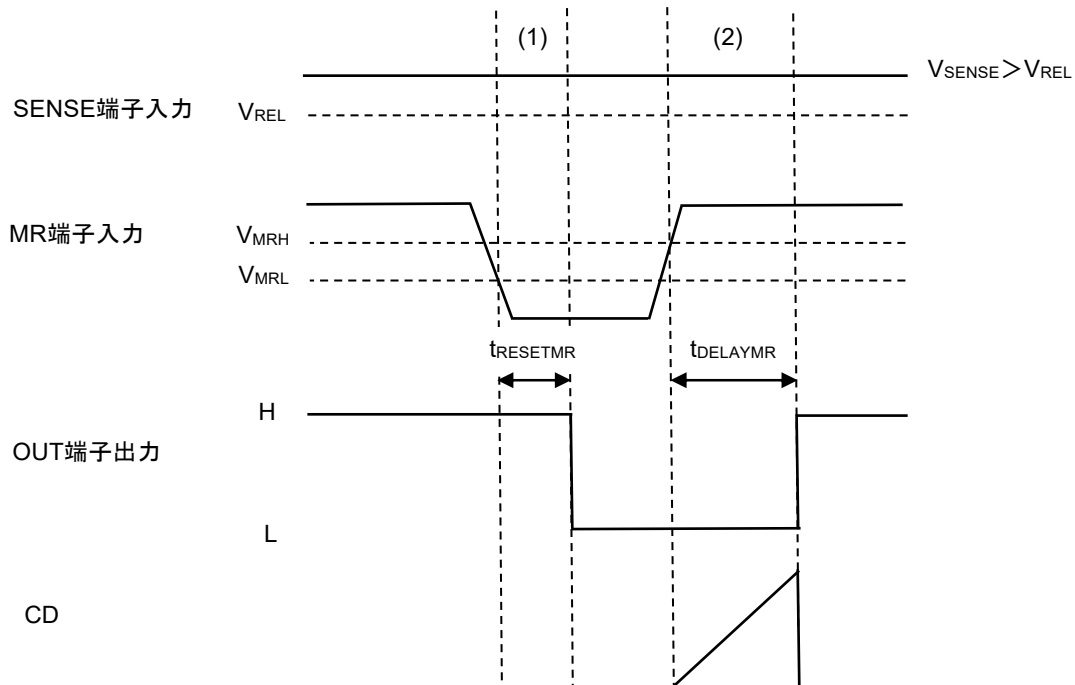


図20

4.3 電源電圧 (V_{DD}) とVDD端子 / SENSE端子間に抵抗 (R_A) を接続する場合

ICのVDD端子とSENSE端子をショートした状態で、MR端子入力電圧 (V_{MR}) が中間電位 (V_{MRL} < V_{MR} < V_{MRH}) のとき、消費電流が35.7 μA max.増加します。この電流がR_Aに流れるため電圧降下が発生します。これによりVDD端子電圧 (V_{IN}) が検出電圧 (V_{DET}) 以下になると、ディテクタが検出状態に切り換わり、電源電圧 (V_{DD}) を上昇させない限り、ディテクタは解除状態に切り換えられなくなることがあります。V_{IN} > V_{MR}の場合、MR端子入力抵抗 (R_{MR}) にも電流が流れます。例えば、V_{IN} = 6 V、V_{MR} = 1 V、R_{MR} = 0.91 MΩ min. のとき、VDD端子からMR端子に5.5 μAの電流が流れます。そのため、R_Aは下記の式を満たすように設定してください。

$$R_A \leq (V_{DD} - (V_{DET})) / (35.7 \mu A + \text{MR端子電流})$$

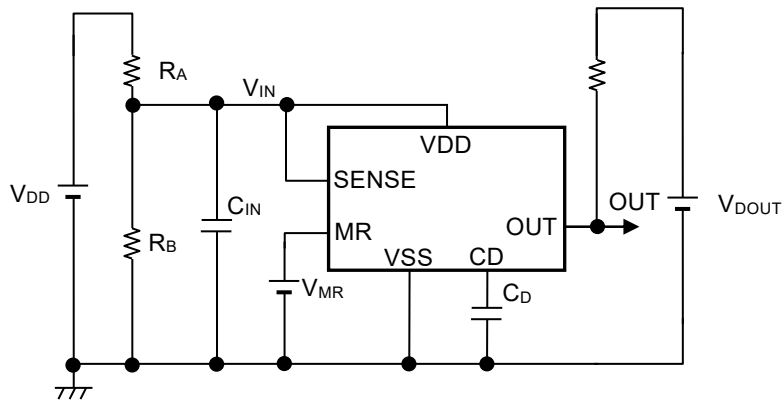


図21

■ 使用上の注意

1. 検出、解除時の貫通電流

本ICでは、検出および解除時に貫通電流が流れます。このため、入力インピーダンスを高くすると、貫通電流による電圧降下によって発振することがあります。

本ICを図22のような構成で使用する場合、入力インピーダンスは1 kΩ以下を推奨します。

実際の使用条件において、温度特性を含めた十分な評価を行い、決定してください。

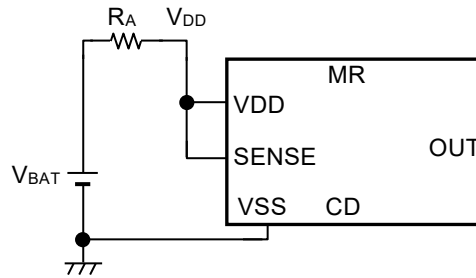


図22

2. 電源投入手順

下記の2種類のいずれかの手順で電源投入してください。

- (1) VDD端子、SENSE端子の順番 (図23参照)
- (2) VDD端子、SENSE端子同時

$V_{SENSE} \geq V_{REL}$ となったとき、出力電圧 (V_{OUT}) が "H" となり、ディテクタは解除状態になります。

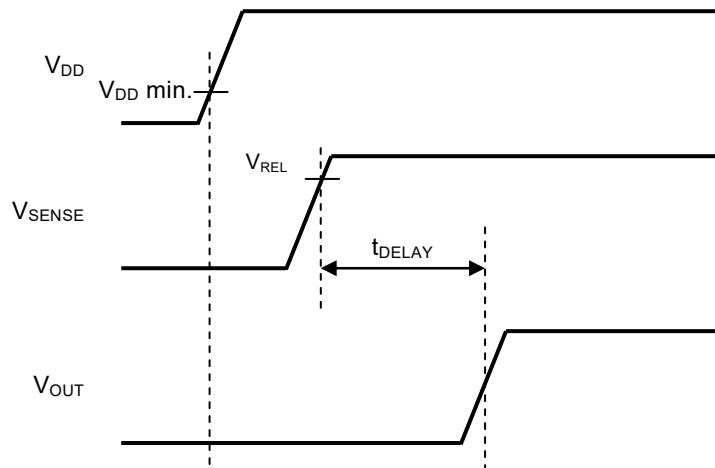


図23

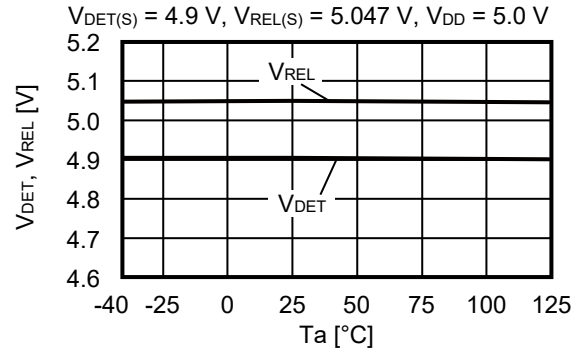
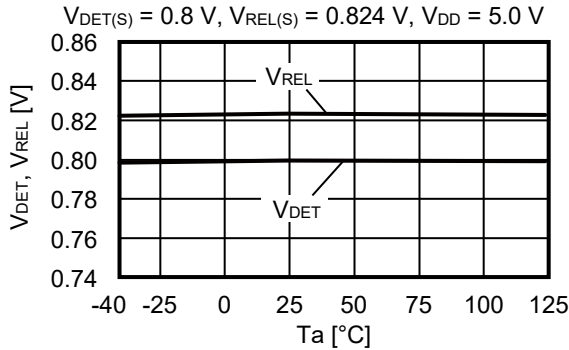
注意 SENSE端子、VDD端子の順番に電源投入した場合、 $V_{SENSE} < V_{REL}$ であっても、誤って解除状態になることがあります。

■ 注意事項

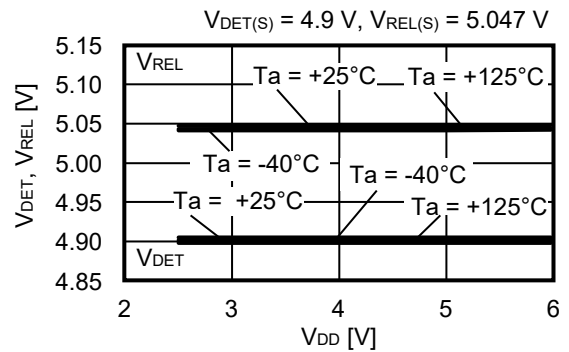
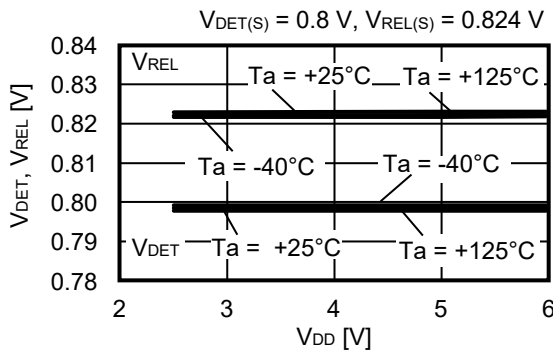
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ SENSE端子はインピーダンスが高いため、ノイズによって誤動作することがあります。実際のアプリケーションでは、SENSE端子の配線と併走する配線に注意してください。
- ・ マニュアルリセット機能を使用する際、MR端子入力電圧 "L" (V_{MRL}) は50.0 μ s以上保持するようにしてください。 V_{MRL} の保持時間が50.0 μ sより短いと内部の論理が確定されず、誤動作することがありますので注意してください。
- ・ 本資料に掲載の応用回路を量産設計に用いる場合は、部品の偏差、温度特性に注意してください。また、掲載回路に関する特許については、弊社ではその責を負いかねます。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

■ 諸特性データ (Typicalデータ)

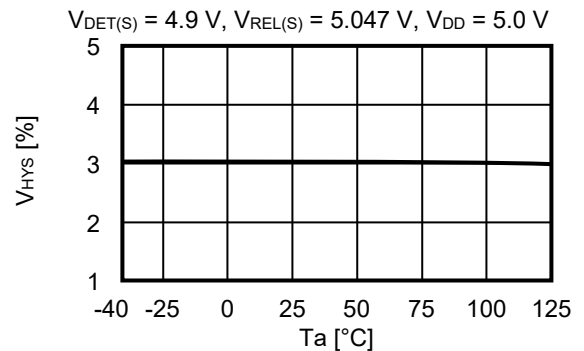
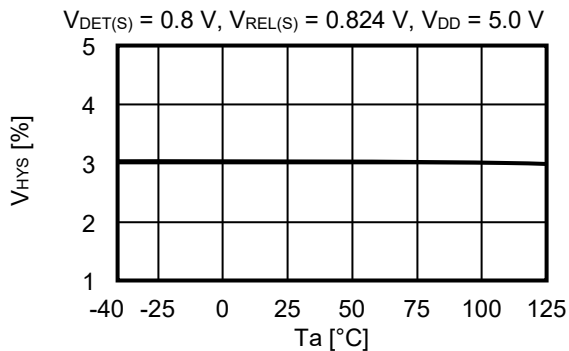
1. 検出電圧 (V_{DET}), 解除電圧 (V_{REL}) – 温度 (T_a)



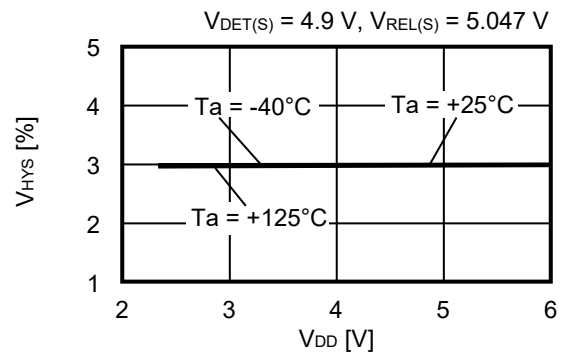
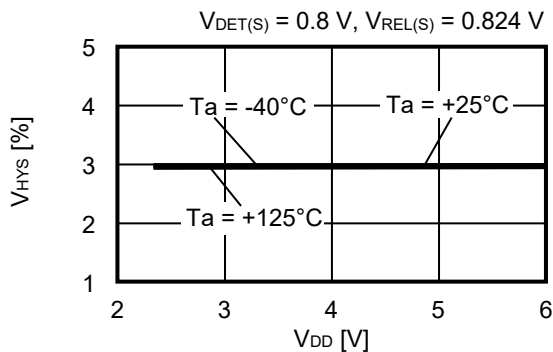
2. 検出電圧 (V_{DET}), 解除電圧 (V_{REL}) – 電源電圧 (V_{DD})



3. ヒステリシス幅 (V_{HYS}) – 温度 (T_a)

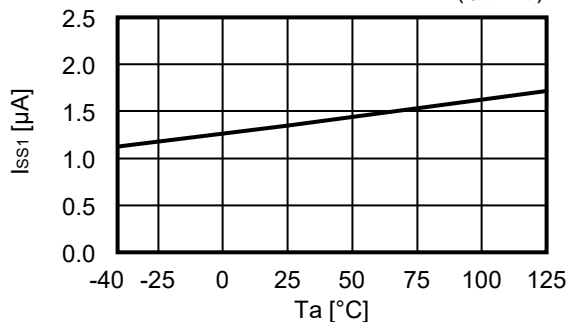


4. ヒステリシス幅 (V_{HYS}) – 電源電圧 (V_{DD})

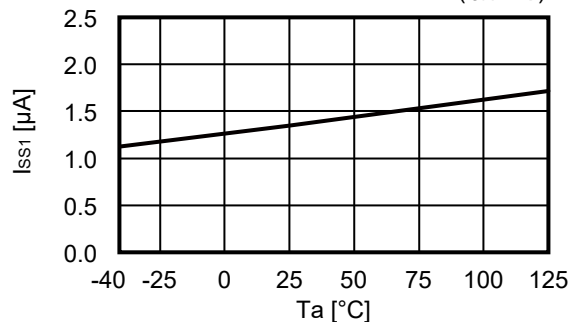


5. 消費電流 (I_{SS1}) – 温度 (Ta)

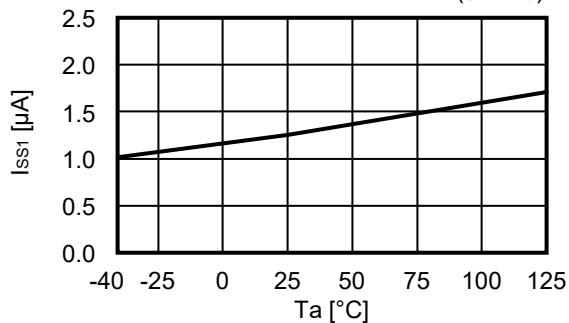
V_{DET(S)} = 0.8 V, V_{DD} = 5.0 V,
 V_{SENSE} = 1.8 V, V_{MR} = V_{DD}
 (解除時)



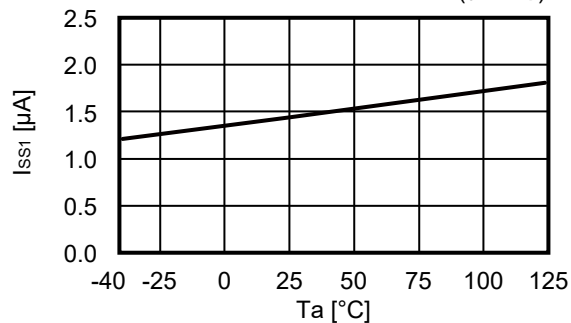
V_{DET(S)} = 4.9 V, V_{DD} = 5.0 V,
 V_{SENSE} = 5.9 V, V_{MR} = V_{DD}
 (解除時)



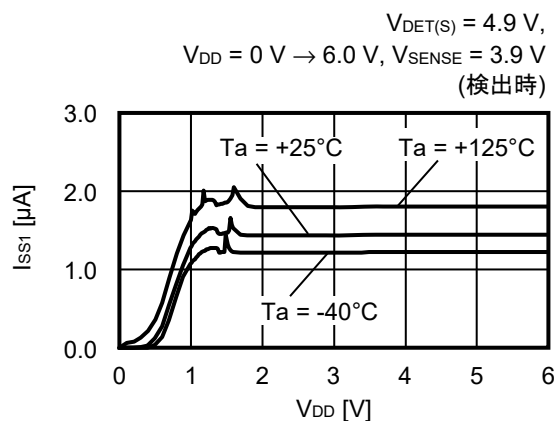
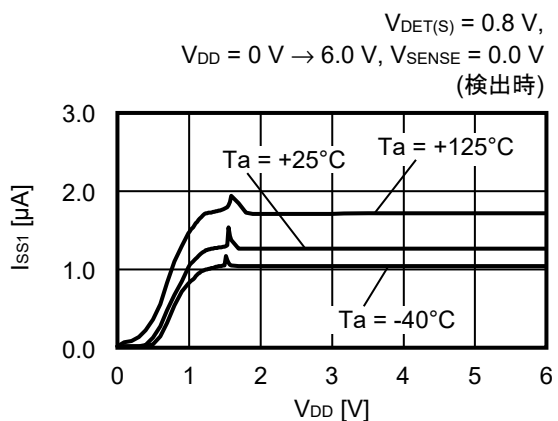
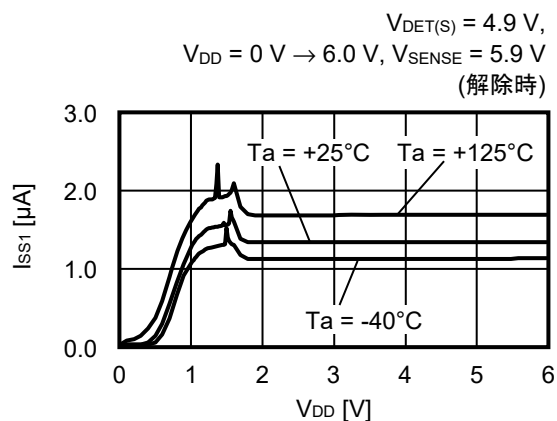
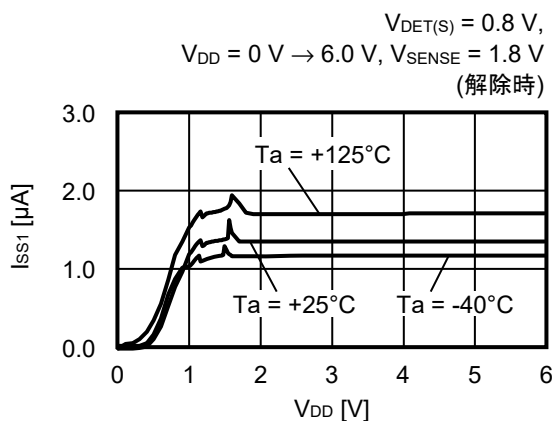
V_{DET(S)} = 0.8 V, V_{DD} = 5.0 V,
 V_{SENSE} = 0.0 V, V_{MR} = V_{DD}
 (検出時)



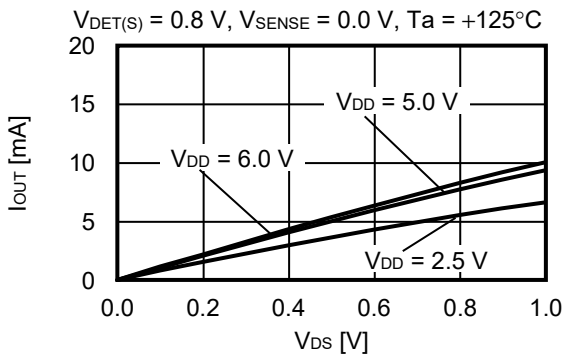
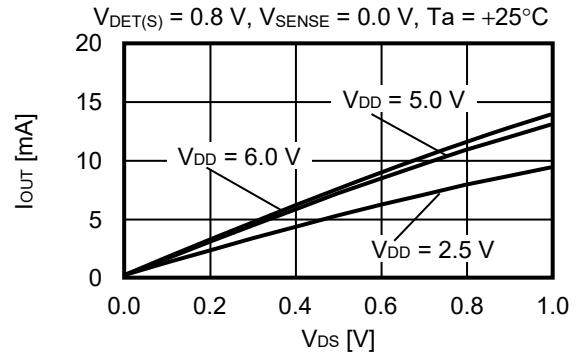
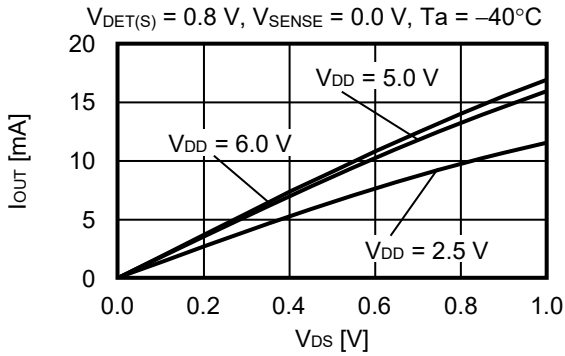
V_{DET(S)} = 4.9 V, V_{DD} = 5.0 V,
 V_{SENSE} = 3.9 V, V_{MR} = V_{DD}
 (検出時)



6. 消費電流 (I_{SS1}) – 電源電圧 (V_{DD})

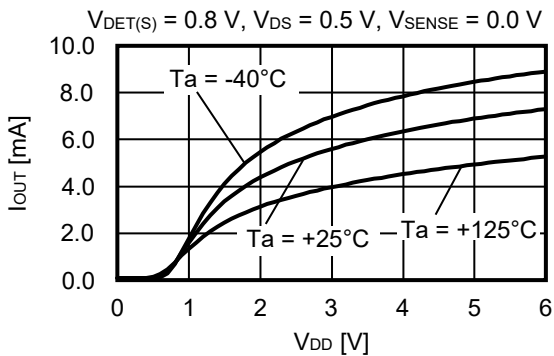


7. Nchトランジスタ出力電流 (I_{OUT}) – V_{DS}



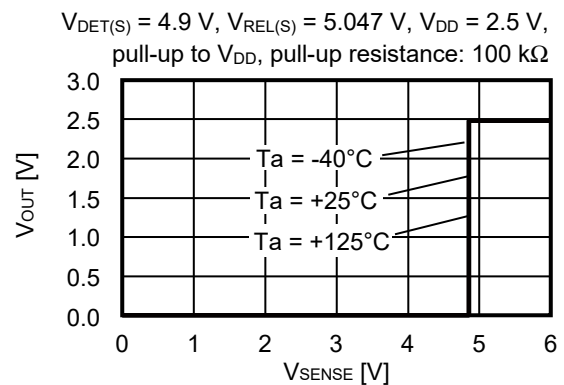
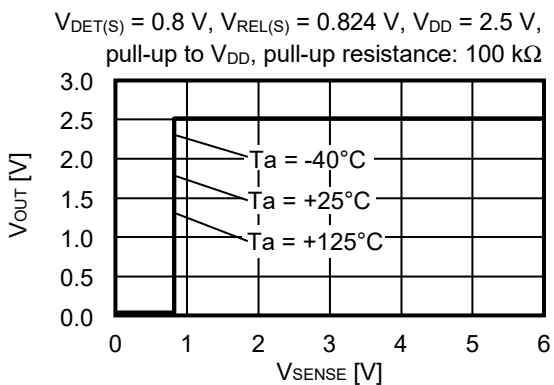
備考 V_{DS} : 出力トランジスタのドレイン – ソース間電圧

8. Nchトランジスタ出力電流 (I_{OUT}) – 電源電圧 (V_{DD})



備考 V_{DS} : 出力トランジスタのドレイン – ソース間電圧

9. 出力電圧 (V_{OUT}) – SENSE端子電圧 (V_{SENSE})



10. ダイナミック応答特性 – 出力端子容量 (C_{OUT}) (C_D = 0.33 nF)

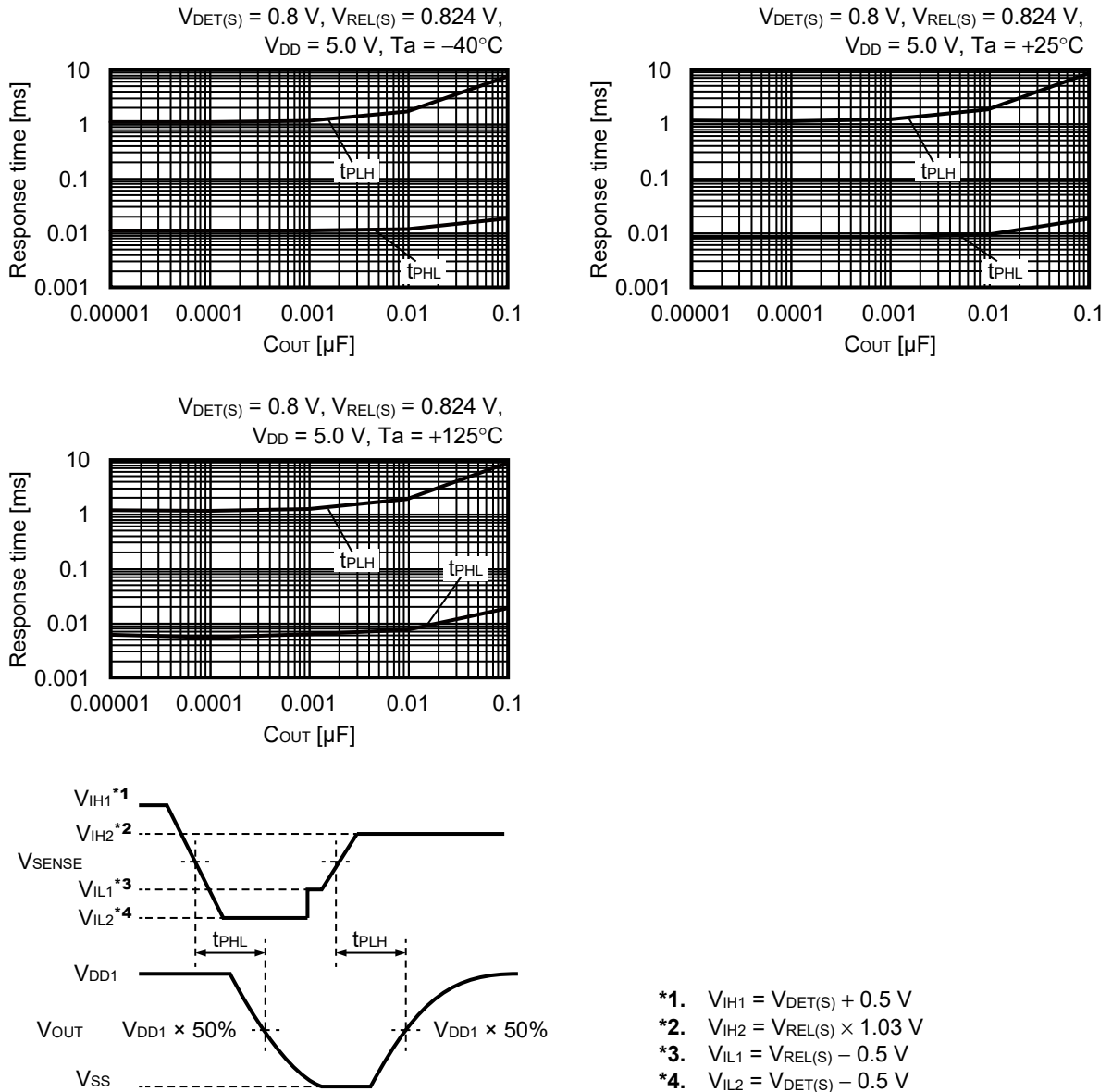


図24 応答時間の測定条件

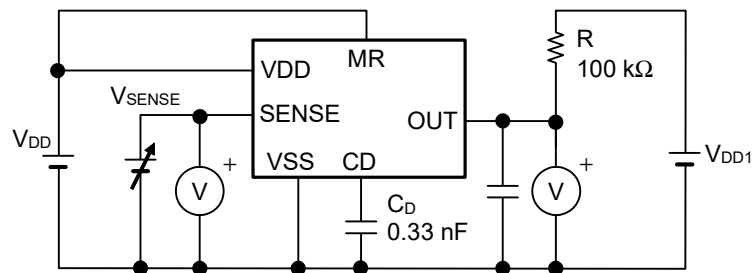
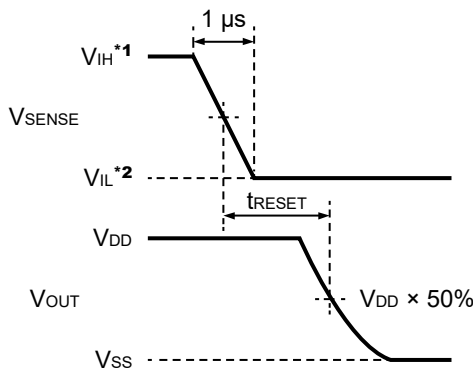
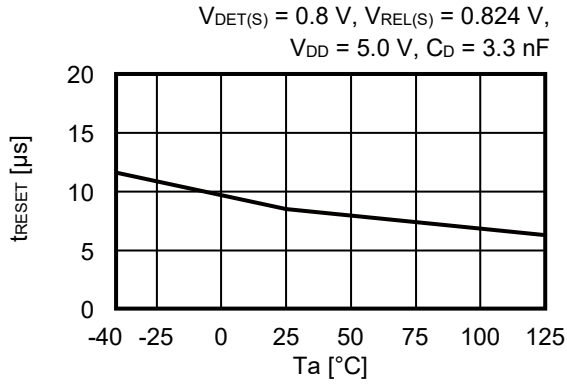


図25 応答時間の測定回路

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで温度特性を含めた十分な評価を行い、定数を設定してください。

■ 参考データ

1. 検出応答時間 (t_{RESET}) – 温度 (T_a)



- *1. $V_{IH} = V_{DET(S)} + 0.5\text{ V}$
- *2. $V_{IL} = V_{DET(S)} - 0.5\text{ V}$

図26 検出応答時間の測定条件

2. 検出応答時間 (t_{RESET}) – 電源電圧 (V_{DD})

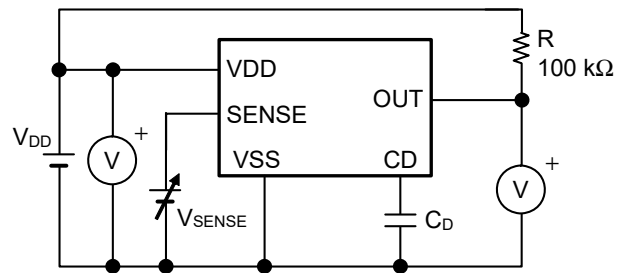
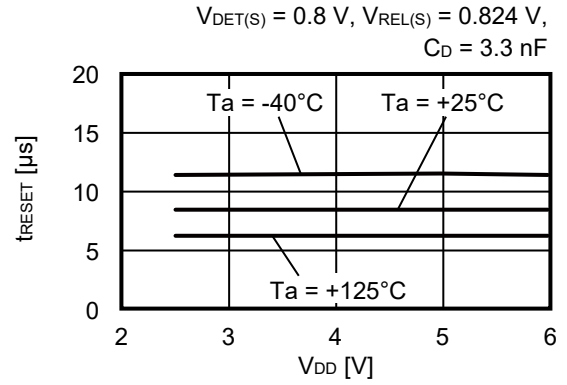
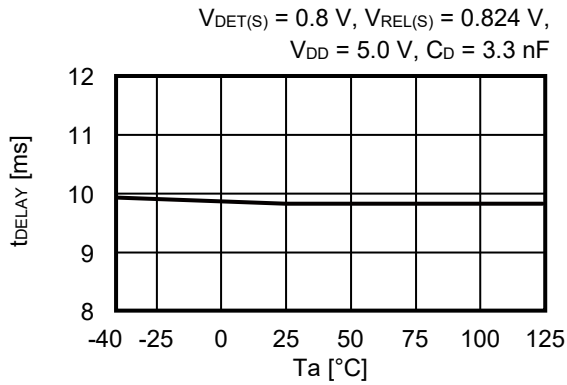


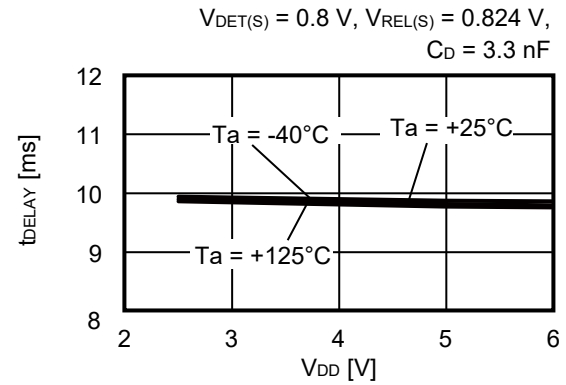
図27 検出応答時間の測定回路

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで温度特性を含めた十分な評価を行い、定数を設定してください。

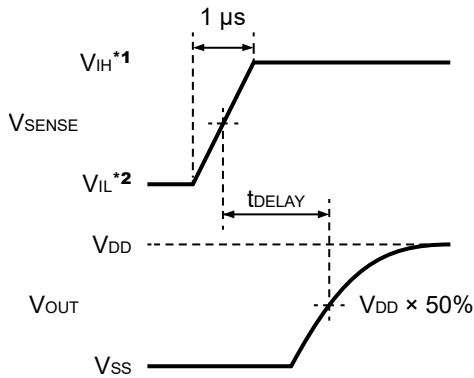
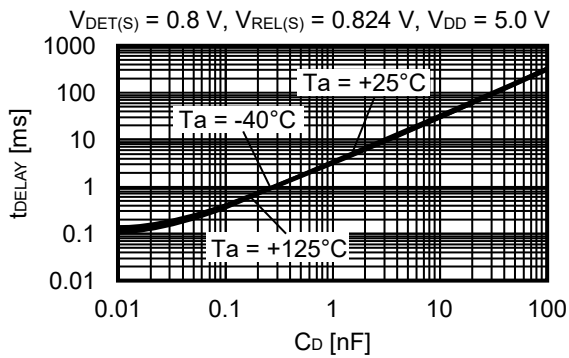
3. 解除遅延時間 (t_{DELAY}) – 温度 (T_a)



4. 解除遅延時間 (t_{DELAY}) – 電源電圧 (V_{DD})



5. 解除遅延時間 (t_{DELAY}) – C_D 端子容量 (C_D) (出力端子容量なし)



- *1. $V_{IH} = V_{REL(S)} \times 1.03\text{ V}$
- *2. $V_{IL} = V_{REL(S)} - 0.5\text{ V}$

図28 解除遅延時間の測定条件

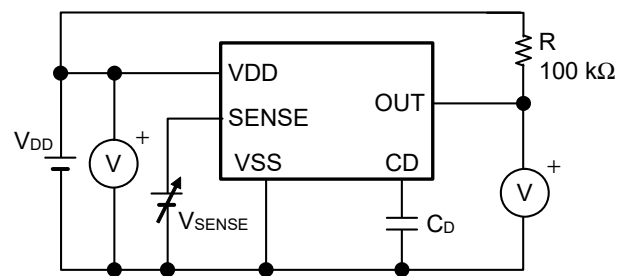
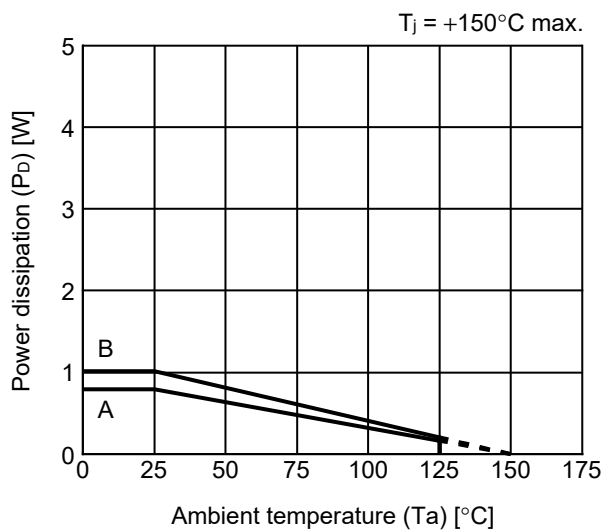


図29 解除遅延時間の測定回路

注意 上記接続図および定数は、動作を保証するものではありません。実際のアプリケーションで温度特性を含めた十分な評価を行い、定数を設定してください。

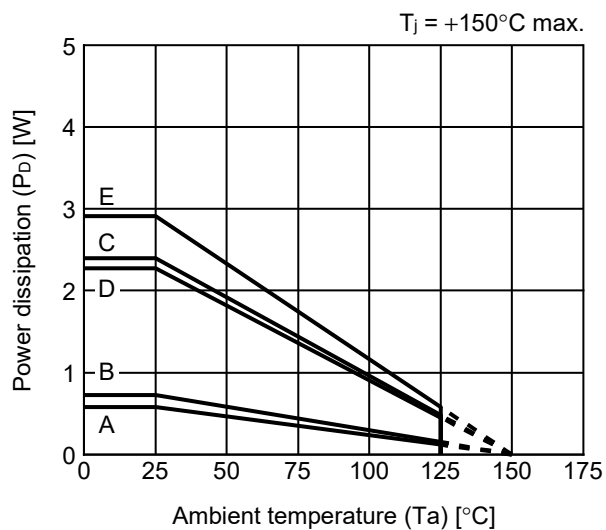
■ Power Dissipation

SOT-23-6



Board	Power Dissipation (Pd)
A	0.79 W
B	1.01 W
C	-
D	-
E	-

HSNT-8(1616)B



Board	Power Dissipation (Pd)
A	0.58 W
B	0.73 W
C	2.40 W
D	2.27 W
E	2.91 W

SOT-23-3/3S/5/6 Test Board

 IC Mount Area

(1) Board A



Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	2	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via	-	

(2) Board B



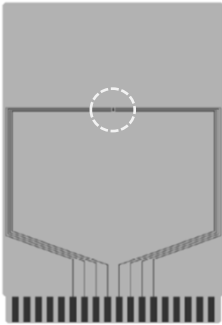
Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	-	

No. SOT23x-A-Board-SD-2.0

HSNT-8(1616)B Test Board

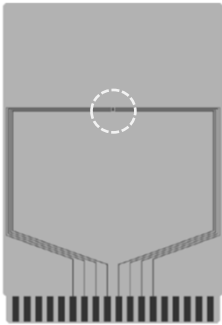


(1) Board A



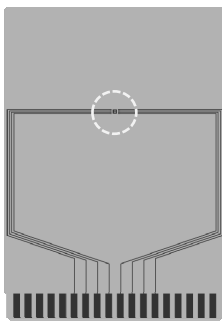
Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		2
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via		-

(2) Board B



Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-

(3) Board C



Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		Number: 4 Diameter: 0.3 mm



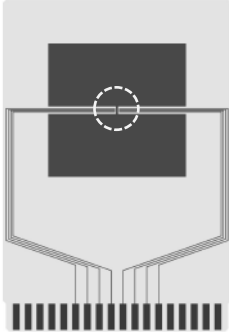
enlarged view

No. HSNT8-C-Board-SD-1.0

HSNT-8(1616)B Test Board



(4) Board D

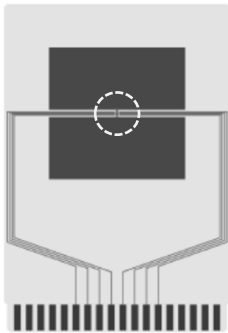


Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Pattern for heat radiation: 2000mm ² t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	-	



enlarged view

(5) Board E

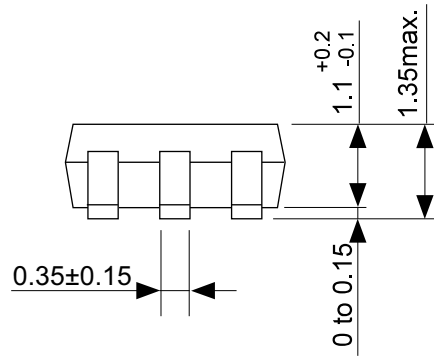
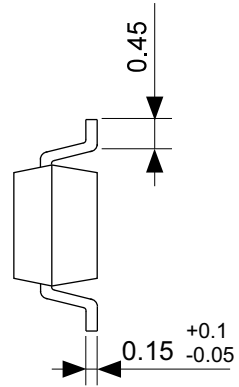
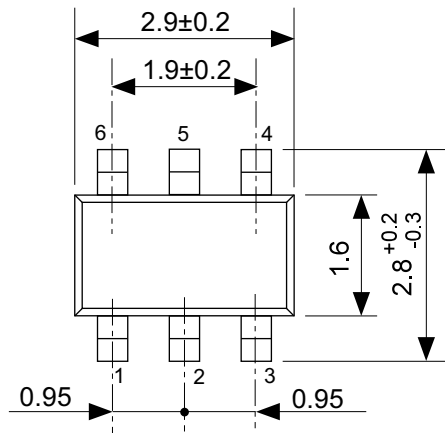


Item	Specification	
Size [mm]	114.3 x 76.2 x t1.6	
Material	FR-4	
Number of copper foil layer	4	
Copper foil layer [mm]	1	Pattern for heat radiation: 2000mm ² t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via	Number: 4 Diameter: 0.3 mm	



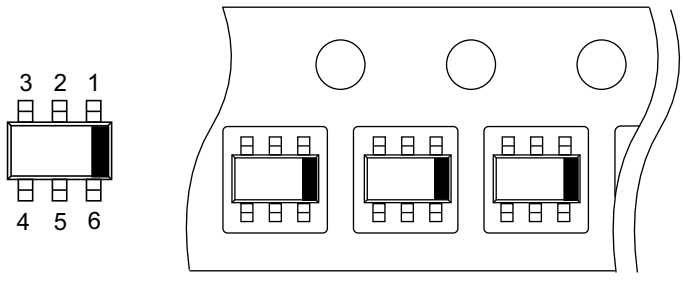
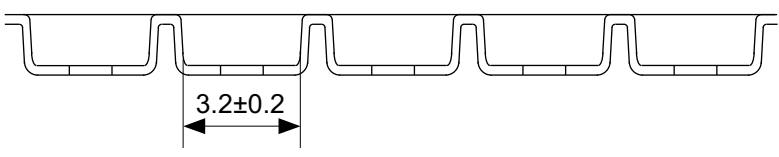
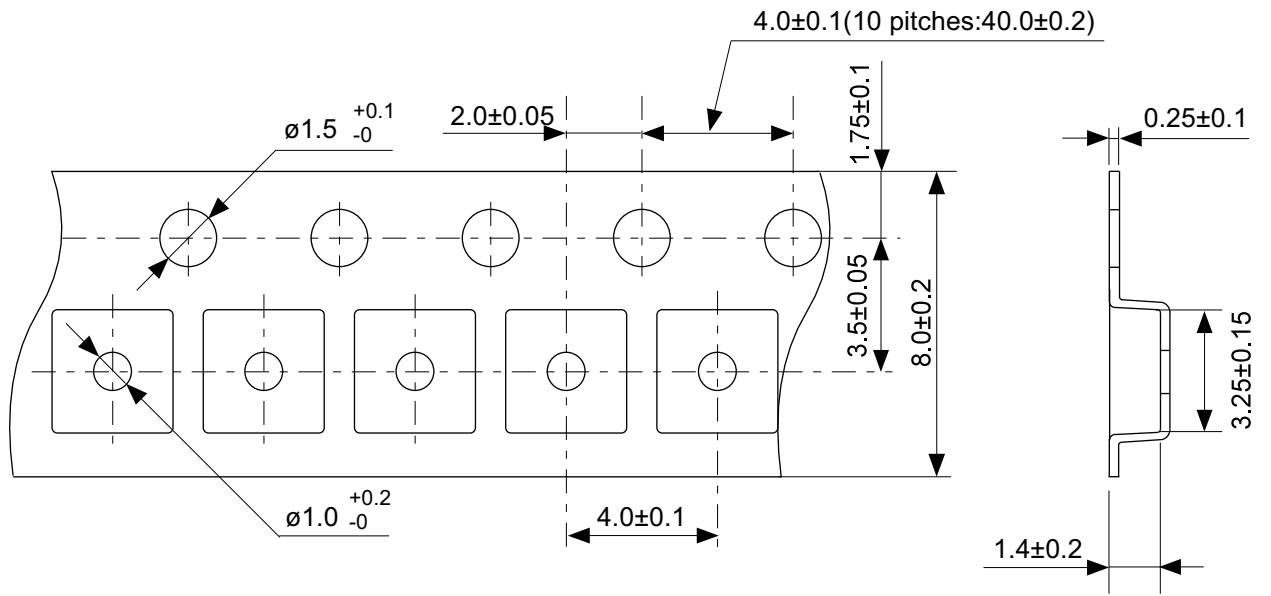
enlarged view

No. HSNT8-C-Board-SD-1.0



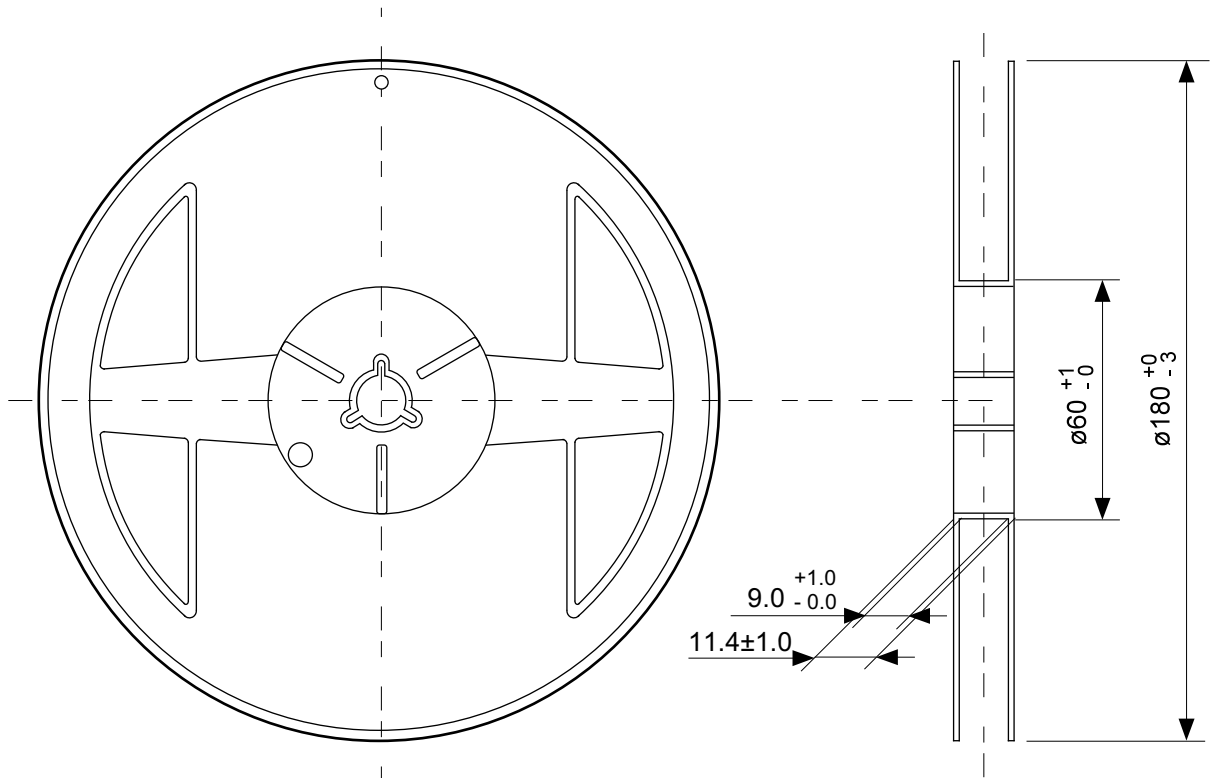
No. MP006-A-P-SD-2.1

TITLE	SOT236-A-PKG Dimensions
No.	MP006-A-P-SD-2.1
ANGLE	
UNIT	mm
ABLIC Inc.	

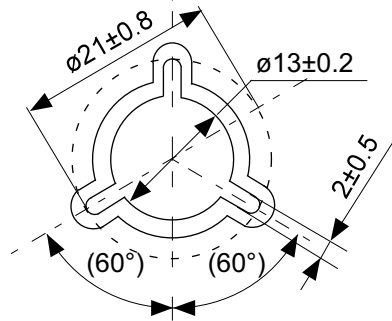


No. MP006-A-C-SD-3.1

TITLE	SOT236-A-Carrier Tape
No.	MP006-A-C-SD-3.1
ANGLE	
UNIT	mm
ABLIC Inc.	

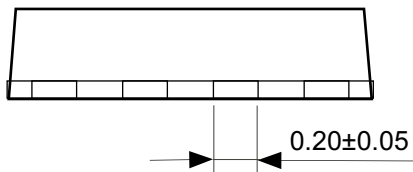
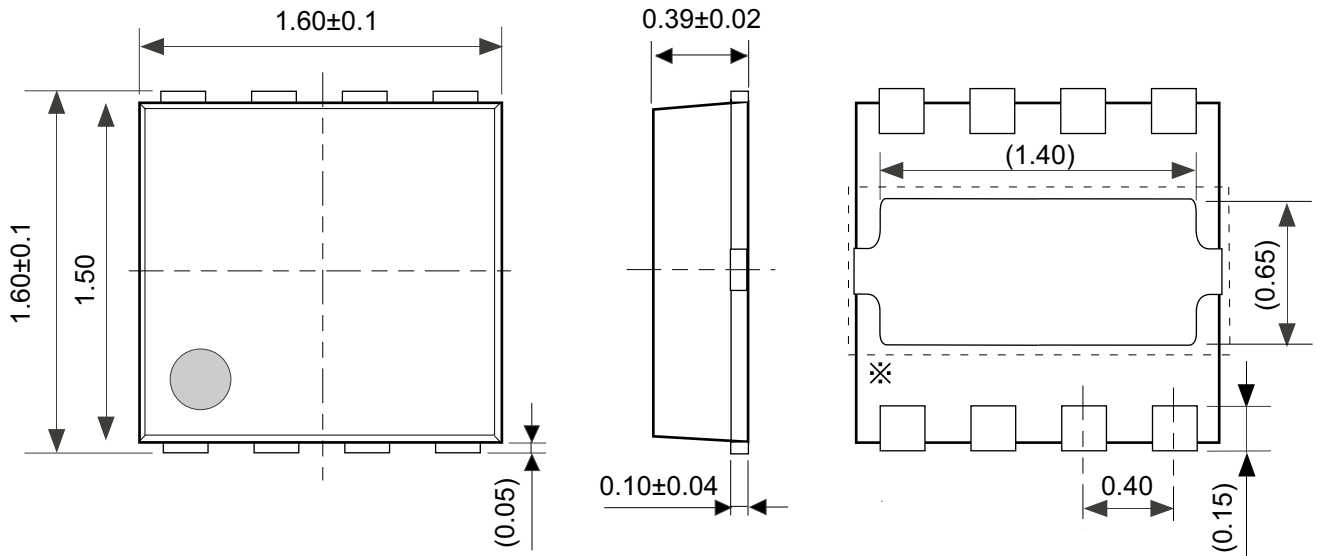


Enlarged drawing in the central part



No. MP006-A-R-SD-3.0

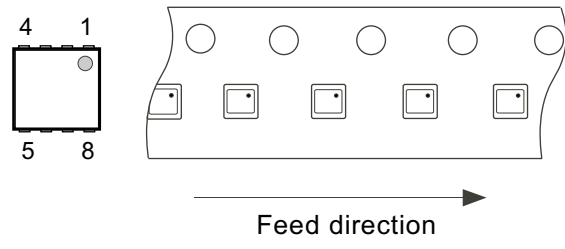
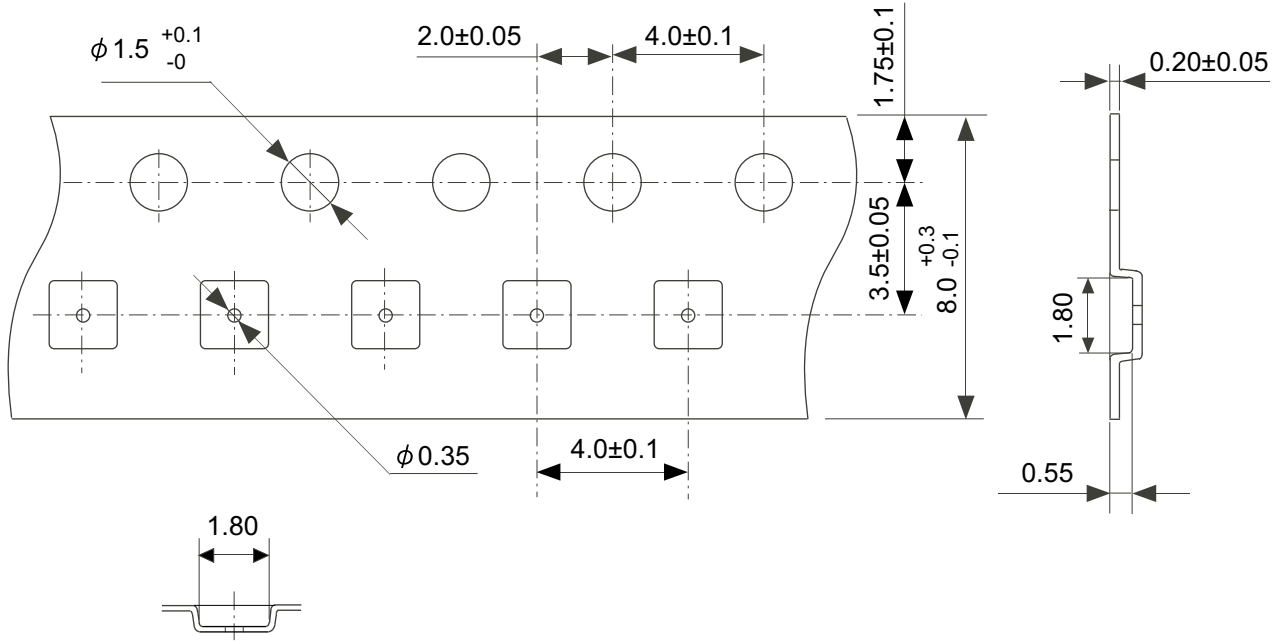
TITLE	SOT236-A-Reel		
No.	MP006-A-R-SD-3.0		
ANGLE		QTY	3,000
UNIT	mm		
ABLIC Inc.			



※ The heat sink of back side has different electric potential depending on the product. Confirm specifications of each product. Do not use it as the function of electrode.

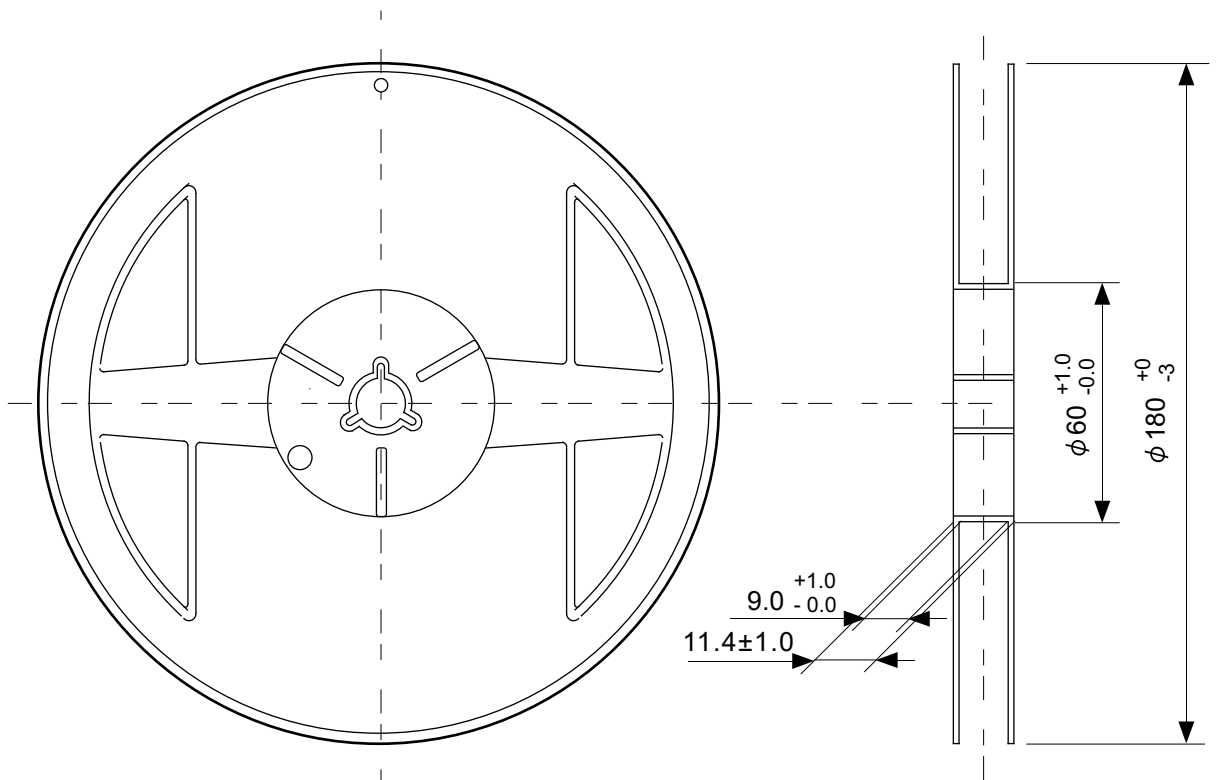
No. PY008-B-P-SD-1.0

TITLE	HSNT-8-C-PKG Dimensions
No.	PY008-B-P-SD-1.0
ANGLE	
UNIT	mm
ABLIC Inc.	

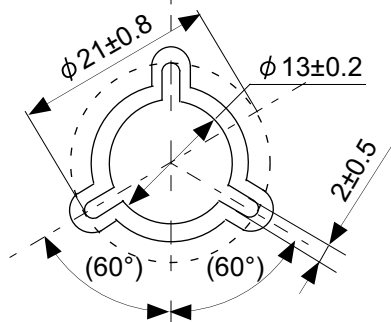


No. PY008-B-C-SD-1.0

TITLE	HSNT-8-C-Carrier Tape
No.	PY008-B-C-SD-1.0
ANGLE	
UNIT	mm
ABLIC Inc.	



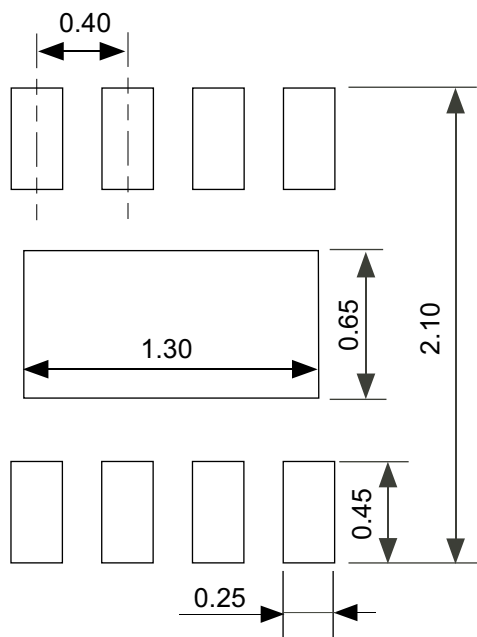
Enlarged drawing in the central part



No. PY008-B-R-SD-1.0

TITLE	HSNT-8-C-Reel		
No.	PY008-B-R-SD-1.0		
ANGLE		QTY.	5,000
UNIT	mm		
ABLIC Inc.			

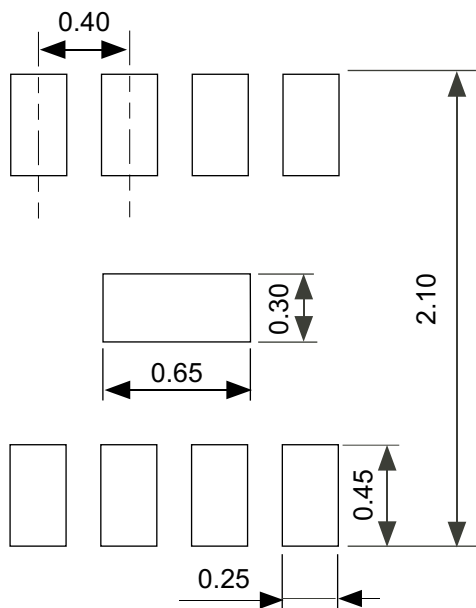
Land Pattern



Caution It is recommended to solder the heat sink to a board in order to ensure the heat radiation.

注意 放熱性を確保する為に、PKGの裏面放熱板(ヒートシンク)を基板に半田付けする事を推奨いたします。

Metal Mask Pattern



Caution ① Mask aperture ratio of the lead mounting part is 100%.
 ② Mask aperture ratio of the heat sink mounting part is 20%.
 ③ Mask thickness: t0.10 mm

注意 ①リード実装部のマスク開口率は100%です。
 ②放熱板実装のマスク開口率は20%です。
 ③マスク厚み : t0.10 mm

No. PY008-B-L-SD-1.0

TITLE	HSNT-8-C -Land Recommendation
No.	PY008-B-L-SD-1.0
ANGLE	
UNIT	mm
ABLIC Inc.	

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com