



CMOS IC应用手册

降压型DC-DC控制器的抑噪措施

Rev.2.0_00

© ABLIC Inc., 2017-2021

本应用手册是记载将降压型DC-DC控制器 (FET内置型) 产生的噪音控制为最小的基板布局的参考资料。
有关各产品的详情和规格, 请确认数据表。

目 录

1. 发生噪声的机制	3
1.1 由电感器 (L) 产生的噪声	3
1.2 开关电源噪声	3
2. 开关工作时电流路径上的寄生电感和抑噪措施	4
2.1 连续 (稳态) 电流流经的路径	4
2.2 断续电流流经的路径	5
3. 振铃	6
3.1 SW端子产生振铃的原因	6
3.2 高侧端功率MOS FET (M ₁) 和低侧端功率MOS FET (M ₂) 的工作.....	6
3.3 导通M ₁ 时产生的振铃	7
3.4 切断M ₁ 时产生的振铃	7
3.5 寄生电感对基板布局的影响和SW端子的振铃	8
4. 基板布局的抑噪措施	9
4.1 输入电容器 (C _{IN}) 的配置和布局	9
4.2 SW布线的布局、电感器 (L) 的配置和布局	10
4.3 输出电容器 (C _{OUT}) 的配置和布局.....	11
5. 使用无源电压探头测量输出电压 (V_{OUT}) 时的注意事项	12
5.1 使用普通无源电压探头的测量	12
5.2 使用带弹簧接地无源电压探头的测量	12
6. 注意事项	13
7. 相关资料	13

1. 发生噪声的机制

电流流过导体会产生磁场。如果该磁场随着时间产生变化，就会因电磁感应定律而产生电场。如果电流随着时间产生变化，就会因磁场、电场的变化而产生电磁场。该电磁场就是所谓的电波，可能会对周边的电子器械造成不良影响。这类无用的电波会成为噪声。

1.1 由电感器 (L) 产生的噪声

从电流、电压的观点说明由L产生的噪声。

图1是L与电流源 (I) 连接的电路。如图2所示，I发生电流变化 ($\frac{di}{dt}$) 时，L会产生噪声。

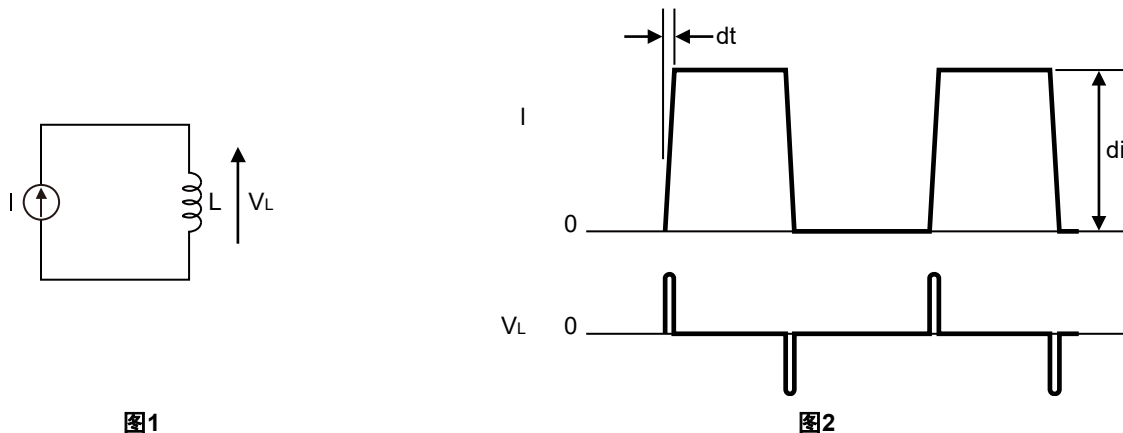
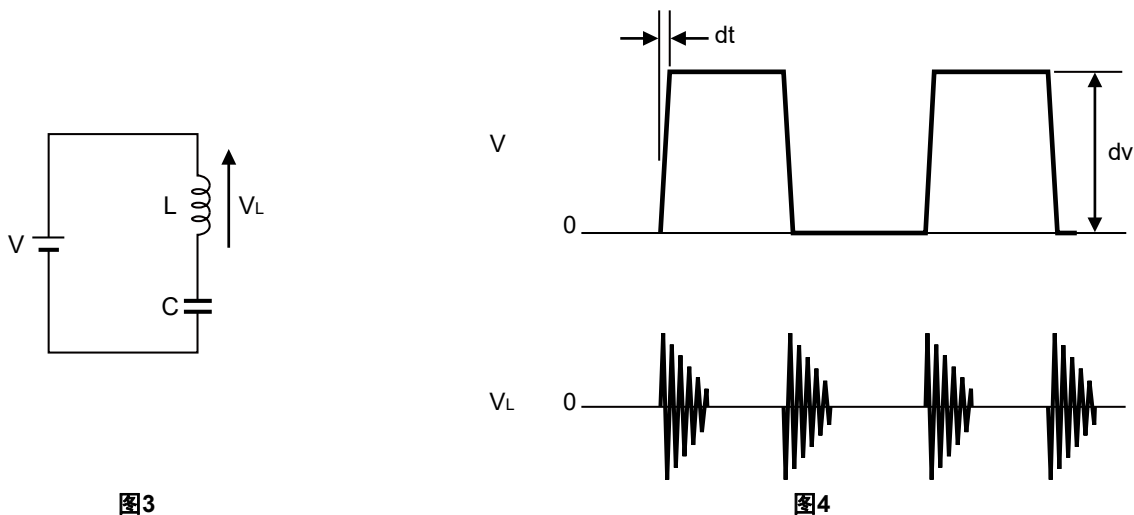


图3是在L和电容器 (C) 的串联电路上连接了电压源 (V) 的电路。如图4所示，当V发生电压变化 ($\frac{dv}{dt}$) 时会发生LC共振，L会产生噪声。如图4的VL所示，对电压阶梯状的变化产生振动响应的噪声称为振铃。



如上所述，如果电流和电压发生变化，L会产生噪声。这些就是多余的噪声。

1.2 开关电源噪声

通过开关元件不断的切断、接通电流，开关电源可提供输出时所需的电力。由此可知，开关电源噪声是由于开关电流流经基板形状等而产生的寄生电感而引起的。

在实际的DC-DC控制器电路中，图1、图3的L是基板形状和IC内部的寄生电感，图3的C是作为开关元件的功率MOS FET的寄生电容。

降压型DC-DC控制器的抑噪措施

2. 开关工作时电流路径上的寄生电感和抑噪措施

图5表示高侧端功率MOS FET (M₁) 导通时的电流路径。L_{p1}、L_{p4}、L_{p6}、L_{p7}表示基板上的寄生电感，L_{p2}、L_{p3}、L_{p5}表示IC内部的寄生电感。

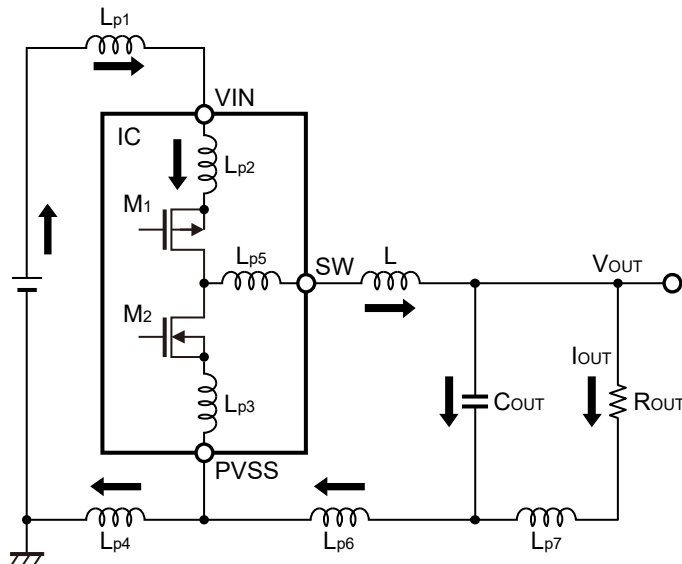


图5

图6表示低侧端功率MOS FET (M₂) 导通时的电流路径。

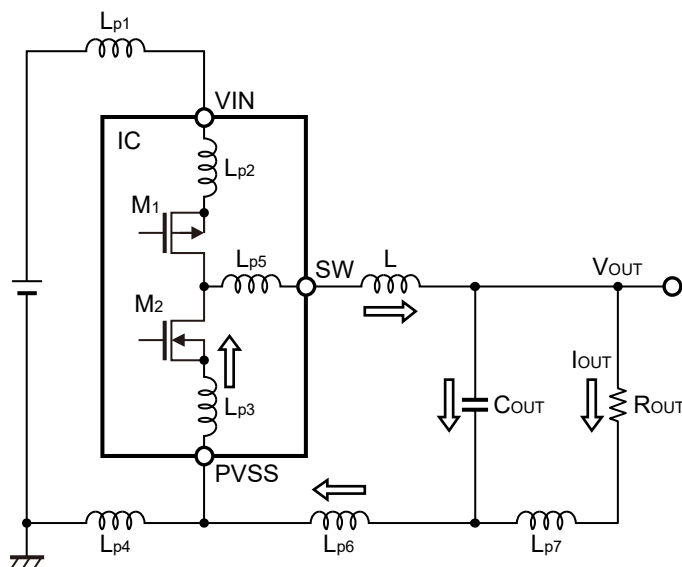


图6

2.1 连续 (稳态) 电流流经的路径

在图5、图6中，如图7所示的连续 (稳态) 电流流经SW端子、电感器 (L)、输出电容器 (C_{OUT})、负载电阻 (R_{OUT})、寄生电感 (L_{p5} ~ L_{p7})。

因为连续 (稳态) 电流流经路径的电流变化 ($\frac{di}{dt}$) 较小，所以L_{p5} ~ L_{p7}产生大噪声的可能性较低。



图7

2.2 断续电流流经的路径

在图5、图6中，电流断断续续地流经 $L_{p1} \sim L_{p4}$ 。

图8表示开关工作时 M_1 和 M_2 电流的流动波形。因为流经 $L_{p1} \sim L_{p4}$ 的电流和 M_1 、 M_2 相同，都属于脉动电流。随着脉动电流流经 $L_{p1} \sim L_{p4}$ ，会产生大噪声 (V_{NOISE})。

V_{NOISE} 通过以下公式求出。

$$V_{NOISE} = L_p \times \frac{di}{dt}$$

例如， $L_p = L_{p1} + L_{p2} + L_{p3} + L_{p4} = 10 \text{ nH}$ 、假设在图8的 t_1 ， t_2 处电流变化 $(\frac{di}{dt}) = 1 \text{ A/2 ns}$ 时，将会发生 $10 \text{ nH} \times 1 \text{ A/2 ns} = 5 \text{ V}$ 的大噪声。结果如图9所示，矩形波的SW端子电压也发生了噪声重叠。想要降低噪声，请减小寄生电感。

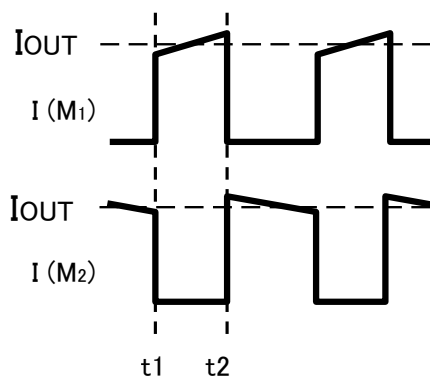


图8

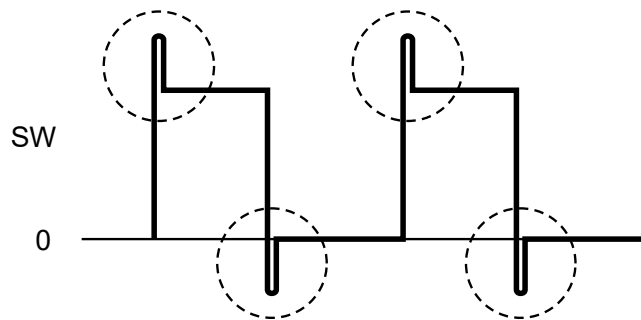


图9

3. 振铃

3.1 SW端子产生振铃的原因

DC-DC控制器如果反复交替的切断、导通M₁和M₂，会引发寄生电感和寄生电容导致的LC共振，SW端子产生振铃。
图10表示存在于M₁和M₂的寄生电容 (C_{p1}、C_{p2}) 和寄生电感 (L_{p1} ~ L_{p7})。

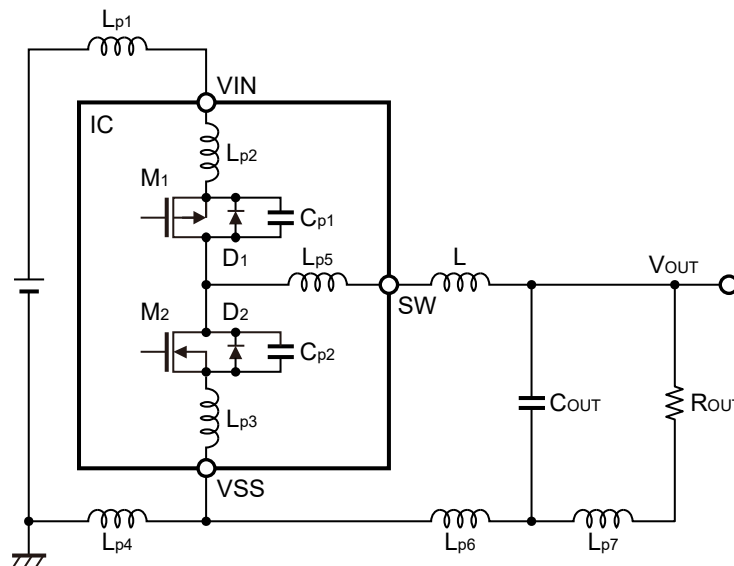
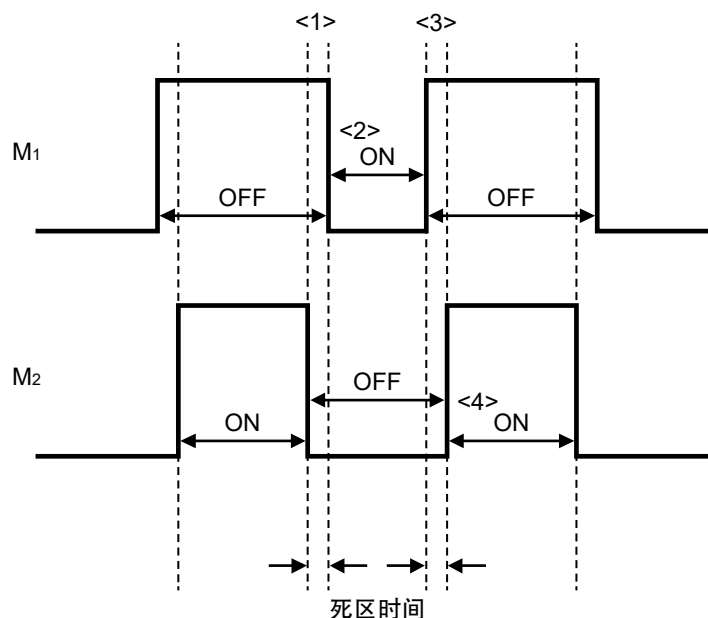


图10

3.2 高侧端功率MOS FET (M₁) 和低侧端功率MOS FET (M₂) 的工作

为了防止贯通电流，电路工作时图10的M₁和M₂不会同时导通。
图11表示M₁和M₂的门端子的电压波形。



- <1> M₁和M₂都切断。此期间称为死区时间。
- <2> 死区时间过后，导通M₁。
- <3> 再次切断M₁和M₂，进入死区时间。
- <4> 死区时间过后，导通M₂。

如上所述，通过设置死区时间，并反复交替的切断、导通M₁和M₂，向负载供电。

图11

3.3 导通M₁时产生的振铃

图12是实测波形，表示导通M₁时的振铃波形。振铃的频率为300 MHz左右。此值等于假设L_p = 5 nH、C_{p2} = 60 pF时的共振频率。

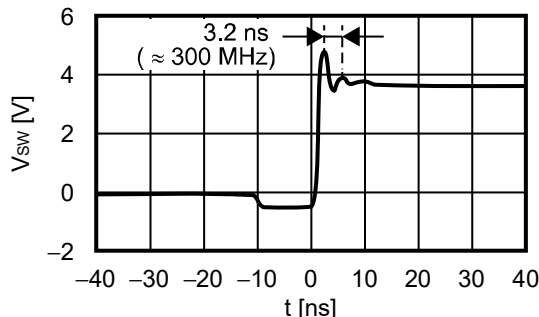


图12

在图12中，M₂为导通状态，SW端子电压 (V_{sw}) 在0 V附近。当切断M₂时，如图11的<1>所示，存在死区时间。向负载供电时，在死区时间内，电流通过M₂的寄生二极管 (D₂)，从VSS端子向SW端子方向流入电感器 (L)。因此，由于D₂的正向电压，V_{sw}稍许低于0 V。之后导通M₁，V_{sw}会急剧上升到电源电压附近 ($\frac{dv}{dt}$)，寄生电感 (L_{p1} ~ L_{p4})、寄生电容 (C_{p2}) 发生LC共振，产生振铃。振铃的频率是L_{p1} ~ L_{p4}和C_{p2}的共振频率。此后，由于M₁为导通状态，V_{sw}也将电源电压附近。

3.4 切断M₁时产生的振铃

图13也是实测波形，表示切断M₁时的振铃波形。

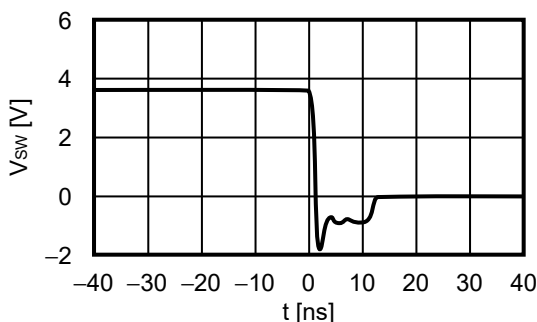


图13

在图13中，M₁为导通状态，V_{sw}在电源电压附近。M₁关断时，如图11的<3>所示，存在死区时间。向负载供电时，在死区时间内，电流通过M₂的D₂，从VSS端子向SW端子方向流入L。此时，V_{sw}在电源电压附近急剧下降 ($\frac{dv}{dt}$)，L_{p1} ~ L_{p4}、C_{p1}发生LC共振，产生振铃。振铃的频率是L_{p1} ~ L_{p4}和C_{p1}的共振频率。在死区时间内，电流通过M₂的D₂，从VSS端子向SW端子方向流入L，由于D₂的正向电压，V_{sw}稍许低于0 V。此后导通M₂，V_{sw}将返回0 V附近。

降压型DC-DC控制器的抑噪措施

3.5 寄生电感对基板布局的影响和SW端子的振铃

降压DC-DC控制器的特性会受到因基板形状而产生寄生电感的影响。所以，基板布局设计时，需要确保基板形状的寄生电感不会影响降压DC-DC控制器电路的特性。基板布局的良好示例和不良示例如下所示。

在图14中，陶瓷电容器 (C_{IN} 、 C_{INa}) 配置在电源IC附近，所以 C_{IN} 、 C_{INa} 和电源IC之间几乎不存在寄生电感。因为开关工作时，可以抑制 L_{p1} 、 L_{p4} 产生的噪声，如图16所示，SW端子的振铃变小。

与之相反，在图15中，距离电源IC较远处配置 C_{IN} 、 C_{INa} 。 C_{IN} 、 C_{INa} 和VIN端子间存在 L_{p1} ，VSS的反馈路径较长，还存在 L_{p4} 。因此，开关工作时产生的噪声变大，如图17所示，SW端子的振铃变大。

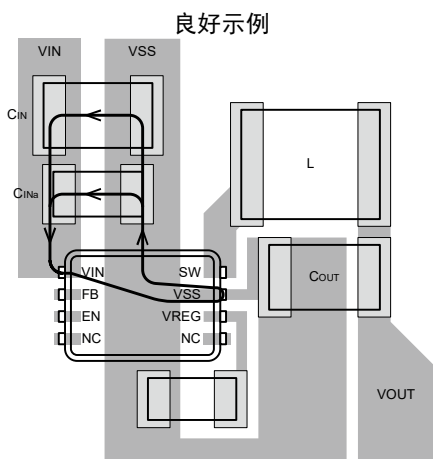


图14

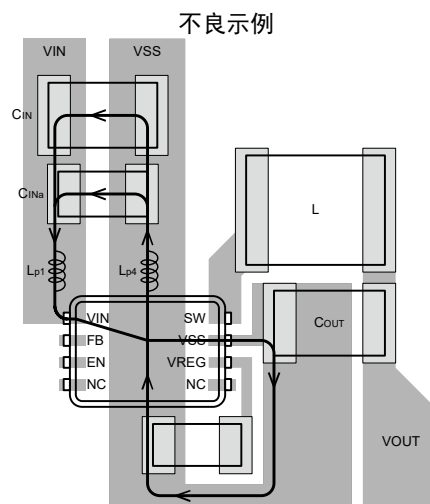


图15

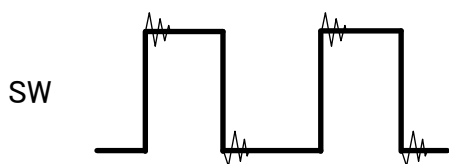


图16

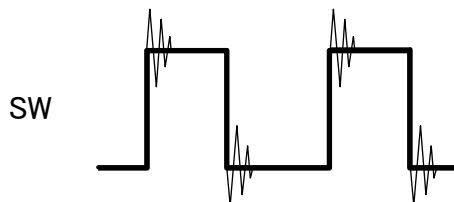


图17

4. 基板布局的抑噪措施

针对降压DC-DC控制器，抑噪措施至关重要。如果不采取抑噪措施，可能会对周边的电路造成不良影响。承担抑噪工作的是输入电容器。在基板布局时，输入电容器的配置以及VIN、VSS的布线是最重要。输入电容器请最优先靠近IC配置在同一表面层。C_{IN}是稳定IC的工作与抑制噪声所必备的电容器。C_{INa}是并联于C_{IN}的0.1 μF左右的电容器，可以抑噪10 MHz以上。根据需要请追加抑噪用电容器。

4.1 输入电容器 (C_{IN}) 的配置和布局

图18是把陶瓷电容器 (C_{IN} = 10 μF、C_{INa} = 0.1 μF) 并列配置在靠近VIN端子和VSS端子的示例。C_{INa}请务必选择小于C_{IN}的电容。与C_{IN} = 10 μF相比，请把阻抗低的C_{INa} = 0.1 μF配置在靠近VIN端子和VSS端子。通过这样的电容器组合，可以降低高频领域的阻抗，抑制开关工作时的噪声，减小振铃。

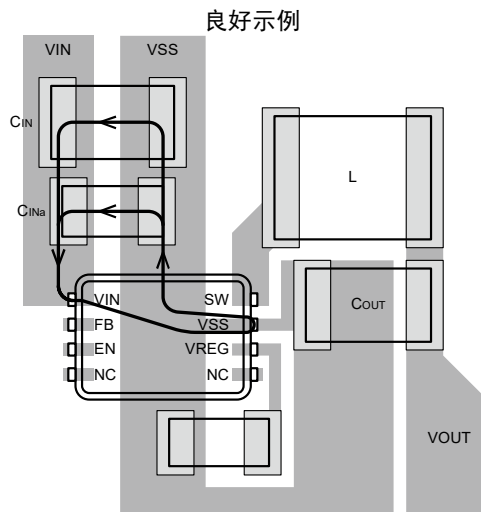


图18

图19表示C_{IN}阻抗的频率特性。可见C_{IN} = 10 μF的阻抗最小时在2 MHz附近。

图20表示C_{INa}阻抗的频率特性。可见C_{INa} = 0.1 μF的阻抗最小时在22 MHz附近。

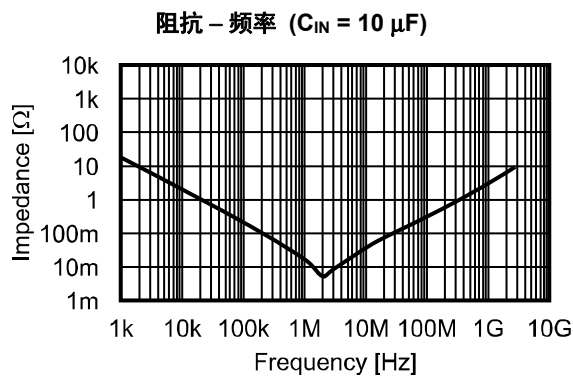


图19

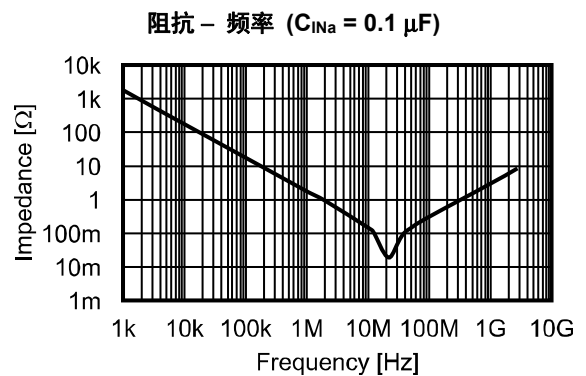


图20

降压型DC-DC控制器的抑噪措施

4.2 SW布线的布局、电感器 (L) 的配置和布局

由于噪声是电磁波，会在空间传播。为了使在空间中传播的噪声即放射噪声最小化，请尽量缩短SW端子 - L间的距离，在电流容量的容许范围内请缩小布局的布线宽度。

从SW端子输出的矩形波电压含有高频成分，因此SW布线成天线状，放射噪声有可能会增加。此外，由于前述矩形波电压的高频成分通过寄生电容从SW端子传导到VOUT，因此，SW布线请不要靠近VOUT布线。L请选择放射噪声较小的闭合磁路类型。

图21为缩小SW端子 - L间的布线面积，延长SW布线 - VOUT布线间距离的示例。**图22**为SW布线面积过大，SW布线 - VOUT布线间有较短的距离存在，寄生容量过大的示例。

如果担心L发热，请扩大SW布线的面积，有望得到散热效果。在配置SW布线的布局时，需要考虑放射噪声和发热这两个相悖的观点。

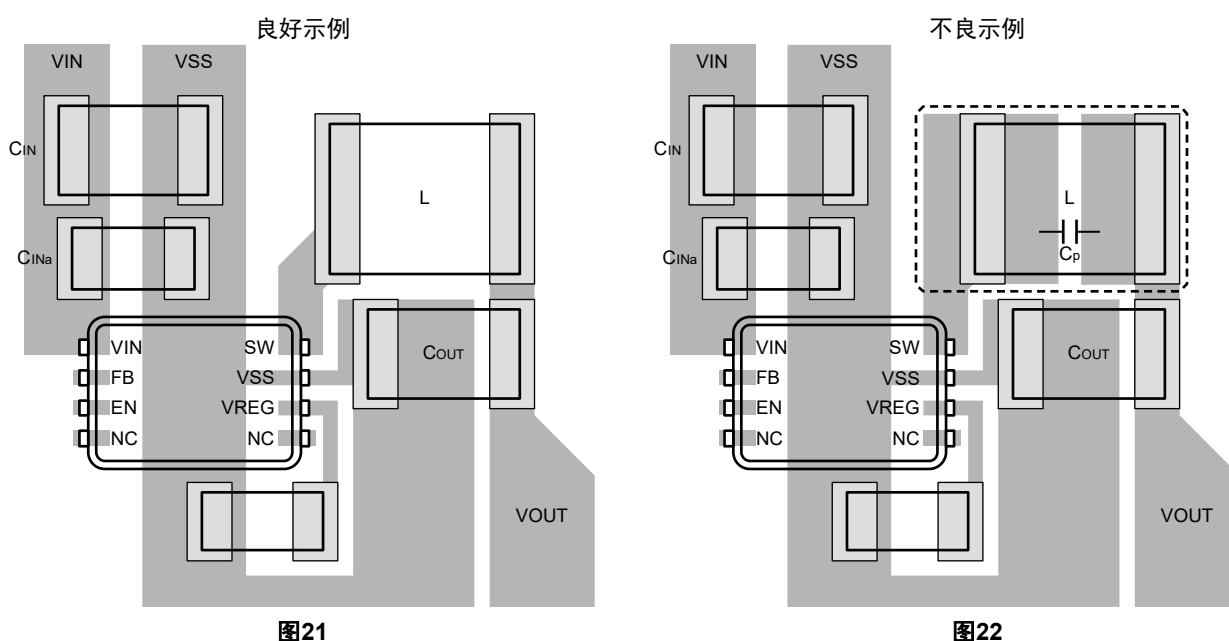


图21

图22

图23是**图21**、**图24**是**图22**的L的安装部分的截面图。

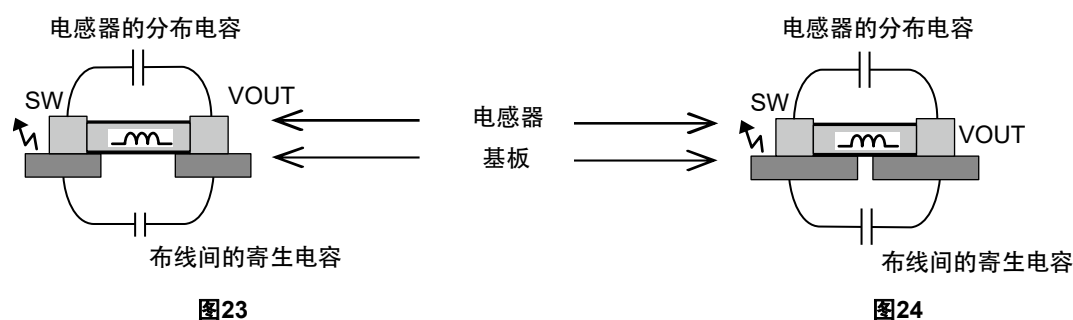


图23

图24

如**图21**的L的焊盘形状所示，**图23**中SW端子 - VOUT间的距离较长。如**图22**的L的焊盘形状所示，**图24**中SW端子 - VOUT间的距离较短。SW端子 - VOUT间的距离越短，SW端子 - VOUT间的寄生电容也就越大。由此，**图24**的寄生电容大于**图23**的寄生电容。如果寄生电容过大，开关工作时SW端子产生的噪声容易重叠在VOUT上。

另外，在**图24**中，由于SW布线的面积大，可能会增大放射噪声。因此在L下方基板布局时，请确保L的电极间有充分的面积，以减小放射噪声的飞散面积。

如**图21**、**图22**所示，由于L连接到SW端子上，即使存在寄生电感，对电感值也几乎没有影响。

图25为SW布线和L配置的布局示例。如下所示，无法在C_{IN}下方进行SW端子的布线时，请经由热过孔向下层布线。

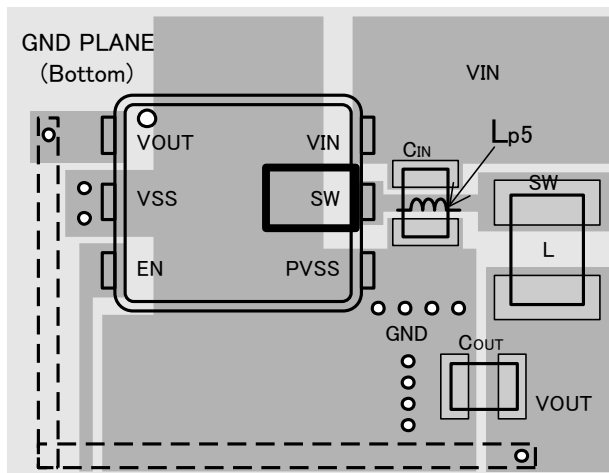


图25

4.3 输出电容器 (C_{OUT}) 的配置和布局

针对降压DC-DC控制器，为了平滑输出电压波形，输出电容器是必不可少的。DC-DC控制器在开关工作时，M₁和M₂结合死区时间交替导通。M₁导通时，电流会流向M₁，M₂导通时，电流会流向M₂。L的电流也和流经M₁、M₂的电流相同，所以L附近的电压波形变动非常大。这一电压波形的变动成为噪声，在空间中传播。C_{OUT}在使该电压波形平滑的同时，还承担着吸收由于输出电压波形变动而产生的噪声的作用。

综上所述，C_{OUT}请配置在IC的附近。如果减少粗线的电流路径 (SW端子 → L → C_{OUT} → VSS端子) 面积，可将产生的放射噪声控制到最小。VOUT布线请务必经由C_{OUT}焊盘拉出。以此避免L和C_{OUT}的平滑性作用变弱，导致SW端子的矩形波电压的高频成分被传导到VOUT。同样，如果扩大布线宽度时，也请经由C_{OUT}焊盘拉出布线。

图26为缩小电流路径面积的示例。VOUT布线经由C_{OUT}焊盘拉出。

图27为IC和C_{OUT}的距离较长，电流路径的面积较大的示例。VOUT布线不经由C_{OUT}焊盘而经由L的焊盘拉出。图28为经由C_{OUT}焊盘之前扩大VOUT布线宽度的示例。

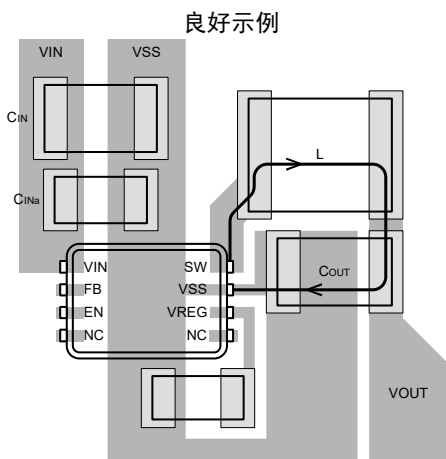


图26

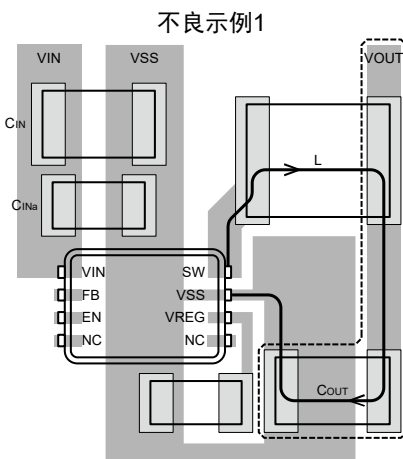


图27

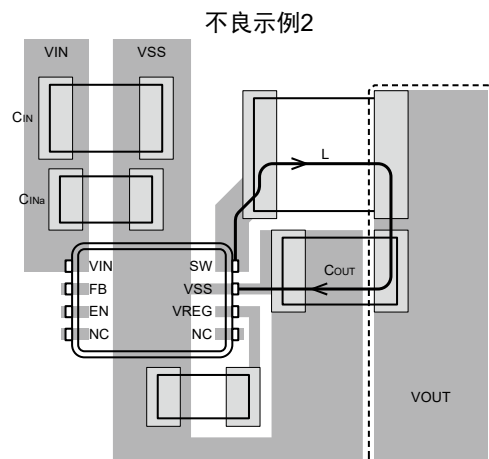


图28

5. 使用无源电压探头测量输出电压 (V_{OUT}) 时的注意事项

测量降压DC-DC控制器电路的 V_{OUT} 时，需要注意放射噪声。特别是在使用示波器测量 V_{OUT} 波形时，如果对无源电压探头不采取抑噪措施，则放射噪声会被 V_{OUT} 波形重叠，而无法正确测量输出电压波形。从无源电压探头被重叠到 V_{OUT} 波形上的放射噪声，通过无源电压探头的接地引线传播。因此，为了降低重叠到 V_{OUT} 波形上的噪声，需要对无源电压探头的接地引线采取措施。

在使用普通无源电压探头和使用带弹簧接地无源电压探头时， V_{OUT} 波形间的差异程度如下所示。图29和图31是用同一个示波器测量同一电压的波形。

5.1 使用普通无源电压探头的测量

图29是使用图30所示的普通无源电压探头测量的 V_{OUT} 波形。

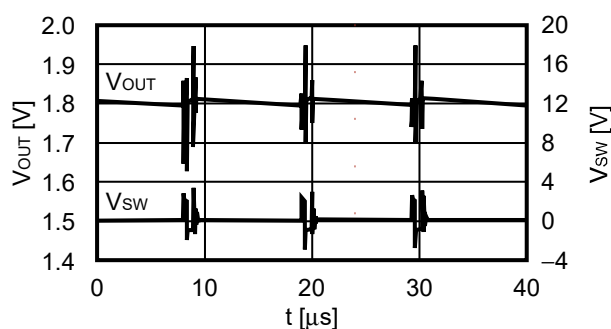


图29



图30

5.2 使用带弹簧接地无源电压探头的测量

图31是使用图32所示的改造无源电压探头而制成的带弹簧接地无源电压探头测量的 V_{OUT} 波形。通过使用该探头进行测量，高频噪声不会重叠到 V_{OUT} 波形上。

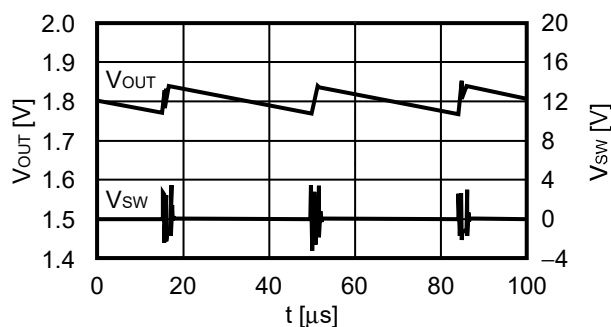


图31



图32

6. 注意事项

- 本资料中所登载的应用电路示例，是本公司IC产品中具有代表性的应用示例。
在使用之前，务请进行充分的测试。
- 本IC虽内置了防静电保护电路，但请不要对IC施加超过保护电路性能的过大静电。
- 使用本公司的IC生产产品时，如因其产品中对该IC的使用方法或产品的规格、或因进口国等原因，使包括本IC产品在内的制品发生专利纠纷时，本公司概不承担相应责任。

7. 相关资料

本应用手册以及相关数据表的内容，有可能未经预告而更改。

有关详情，请与代理商联系。

最新版本的数据表请在本公司Web网站上选择产品分类和产品名称，下载PDF文件。

www.ablic.com 艾普凌科有限公司 Web网站

免责声明 (使用注意事项)

1. 本资料记载的所有信息 (产品数据、规格、图、表、程序、算法、应用电路示例等) 是本资料公开时的最新信息, 有可能未经预告而更改。
2. 本资料记载的电路示例和使用方法仅供参考, 并非保证批量生产的设计。使用本资料的信息后, 发生并非因本资料记载的产品 (以下称本产品) 而造成的损害, 或是发生对第三方知识产权等权利侵犯情况, 本公司对此概不承担任何责任。
3. 因本资料记载错误而导致的损害, 本公司对此概不承担任何责任。
4. 请注意在本资料记载的条件范围内使用产品, 特别请注意绝对最大额定值、工作电压范围和电气特性等。因在本资料记载的条件范围外使用产品而造成的故障和 (或) 事故等的损害, 本公司对此概不承担任何责任。
5. 在使用本产品时, 请确认使用国家、地区以及用途的法律、法规, 测试产品用途的满足能力和安全性能。
6. 本产品出口海外时, 请遵守外汇交易及外国贸易法等出口法令, 办理必要的相关手续。
7. 严禁将本产品用于以及提供 (出口) 于开发大规模杀伤性武器或军事用途。对于如提供 (出口) 给开发、制造、使用或储藏核武器、生物武器、化学武器及导弹, 或有其他军事目的者的情况, 本公司对此概不承担任何责任。
8. 本产品并非是设计用于可能对生命、人体造成影响的设备或装置的部件, 也非是设计用于可能对财产造成损害的设备或装置的部件 (医疗设备、防灾设备、安全防范设备、燃料控制设备、基础设施控制设备、车辆设备、交通设备、车载设备、航空设备、太空设备及核能设备等)。请勿将本产品用于上述设备或装置的部件。本公司事先明确标示的车载用途例外。作为上述设备或装置的部件使用本产品时, 或本公司事先明确标示的用途以外使用本产品时, 所导致的损害, 本公司对此概不承担任何责任。
9. 半导体产品可能有一定的概率发生故障或误工作。为了防止因本产品的故障或误工作而导致的人身事故、火灾事故、社会性损害等, 请客户自行负责进行冗长设计、防止火势蔓延措施、防止误工作等安全设计。并请对整个系统进行充分的评价, 客户自行判断适用的可否。
10. 本产品非耐放射线设计产品。请客户根据用途, 在产品设计的过程中采取放射线防护措施。
11. 本产品在一般的使用条件下, 不会影响人体健康, 但因含有化学物质和重金属, 所以请不要将其放入口中。另外, 晶元和芯片的破裂面可能比较尖锐, 徒手接触时请注意防护, 以免受伤等。
12. 废弃本产品时, 请遵守使用国家和地区的法令, 合理地处理。
13. 本资料中也包含了与本公司的著作权和专有知识有关的内容。本资料记载的内容并非是对本公司或第三方的知识产权、其它权利的实施及使用的承诺或保证。严禁在未经本公司许可的情况下转载、复制或向第三方公开本资料的一部分或全部。
14. 有关本资料的详细内容等如有不明之处, 请向代理商咨询。
15. 本免责声明以日语版为正本。即使有英语版或中文版的翻译件, 仍以日语版的正本为准。

2.4-2019.07