

S-8239B系列内置高精度电压检测电路和延迟电路，是多节电池串联用过电流监视IC。

S-8239B系列最适合于对锂离子 / 锂聚合物可充电电池组的过电流的保护。

## ■ 特点

- 内置高精度电压检测电路
  - 过电流1检测电压\*1                    0.04 V ~ 0.30 V (10 mV进阶)                    精度±15 mV
  - 过电流2检测电压                    0.1 V ~ 0.7 V (100 mV进阶)                    精度±100 mV
  - 过电流3检测电压                    1.2 V (固定)                    精度±300 mV
- 内置三段过电流检测电路：                    过电流1、过电流2、过电流3
- 过电流3检测功能：                    有、无
- UVLO (欠压锁定) 功能
  - UVLO检测电压                    2.0 V (固定)                    精度±100 mV
- 高耐压：                    VM端子、DO端子：绝对最大额定值28 V
- 各种延迟时间只需由内置电路来实现 (不需外接电容)
- 消耗电流低
  - 通常工作时：                    7.0 μA (最大值)
  - 休眠时：                    0.1 μA (最大值)
- 输出逻辑：                    动态 "L"
- 工作温度范围广：                    Ta = -40°C ~ +85°C
- 无铅 (Sn 100%)、无卤素

\*1. 过电流2检测电压 = 0.1 V时，请设定过电流1检测电压 ≤ 0.06 V。

过电流2检测电压 ≥ 0.2 V时，请设定过电流1检测电压 ≤ 0.85 × 过电流2检测电压 - 0.05 V。

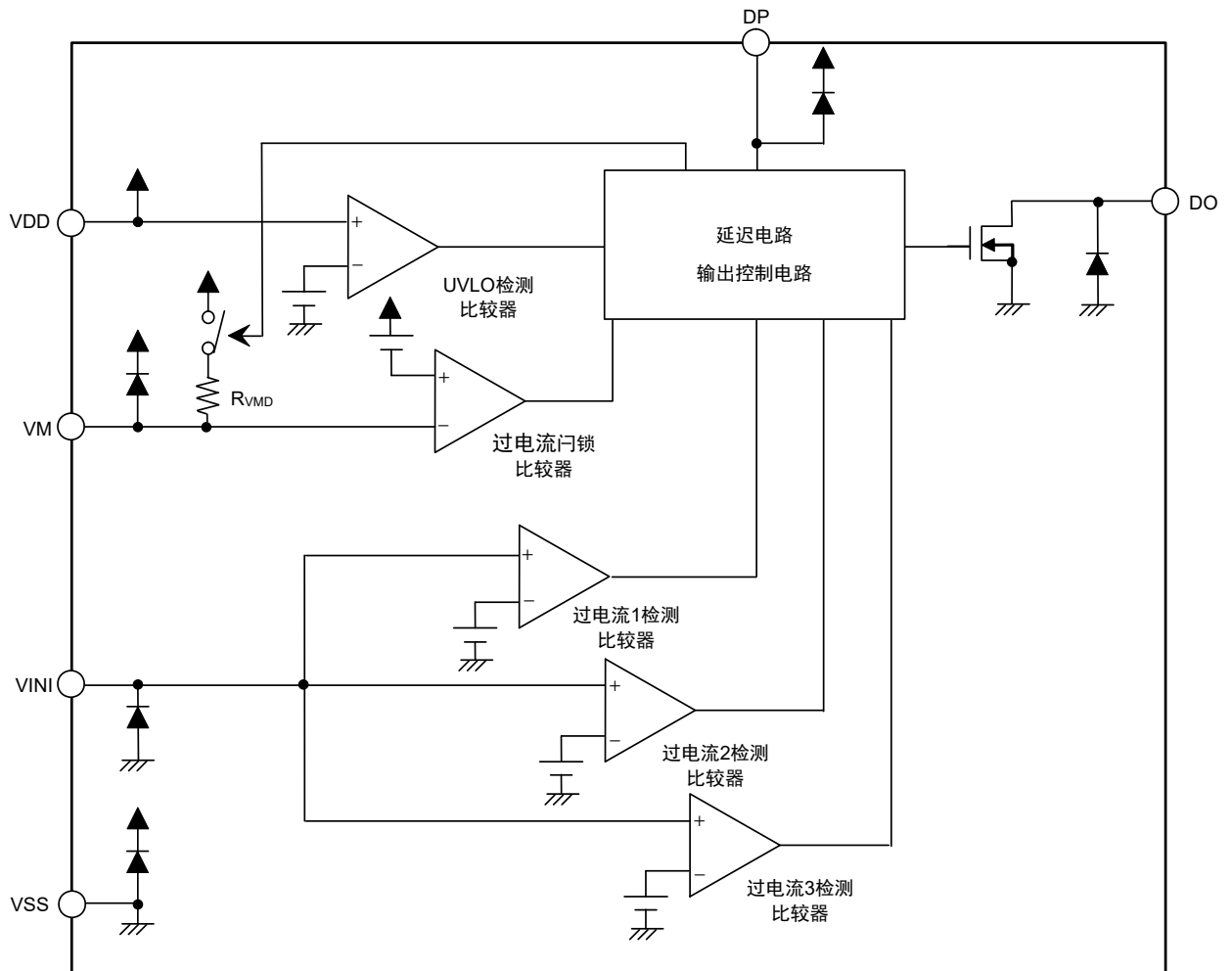
## ■ 用途

- 锂离子可充电电池组
- 锂聚合物可充电电池组

## ■ 封装

- SOT-23-6

■ 框图

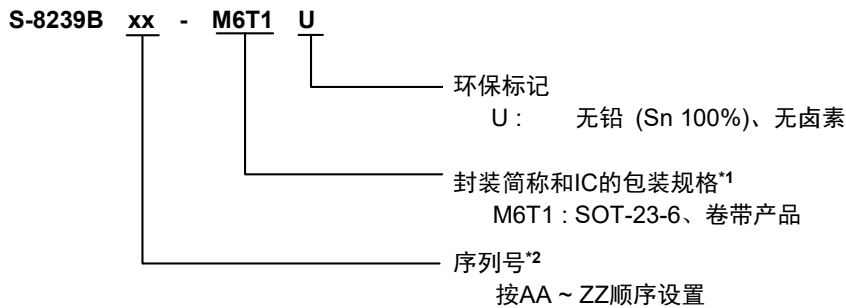


备注 图中的二极管全部为寄生二极管。

图1

## ■ 产品型号的构成

### 1. 产品名



\*1. 请参阅卷带图。

\*2. 请参阅 "3. 产品名目录"。

### 2. 封装

表1 封装图纸号码

封装名	外形尺寸图	卷带图	带卷图
SOT-23-6	MP006-A-P-SD	MP006-A-C-SD	MP006-A-R-SD

### 3. 产品名目录

表2

产品名	过电流1 检测电压 [V <sub>DIOV1</sub> ]	过电流2 检测电压 [V <sub>DIOV2</sub> ]	过电流1 检测延迟时间 [t <sub>DIOV1</sub> ]	过电流2 检测延迟时间 [t <sub>DIOV2</sub> ]	过电流3 检测功能
S-8239BAA-M6T1U	0.20 V	0.4 V	1150 ms	0.56 ms	无

备注 如果需要上述以外的产品时, 请向代理商咨询。

■ 引脚排列图

1. SOT-23-6

Top view

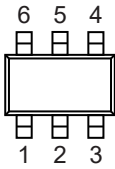


图2

表3

引脚号	符号	描述
1	VINI	VINI端子 - VSS端子间电压检测端子 (过电流检测端子)
2	VM	过电流门锁端子
3	DO	放电控制用FET门极连接端子
4	DP*1	延迟时间测定用测试端子
5	VDD	正电源输入端子
6	VSS	负电源输入端子

\*1. 将DP端子设定为开路状态。

## ■ 绝对最大额定值

表4

(除特殊注明以外 :  $T_a = +25^{\circ}\text{C}$ )

项目	符号	适用端子	绝对最大额定值	单位
VDD端子 - VSS端子间输入电压	$V_{DS}$	VDD	$V_{SS} - 0.3 \sim V_{SS} + 12$	V
VM输入端子电压	$V_{VM}$	VM	$V_{DD} - 28 \sim V_{DD} + 0.3$	V
VINI输入端子电压	$V_{VINI}$	VINI	$V_{SS} - 0.3 \sim V_{SS} + 12$	V
DO输出端子电压	$V_{DO}$	DO	$V_{SS} - 0.3 \sim V_{SS} + 28$	V
容许功耗	$P_D$	-	650*1	mW
工作环境温度	$T_{opr}$	-	$-40 \sim +85$	$^{\circ}\text{C}$
保存温度	$T_{stg}$	-	$-55 \sim +125$	$^{\circ}\text{C}$

### \*1. 基板安装时

[安装基板]

- (1) 基板尺寸 : 114.3 mm × 76.2 mm × t1.6 mm
- (2) 名称 : JEDEC STANDARD51-7

### 注意 1. 将DP端子设定为开路状态。

2. 绝对最大额定值是指无论在任何条件下都不能超过的额定值。万一超过此额定值, 有可能造成产品劣化等物理性损伤。

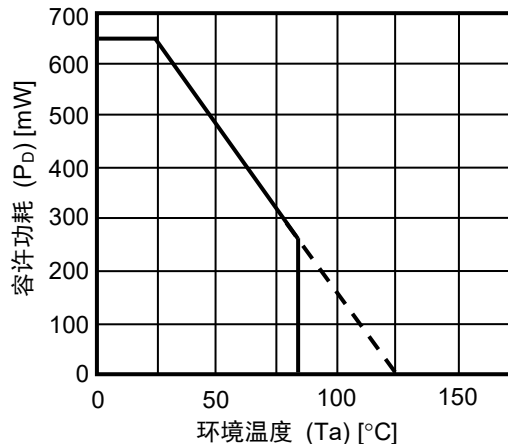


图3 封装容许功耗 (基板安装时)

## ■ 电气特性

## 1. Ta = +25°C

表5

(除特殊注明以外: Ta = +25°C)

项目	符号	条件	最小值	典型值	最大值	单位	测定条件	测定电路
<b>检测电压</b>								
过电流1检测电压	V <sub>DOV1</sub>	—	V <sub>DIOV1</sub> - 0.015	V <sub>DIOV1</sub>	V <sub>DIOV1</sub> + 0.015	V	1	1
过电流2检测电压*1	V <sub>DIOV2</sub>	—	V <sub>DIOV2</sub> - 0.100	V <sub>DIOV2</sub>	V <sub>DIOV2</sub> + 0.100	V	1	1
过电流3检测电压	V <sub>DIOV3</sub>	有过电流3检测功能	0.90	1.20	1.50	V	1	1
UVLO检测电压	V <sub>UVLO</sub>	—	1.90	2.00	2.10	V	1	1
<b>解除电压</b>								
过电流解除电压	V <sub>RIOV</sub>	V <sub>DD</sub> 基准、V <sub>DD</sub> = 3.5 V	0.7	1.2	1.5	V	1	1
<b>输入电压、工作电压</b>								
VDD端子 - VSS端子间 工作电压	V <sub>DSOP</sub>	输出逻辑确定*2	1.5	—	8	V	—	—
<b>消耗电流</b>								
通常工作时消耗电流	I <sub>OPE</sub>	V <sub>DD</sub> = 3.5 V、V <sub>VM</sub> = 0 V	1.0	3.5	7.0	μA	2	2
休眠时消耗电流	I <sub>PDN</sub>	V <sub>DD</sub> = V <sub>VM</sub> = 1.5 V	—	—	0.1	μA	2	2
<b>内部电阻</b>								
VM端子 - VDD端子间 内部电阻	R <sub>VMD</sub>	V <sub>DD</sub> = 1.8 V、V <sub>VM</sub> = 0 V	100	300	900	kΩ	3	3
<b>输出电阻</b>								
DO端子电阻 "L"	R <sub>DOL</sub>	V <sub>DD</sub> = V <sub>VINI</sub> = 3.5 V、V <sub>DO</sub> = 0.5 V	2.5	5	10	kΩ	4	4
<b>延迟时间</b>								
过电流1检测延迟时间	t <sub>DIOV1</sub>	—	t <sub>DIOV1</sub> × 0.6	t <sub>DIOV1</sub>	t <sub>DIOV1</sub> × 1.4	ms	5	5
过电流2检测延迟时间	t <sub>DIOV2</sub>	—	t <sub>DIOV2</sub> × 0.6	t <sub>DIOV2</sub>	t <sub>DIOV2</sub> × 1.4	ms	5	5
过电流3检测延迟时间	t <sub>DIOV3</sub>	有过电流3检测功能	168	280	392	μs	5	5
UVLO检测延迟时间	t <sub>UVLO</sub>	—	2.94	4.90	6.86	s	5	5

\*1. 即使过电流1检测电压与过电流2检测电压在同一范围内, V<sub>DIOV1</sub>一定小于V<sub>DIOV2</sub>。

\*2. 表示DO端子输出逻辑已确定。

2.  $T_a = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}^{*1}$ 

表6

(除特殊注明以外： $T_a = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}^{*1}$ )

项目	符号	条件	最小值	典型值	最大值	单位	测定条件	测定电路
<b>检测电压</b>								
过电流1检测电压	$V_{DIOV1}$	—	$V_{DIOV1} - 0.021$	$V_{DIOV1}$	$V_{DIOV1} + 0.021$	V	1	1
过电流2检测电压 <sup>*2</sup>	$V_{DIOV2}$	—	$V_{DIOV2} - 0.130$	$V_{DIOV2}$	$V_{DIOV2} + 0.130$	V	1	1
过电流3检测电压	$V_{DIOV3}$	有过电流3检测功能	0.70	1.20	1.70	V	1	1
UVLO检测电压	$V_{UVLO}$	—	1.85	2.00	2.15	V	1	1
<b>解除电压</b>								
过电流解除电压	$V_{RIOV}$	$V_{DD}$ 基准、 $V_{DD} = 3.5\text{ V}$	0.5	1.2	1.7	V	1	1
<b>输入电压、工作电压</b>								
VDD端子 - VSS端子间工作电压	$V_{DSOP}$	输出逻辑确定 <sup>*3</sup>	1.5	—	8	V	—	—
<b>消耗电流</b>								
通常工作时消耗电流	$I_{OPE}$	$V_{DD} = 3.5\text{ V}$ 、 $V_{VM} = 0\text{ V}$	0.7	3.5	8.0	$\mu\text{A}$	2	2
休眠时消耗电流	$I_{PDN}$	$V_{DD} = V_{VM} = 1.5\text{ V}$	—	—	0.15	$\mu\text{A}$	2	2
<b>内部电阻</b>								
VM端子 - VDD端子间内部电阻	$R_{VMD}$	$V_{DD} = 1.8\text{ V}$ 、 $V_{VM} = 0\text{ V}$	78	300	1310	$\text{k}\Omega$	3	3
<b>输出电阻</b>								
DO端子电阻 "L"	$R_{DOL}$	$V_{DD} = V_{VIN1} = 3.5\text{ V}$ 、 $V_{DO} = 0.5\text{ V}$	1.2	5	15	$\text{k}\Omega$	4	4
<b>延迟时间</b>								
过电流1检测延迟时间	$t_{DIOV1}$	—	$t_{DIOV1} \times 0.2$	$t_{DIOV1}$	$t_{DIOV1} \times 1.8$	ms	5	5
过电流2检测延迟时间	$t_{DIOV2}$	—	$t_{DIOV2} \times 0.2$	$t_{DIOV2}$	$t_{DIOV2} \times 1.8$	ms	5	5
过电流3检测延迟时间	$t_{DIOV3}$	有过电流3检测功能	56	280	504	$\mu\text{s}$	5	5
UVLO检测延迟时间	$t_{UVLO}$	—	0.98	4.90	8.82	s	5	5

\*1. 并没有在高温以及低温的条件下进行筛选，因此只保证在此温度范围下的设计规格。

\*2. 即使过电流1检测电压与过电流2检测电压在同一范围内， $V_{DIOV1}$ 一定小于 $V_{DIOV2}$ 。

\*3. 表示DO端子输出逻辑已确定。

## ■ 测定电路

**注意** 在未经特别说明的情况下，DO端子的输出电压 ( $V_{DO}$ ) 的 "H"、"L" 的判定是以Nch FET的阈值电压 (1.0 V) 为基准。此时的DO端子请以 $V_{SS}$ 为基准来判定。

### 1. 过电流1检测电压、过电流2检测电压、过电流解除电压、UVLO检测电压 (测定条件1、测定电路1)

在 $V_1 = V_3 = 3.5\text{ V}$ 、 $V_2 = 0\text{ V}$ 设定后的状态下，将 $V_2$ 在瞬间 (10  $\mu\text{s}$ 以内) 提升， $V_{DO} = \text{"H"} \rightarrow \text{"L"}$  之间的延迟时间在过电流1检测延迟时间的最小值和最大值的之间的范围内时， $V_2$ 即为过电流1检测电压 ( $V_{DIOV1}$ )。

在 $V_1 = V_3 = 3.5\text{ V}$ 、 $V_2 = 0\text{ V}$ 设定后的状态下，将 $V_2$ 在瞬间 (10  $\mu\text{s}$ 以内) 提升， $V_{DO} = \text{"H"} \rightarrow \text{"L"}$  之间的延迟时间在过电流2检测延迟时间的最小值和最大值之间的范围内时， $V_2$ 即为过电流2检测电压 ( $V_{DIOV2}$ )。

在 $V_1 = V_2 = 3.5\text{ V}$ 、 $V_3 = 0\text{ V}$ 设定后的状态下，将 $V_2$ 降至0 V，将 $V_3$ 逐渐提升至 $V_{DO} = \text{"L"} \rightarrow \text{"H"}$  时， $V_3$ 即为过电流解除电压 ( $V_{RIOV}$ )。

在 $V_1 = V_3 = 3.5\text{ V}$ 、 $V_2 = 0\text{ V}$ 设定后的状态下，将 $V_1$ 与 $V_3$ 逐渐降至 $V_{DO} = \text{"H"} \rightarrow \text{"L"}$  时， $V_1$ 即为UVLO检测电压 ( $V_{UVLO}$ )。

### 2. 过电流3检测电压 (有过电流3检测功能) (测定条件1、测定电路1)

在 $V_1 = V_3 = 3.5\text{ V}$ 、 $V_2 = 0\text{ V}$ 设定后的状态下，将 $V_2$ 在瞬间 (10  $\mu\text{s}$ 以内) 提升， $V_{DO} = \text{"H"} \rightarrow \text{"L"}$  之间的延迟时间在过电流3检测延迟时间的最小值和最大值的之间的范围内时， $V_2$ 即为过电流3检测电压 ( $V_{DIOV3}$ )。

### 3. 通常工作时消耗电流、休眠时消耗电流 (测定条件2、测定电路2)

在 $V_1 = 3.5\text{ V}$ 、 $V_2 = 0\text{ V}$ 设定后的状态下，流经VDD端子的电流 ( $I_{DD}$ ) 即为通常工作时消耗电流 ( $I_{OPE}$ )。

在 $V_1 = V_2 = 1.5\text{ V}$ 设定后的状态下， $I_{DD}$ 即为休眠时消耗电流 ( $I_{PDN}$ )。

### 4. VM端子 – VDD端子间内部电阻 (测定条件3、测定电路3)

在 $V_1 = 1.8\text{ V}$ 、 $V_2 = V_3 = 0\text{ V}$ 设定后的状态下，VM端子 – VDD端子间电阻即为VM端子 – VDD端子间内部电阻 ( $R_{VMD}$ )。

### 5. DO端子电阻 "L" (测定条件4、测定电路4)

在 $V_1 = V_2 = 3.5\text{ V}$ 、 $V_3 = 0.5\text{ V}$ 设定后的状态下，DO端子电阻即为DO端子电阻 "L" ( $R_{DOL}$ )。



## 6. 过电流1检测延迟时间 (测定条件5、测定电路5)

### 6.1 $V_{DIOV2} = 0.1\text{ V}$

在 $V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ 设定后的状态下，将 $V2$ 瞬间（10  $\mu\text{s}$ 以内）提升至0.08 V，从 $V2$ 超过 $V_{DIOV1}$ 开始到 $V_{DO}$ 成为“L”的时间即为过电流1检测延迟时间（ $t_{DIOV1}$ ）。

### 6.2 $V_{DIOV2} \geq 0.2\text{ V}$

在 $V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ 设定后的状态下，将 $V2$ 瞬间（10  $\mu\text{s}$ 以内）提升至 $V_{DIOV1}$ （最大值）+ 0.01 V，从 $V2$ 超过 $V_{DIOV1}$ 开始到 $V_{DO}$ 成为“L”的时间即为过电流1检测延迟时间（ $t_{DIOV1}$ ）。

## 7. 过电流2检测延迟时间、UVLO检测延迟时间 (测定条件5、测定电路5)

在 $V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ 设定后的状态下，将 $V2$ 瞬间（10  $\mu\text{s}$ 以内）提升至0.9 V，从 $V2$ 超过 $V_{DIOV2}$ 开始到 $V_{DO}$ 成为“L”的时间即为过电流2检测延迟时间（ $t_{DIOV2}$ ）。

在 $V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ 设定后的状态下，将 $V1$ 瞬间（10  $\mu\text{s}$ 以内）降低至1.8 V，从 $V1$ 低于 $V_{UVLO}$ 开始到 $V_{DO}$ 成为“L”的时间即为UVLO检测延迟时间（ $t_{UVLO}$ ）。

## 8. 过电流3检测延迟时间 (有过电流3检测功能) (测定条件5、测定电路5)

在 $V1 = 3.5\text{ V}$ 、 $V2 = 0\text{ V}$ 设定后的状态下，将 $V2$ 瞬间（10  $\mu\text{s}$ 以内）提升至1.6 V，从 $V2$ 超过 $V_{DIOV3}$ 开始到 $V_{DO}$ 成为“L”的时间即为过电流3检测延迟时间（ $t_{DIOV3}$ ）。

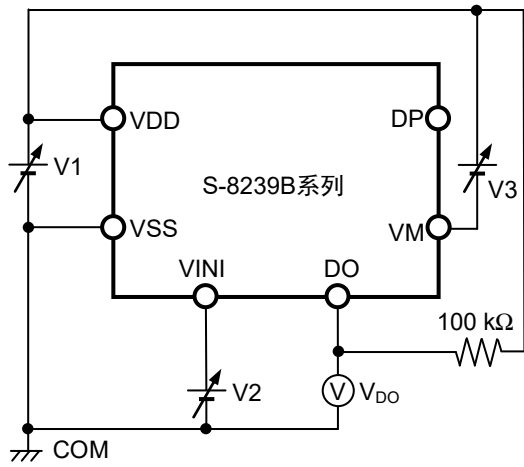


图4 测定电路1

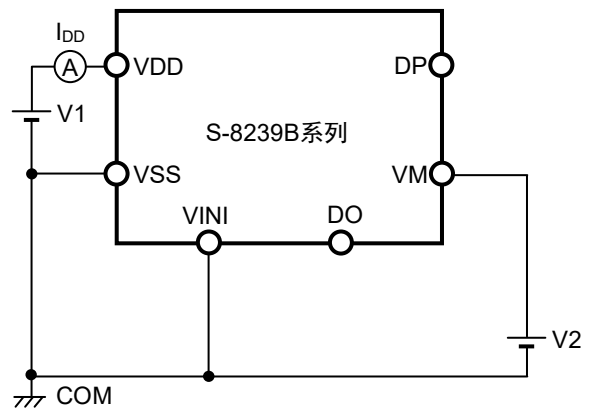


图5 测定电路2

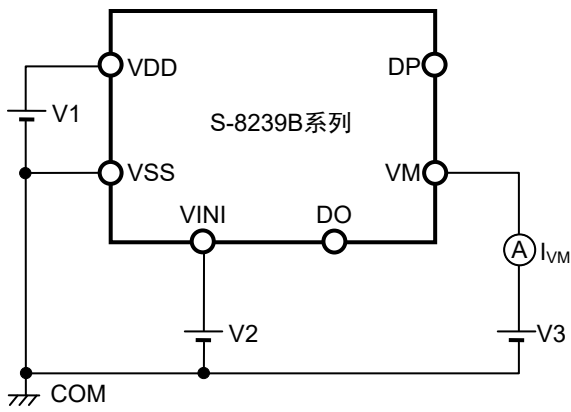


图6 测定电路3

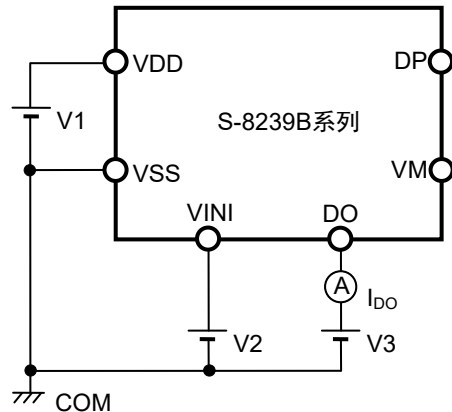


图7 测定电路4

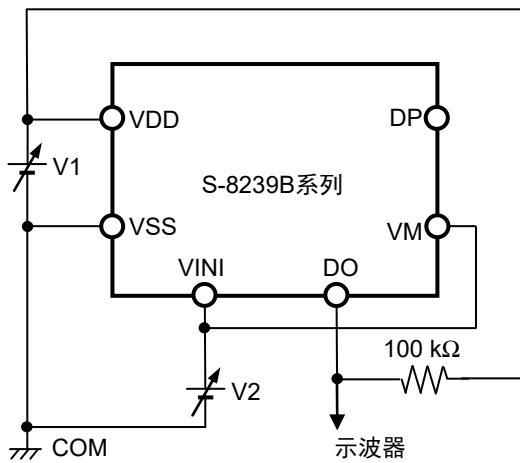


图8 测定电路5

## ■ 工作说明

### 1. 通常状态

S-8239B系列通过监视VINI端子 - VSS端子间电压而控制放电。VINI端子电压在过电流1检测电压 ( $V_{DIOV1}$ ) 以下的情况下, DO端子成为 "High-Z"。这种状态叫做通常状态。

**注意** 初次连接电池时, 有可能不处于通常状态。此时, 短路VM端子和VSS端子, 或连接充电器就能变为通常状态。

### 2. 过电流状态 (过电流1、过电流2、过电流3)

通常状态的电池, 由于放电电流在额定值以上, VINI端子电压在过电流检测电压以上且这种状态持续了过电流检测延迟时间以上时, DO端子成为 $V_{SS}$ 电位。这种状态叫做过电流状态。当VDD端子 - VM端子间电压为过电流解除电压 ( $V_{RIOV}$ ) 以下时, 保持过电流状态。

在过电流状态中在S-8239B系列内根据VM端子 - VDD端子间内部电阻 ( $R_{VMD}$ ) 使VM端子 - VDD端子间短路。此后, 通过连接充电器使VDD端子 - VM端子间电压上升到 $V_{RIOV}$ 以上时, 解除过电流状态。

### 3. UVLO状态

S-8239B系列备有UVLO (欠压锁定) 功能, 以防止在过电流检测时由于电池电压的下降而导致的IC误工作。通常状态的电池电压如果在UVLO检测电压 ( $V_{UVLO}$ ) 以下, 并且这种状态保持在UVLO检测延迟时间 ( $t_{UVLO}$ ) 以上, DO端子成为 $V_{SS}$ 电位。这种状态叫UVLO状态。

在UVLO状态中在S-8239B系列内根据 $R_{VMD}$ 使VM端子 - VDD端子间短路。此后当电池电压上升到 $V_{UVLO}$ 以上时, 则解除UVLO状态。

### 4. 休眠状态

UVLO状态的VDD端子 - VM端子间电压如果在0.7 V (典型值) 以下, 消耗电流则减少到休眠时消耗电流 ( $I_{PDN}$ )。这种状态叫休眠状态。

通常状态的VDD端子 - VM端子间电压如果在0.7 V (典型值) 以下, 并且这种状态保持在 $t_{UVLO}$ 以上时, DO端子成为 $V_{SS}$ 电位, S-8239B系列进入休眠状态。

此后, 通过连接充电器使VDD端子 - VM端子间电压上升到0.7 V (典型值) 以上时, 解除休眠状态。

## 5. 延迟电路

各种检测延迟时间是将约3.5 kHz的时钟利用计数器分频而产生的。

**备注** 过电流2检测延迟时间 ( $t_{DIOV2}$ ) 的计时是从检测出过电流1检测电压 ( $V_{DIOV1}$ ) 时开始的。因此, 从检测出  $V_{DIOV1}$  起到超过  $t_{DIOV2}$  之后, 当检测出过电流2检测电压 ( $V_{DIOV2}$ ) 时, 从检出时刻起在  $t_{DIOV2}$  之内S-8239B系列成为过电流状态。

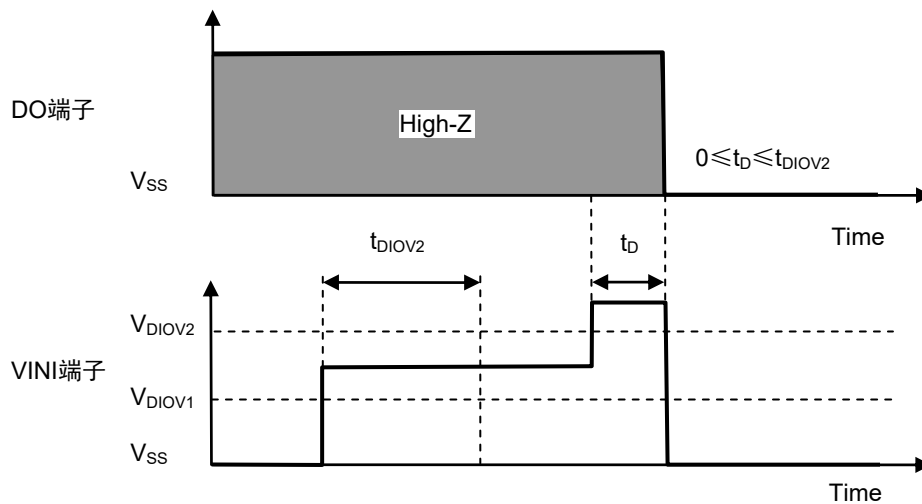


图9

## 6. DP端子

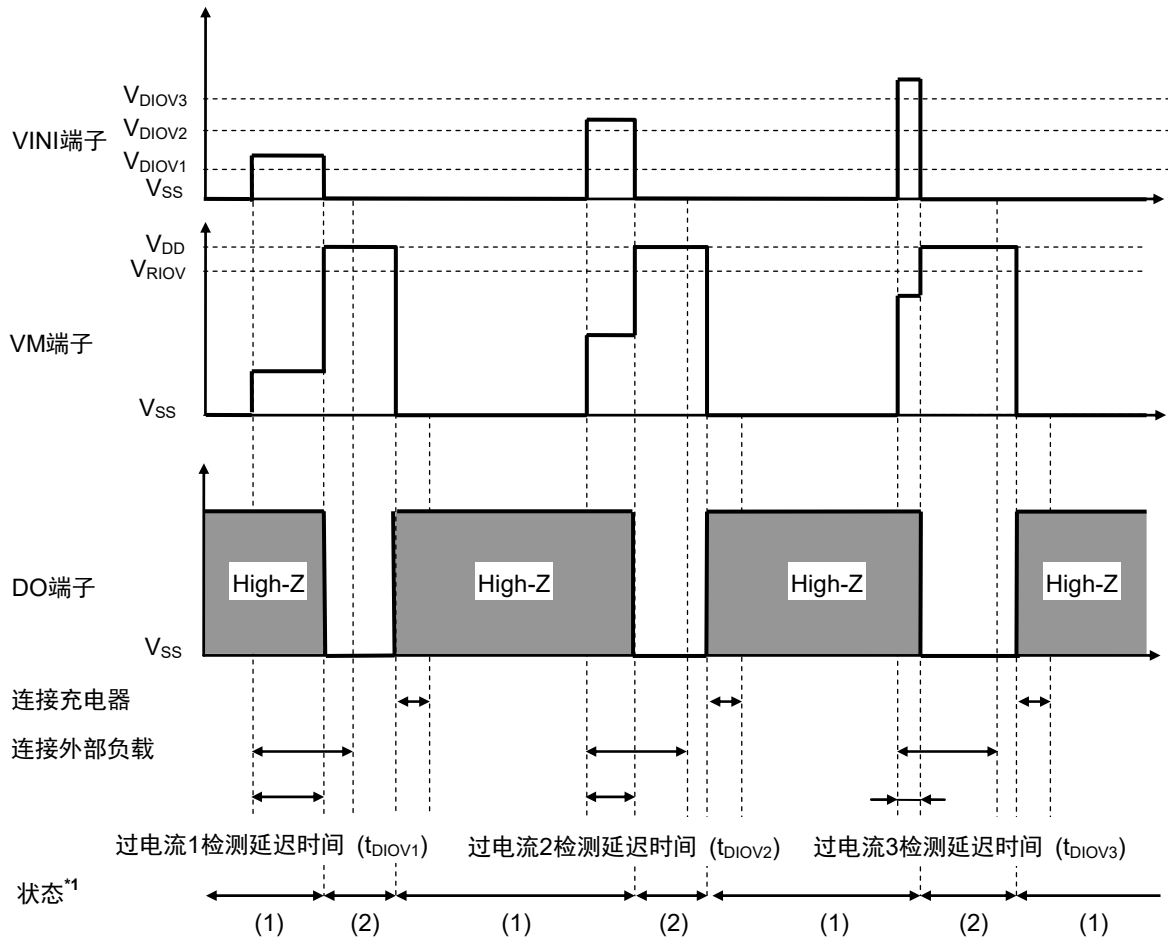
DP端子是测定延迟时间的测试端子。通常使用时, 将DP端子设定为开路状态。

如果在DP端子上连接大于或等于1000 pF的电容、小于或等于1 MΩ的电阻时, 有可能造成延迟时间或各检测电压的误差, 务请注意。

■ 时序图

1. 过电流检测

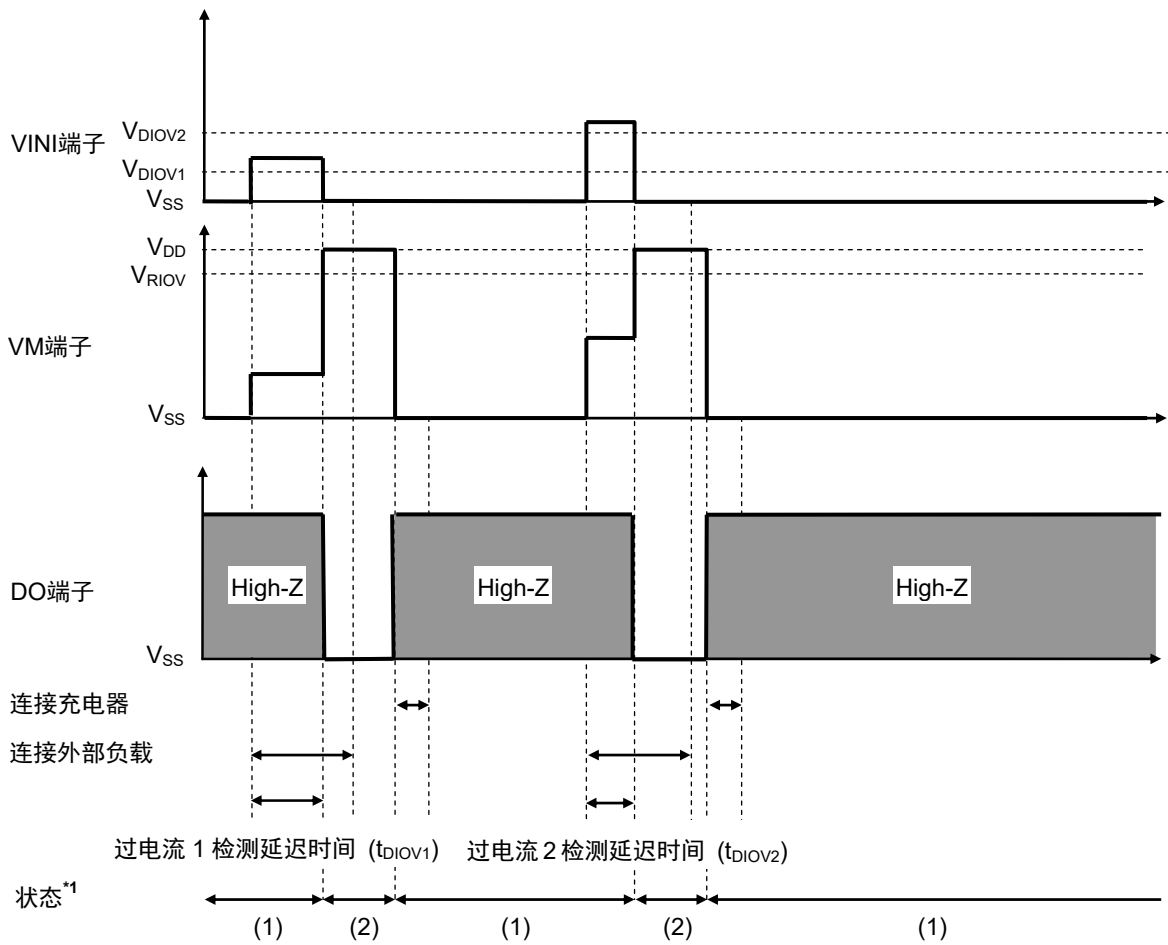
1.1 有过电流3检测功能



\*1. (1): 通常状态  
(2): 过电流状态

图10

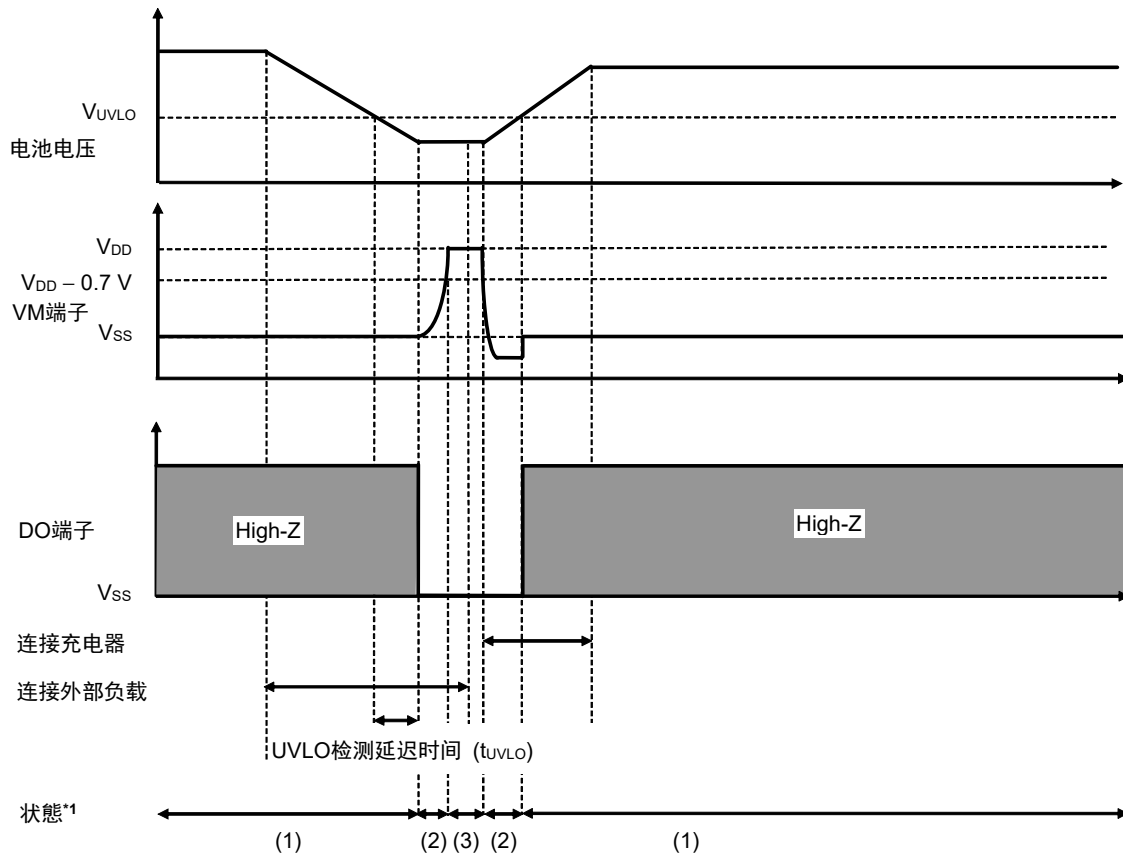
1.2 无过电流3检测功能



\*1. (1): 通常状态  
(2): 过电流状态

图11

2. UVLO检测



- \*1. (1): 通常状态
- (2): UVLO状态
- (3): 休眠状态

备注 假设为在恒流时的充电。

图12

■ 5节串联电池保护电路

图13为S-8239B系列和S-8225A系列的5节串联电池保护电路例。使用下列保护电路例以外的电路时请向代理商咨询。

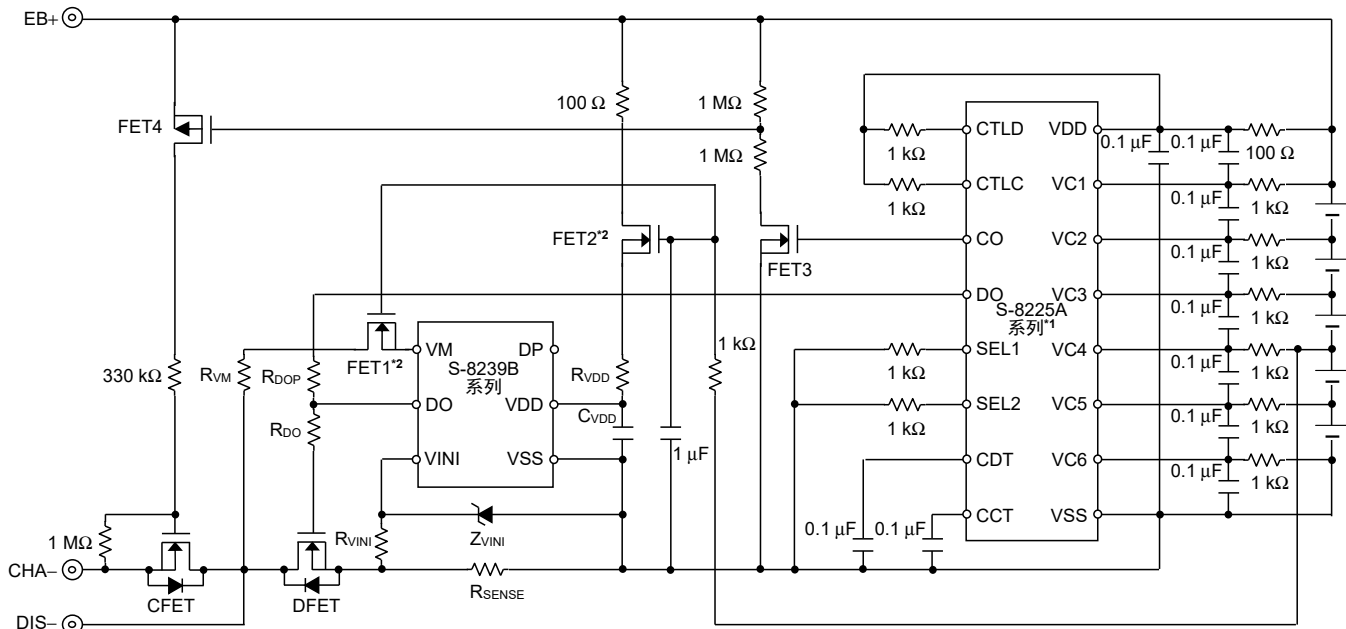


图13

表7 外接元器件参数

符号	最小值	典型值	最大值	单位
R <sub>VDD</sub>	300	470	1000	Ω
R <sub>VINI</sub>	1	—	—	kΩ
R <sub>SENSE</sub>	0	—	—	mΩ
R <sub>VM</sub>	1	5.1	51	kΩ
R <sub>DO</sub> <sup>*3</sup>	—	5.1	—	kΩ
R <sub>DOP</sub>	330	510	2000	kΩ
C <sub>VDD</sub>	0.022	0.1	1	μF

\*1. 有关S-8225A系列的外接元器件的推荐值请参阅S-8225A系列的数据表。

\*2. FET1和FET2请使用相同型号的产品。

\*3. 请按所使用的FET来设定最佳参数。

注意 1. 参数有可能不经预告而作更改。

2. 未确认连接示例以外的电路工作。连接示例和参数并不作为保证电路工作的依据。请在实际的应用电路上进行充分的实测后再设定参数。

3. 将DP端子设定为开路状态。



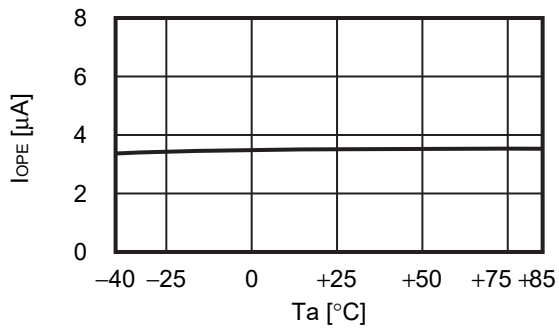
## ■ 注意事项

- 请注意输入输出电压、负载电流的使用条件，使IC内的功耗不超过封装的容许功耗。
- 本IC虽内置防静电保护电路，但请不要对IC施加超过保护电路性能的过大静电。
- 使用本公司的IC生产产品时，如因其产品中对该IC的使用方法或产品的规格，或因进口国等原因，包含本IC产品在内的制品发生专利纠纷时，本公司概不承担相应责任。

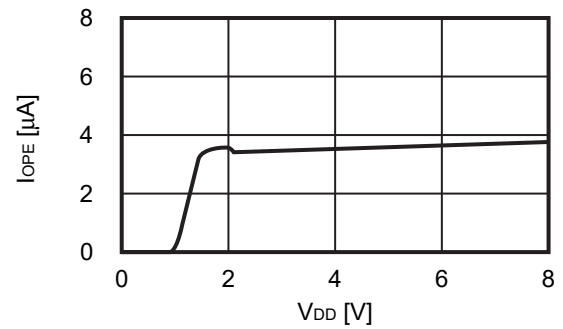
■ 各种特性数据 (典型数据)

1. 消耗电流

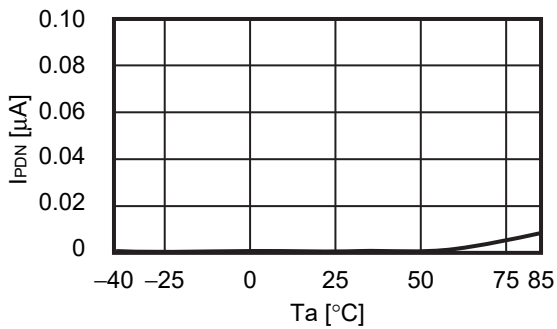
1.1  $I_{OPE} - T_a$



1.2  $I_{OPE} - V_{DD}$

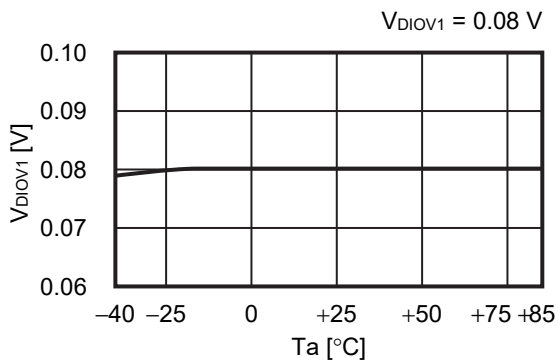


1.3  $I_{PDN} - T_a$

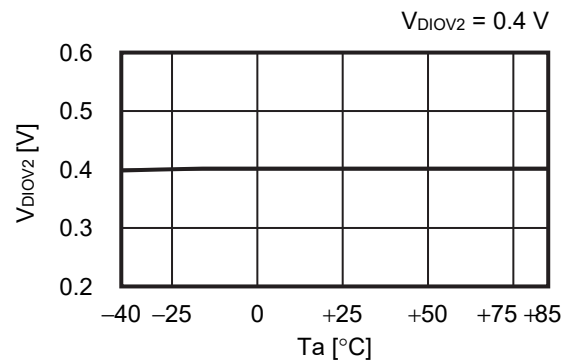


2. 过电流检测 / 解除电压、UVLO功能及各种延迟时间

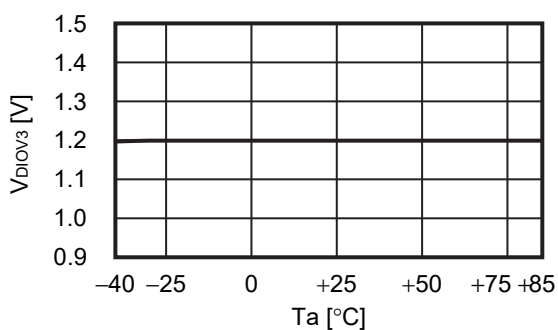
2.1  $V_{DIOV1} - T_a$



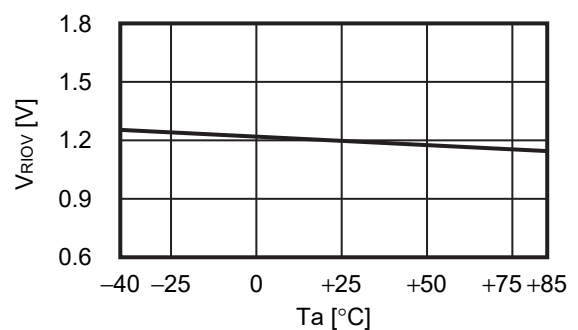
2.2  $V_{DIOV2} - T_a$



2.3  $V_{DIOV3} - T_a$

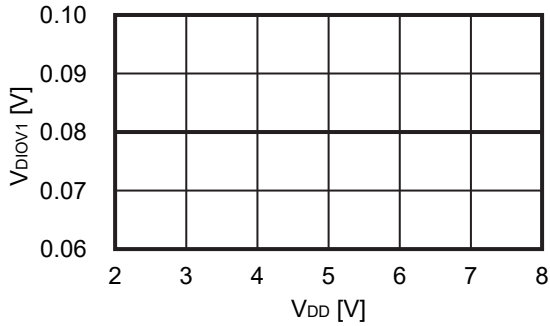


2.4  $V_{RIOV} - T_a$



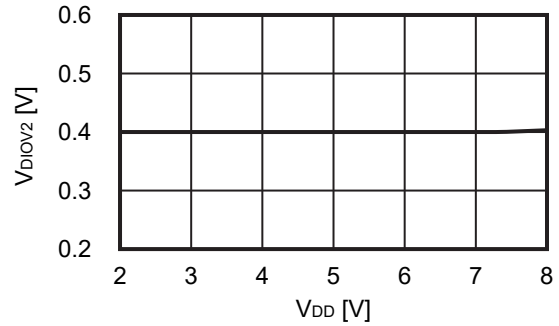
2.5  $V_{DIOV1} - V_{DD}$

$V_{DIOV1} = 0.08\text{ V}$

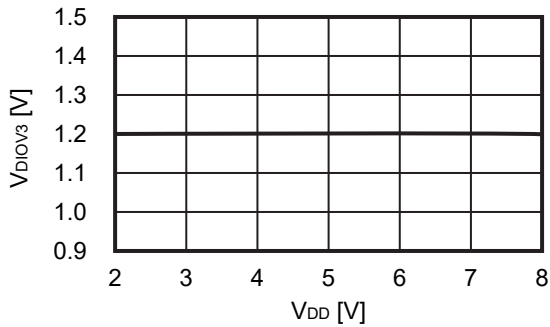


2.6  $V_{DIOV2} - V_{DD}$

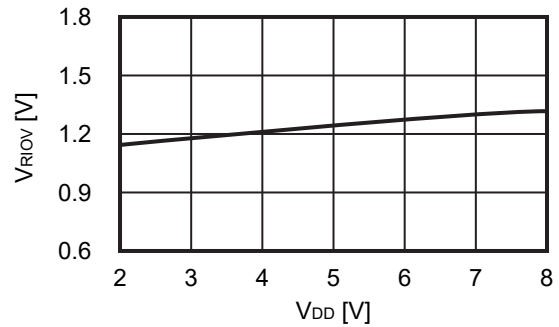
$V_{DIOV2} = 0.4\text{ V}$



2.7  $V_{DIOV3} - V_{DD}$

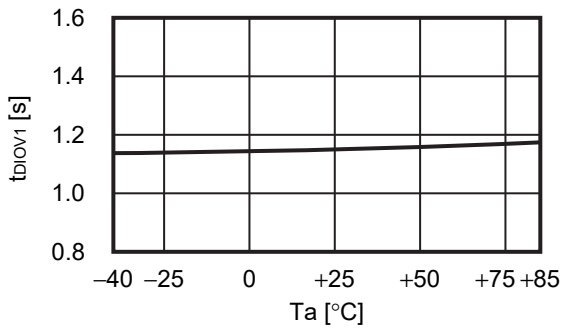


2.8  $V_{RIOV} - V_{DD}$



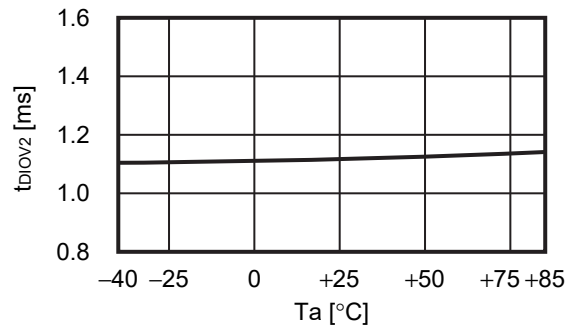
2.9  $t_{DIOV1} - T_a$

$t_{DIOV1} = 1150\text{ ms}$

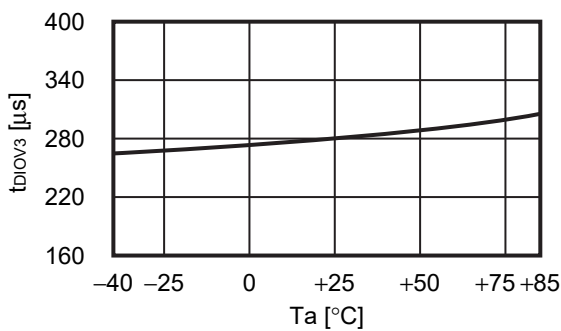


2.10  $t_{DIOV2} - T_a$

$t_{DIOV2} = 1.12\text{ ms}$

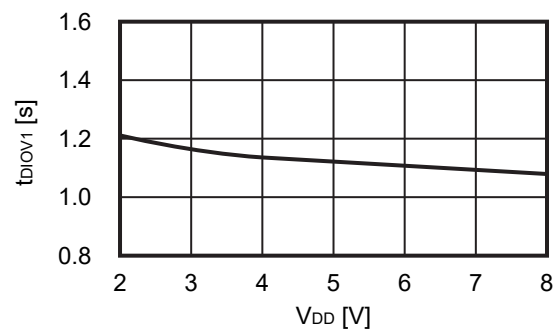


2.11  $t_{DIOV3} - T_a$

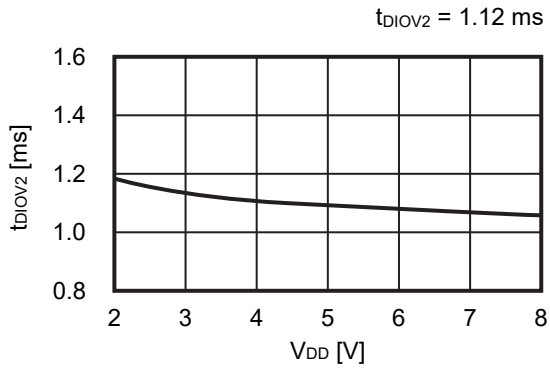


2.12  $t_{DIOV1} - V_{DD}$

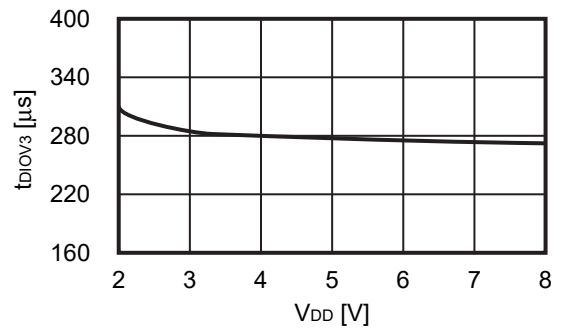
$t_{DIOV1} = 1150\text{ ms}$



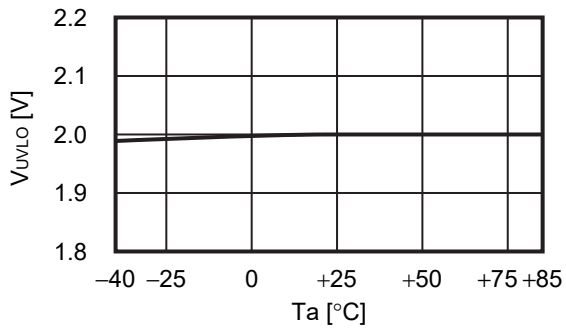
2. 13  $t_{DIOV2} - V_{DD}$



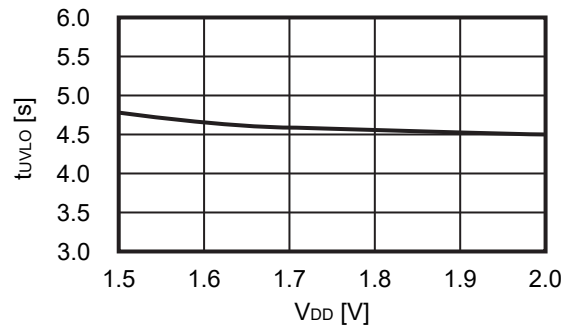
2. 14  $t_{DIOV3} - V_{DD}$



2. 15  $V_{UVLO} - T_a$

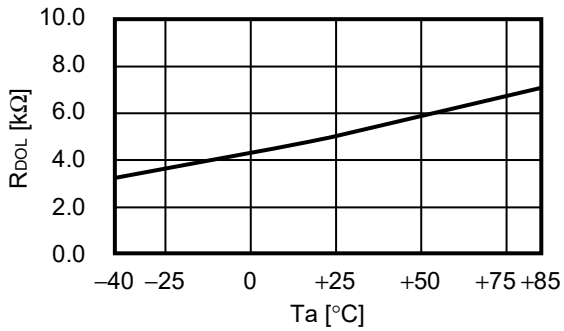


2. 16  $t_{UVLO} - V_{DD}$



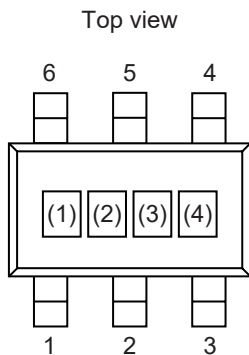
### 3. 输出电阻

3. 1  $R_{DOL} - T_a$



## ■ 标记规格

### 1. SOT-23-6



(1) ~ (3) :

产品简称 (请参照产品名和产品简称的对照表)

(4) :

批号

产品名和产品简称的对照表

产品名	产品简称		
	(1)	(2)	(3)
S-8239BAA-M6T1U	3	L	A



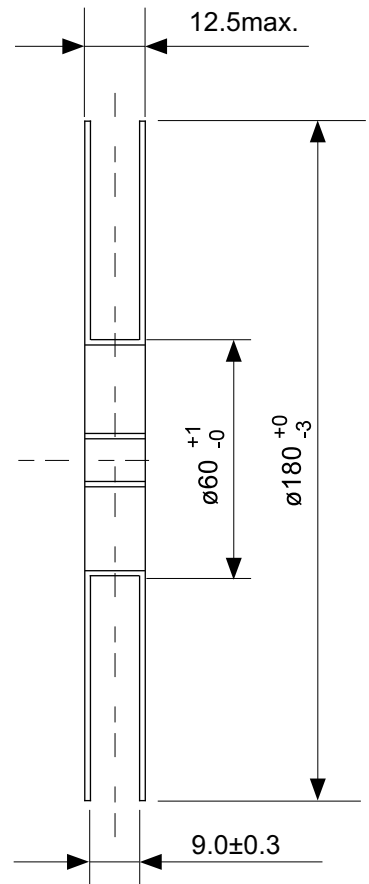
No. MP006-A-P-SD-2.1

TITLE	SOT236-A-PKG Dimensions
No.	MP006-A-P-SD-2.1
ANGLE	
UNIT	mm
<b>ABLIC Inc.</b>	

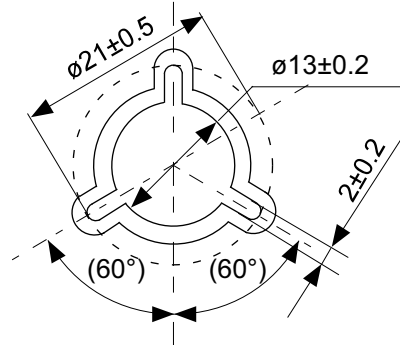


No. MP006-A-C-SD-3.1

TITLE	SOT236-A-Carrier Tape
No.	MP006-A-C-SD-3.1
ANGLE	
UNIT	mm
<b>ABLIC Inc.</b>	



Enlarged drawing in the central part



No. MP006-A-R-SD-2.1

TITLE	SOT236-A-Reel		
No.	MP006-A-R-SD-2.1		
ANGLE		QTY	3,000
UNIT	mm		
<b>ABLIC Inc.</b>			



## 免责声明 (使用注意事项)

1. 本资料记载的所有信息 (产品数据、规格、图、表、程序、算法、应用电路示例等) 是本资料公开时的最新信息, 有可能未经预告而更改。
2. 本资料记载的电路示例和使用方法仅供参考, 并非保证批量生产的设计。使用本资料的信息后, 发生并非因本资料记载的产品 (以下称本产品) 而造成的损害, 或是发生对第三方知识产权等权利侵犯情况, 本公司对此概不承担任何责任。
3. 因本资料记载错误而导致的损害, 本公司对此概不承担任何责任。
4. 请注意在本资料记载的条件范围内使用产品, 特别请注意绝对最大额定值、工作电压范围和电气特性等。因在本资料记载的条件范围外使用产品而造成的故障和 (或) 事故等的损害, 本公司对此概不承担任何责任。
5. 在使用本产品时, 请确认使用国家、地区以及用途的法律、法规, 测试产品用途的满足能力和安全性能。
6. 本产品出口海外时, 请遵守外汇交易及外国贸易法等出口法令, 办理必要的相关手续。
7. 严禁将本产品用于以及提供 (出口) 于开发大规模杀伤性武器或军事用途。对于如提供 (出口) 给开发、制造、使用或储藏核武器、生物武器、化学武器及导弹, 或有其他军事目的者的情况, 本公司对此概不承担任何责任。
8. 本产品并非是设计用于可能对生命、人体造成影响的设备或装置的部件, 也非是设计用于可能对财产造成损害的设备或装置的部件 (医疗设备、防灾设备、安全防范设备、燃料控制设备、基础设施控制设备、车辆设备、交通设备、车载设备、航空设备、太空设备及核能设备等)。请勿将本产品用于上述设备或装置的部件。本公司事先明确标示的车载用途例外。作为上述设备或装置的部件使用本产品时, 或本公司事先明确标示的用途以外使用本产品时, 所导致的损害, 本公司对此概不承担任何责任。
9. 半导体产品可能有一定的概率发生故障或误工作。为了防止因本产品的故障或误工作而导致的人身事故、火灾事故、社会性损害等, 请客户自行负责进行冗长设计、防止火势蔓延措施、防止误工作等安全设计。并请对整个系统进行充分的评价, 客户自行判断适用的可否。
10. 本产品非耐放射线设计产品。请客户根据用途, 在产品设计的过程中采取放射线防护措施。
11. 本产品在一般的使用条件下, 不会影响人体健康, 但因含有化学物质和重金属, 所以请不要将其放入口中。另外, 晶元和芯片的破裂面可能比较尖锐, 徒手接触时请注意防护, 以免受伤等。
12. 废弃本产品时, 请遵守使用国家和地区的法令, 合理地处理。
13. 本资料中也包含了与本公司的著作权和专有知识有关的内容。本资料记载的内容并非是对本公司或第三方的知识产权、其它权利的实施及使用的承诺或保证。严禁在未经本公司许可的情况下转载、复制或向第三方公开本资料的一部分或全部。
14. 有关本资料的详细内容等如有不明之处, 请向代理商咨询。
15. 本免责声明以日语版为正本。即使有英语版或中文版的翻译件, 仍以日语版的正本为准。

2.4-2019.07



**ABLIC**

艾普凌科有限公司  
www.ablic.com